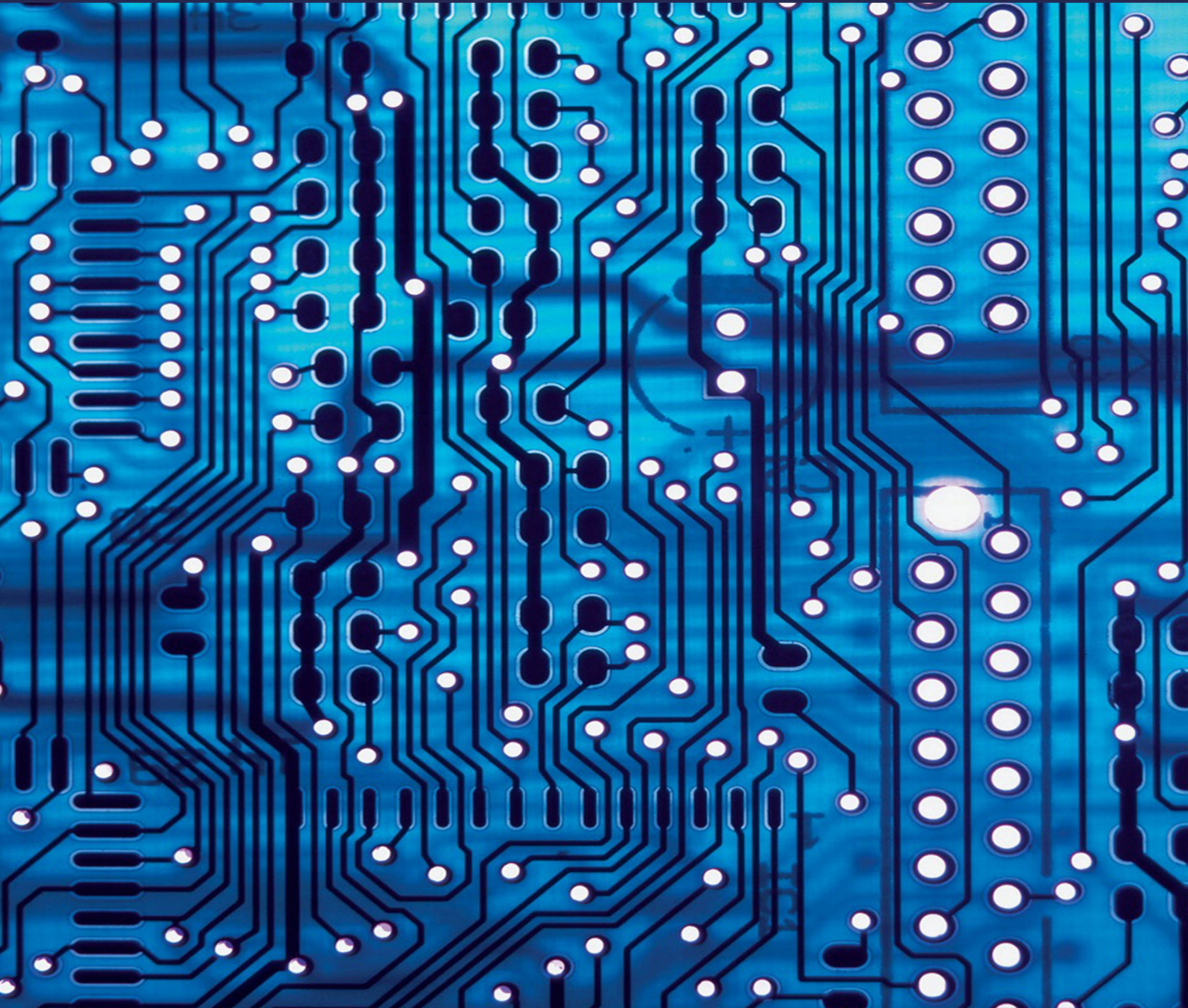


الدوائر المنطقية

نظري ... عملي

شرح لما يزيد عن 150 شريحة إلكترونية



قسم الإلكترونيات والاتصالات والحاسبات
كلية الهندسة - جامعة حلوان



أ.د. محمد ابراهيم العدوي

الإهداء

إلى كل من يحترم لغته ويعتز بها !!!

رخصة الكتاب

هذا الكتاب منشور تحت رخصة المشاع الإبداعي Creative Common
بشروط النسبة by - المشاركة بالمثل sa - عدم الاستغلال التجاري nc



يمكنك مشاركة وإعادة توزيع الكتاب مجاناً شرط نسب العمل للمؤلف
وعدم الاستغلال التجاري بأي صورة

رجاء من كل قراء هذا الكتاب

الكتاب متاح لجميع القراء دون أى تكلفة وللإستفادة منه على أى وجه. فرجاء
إذا رأيت عزيزى القارئ أنك قد استفدت منه فلا أطلب منك سوى الدعاء
لمؤلفه إن كنت غير قادر مادياً، أما القارئ القادر مادياً فأطلب منه التبرع بما
يستطيع لأى جهة خيرية يريد، وليكن على سبيل المثال مستشفى سرطان
الأطفال ٥٧٣٥٧ بالقاهرة، أو مستشفى الكبد بالمنصورة، أو مستشفى القلب
(مجدى يعقوب) بأسوان، أو هيئة مصر الخير، أو صندوق تحيا مصر، مع نية
ثواب التبرع للمتبرع وللمؤلف.

المؤلف

أ.د. محمد ابراهيم العدوى

98eladawy@gmail.com

عرض الكتاب

لا شك أننا نعيش الآن في عالم من الرقميات ابتداء من لعب الأطفال البسيطة وانتهاء بنظم التراسل مع الأقمار الصناعية والتليفونات المحمولة، فكلها تتعامل من خلال الإشارات الرقمية. من السهل جدا أن نتعامل مع مثل هذه الإشارات إذا تعلمنا أساسيات علم الإلكترونيات الرقمية بأسلوب سهل وبسيط على القارئ العربي. لقد أصبح التعامل مع الإلكترونيات هذه الأيام من الأمور السهلة والبسيطة حتى على الهاوى غير المتخصص. يرجع ذلك إلى أن التعامل مع الإلكترونيات الآن أصبح على مستوى الأنظمة. فأنت الآن تستطيع شراء شريحة إلكترونية بقروش قليلة تحتوى مكبر إشارة كامل وكل ما عليك هو قراءة دليل هذه الشريحة لتعرف أين تضع إشارة الدخل، ومن أين ستأخذ الخرج، وأين ستضع مصدر القدرة للشريحة. وهكذا ستجد هناك في سوق الإلكترونيات شريحة أو أكثر تستطيع بها بناء أى مشروع يخطر ببالك مهما كانت درجة تعقيده.

نحن هنا نقدم هذا الكتاب كخطوة أولى لتحقيق هذا الهدف، هدف أن يستطيع أى قارئ سواء كان من طلاب المراحل الأولى من كليات الهندسة أو من الهواة بناء أى دائرة يفكر فيها وذلك بأسلوب سهل وبسيط وبعيد عن التعقيد. من أجل ذلك راعينا أن نعرض الخلفية النظرية لموضوعات الإلكترونيات الرقمية المهمة، ثم عرضنا بالشرح المبسط الكثير من الشرائح الموجودة في السوق والتي تؤدي هذا الغرض من حيث الرسم الطرقي والوظيفي لكل شريحة. ربما تحتوى المكتبة العربية على بعض الكتب في هذا المجال والتي أغلبها من الكتب المترجمة، ولكن معظم هذه الكتب تهتم فقط بالناحية النظرية ونادرا ما تتعرض بالشرح لبعض الشرائح الذى يغنى القارئ عن الجرى وراء جمع كتالوجات هذه الشرائح، وهذا ما حاولنا تحقيقه هنا من خلال الشرح الكافى لما يزيد على ١٥٠ شريحة إلكترونية في الموضوعات المختلفة. فكما أن هذا الكتاب صمم ليكون كتابا دراسيا للسنوات الأولى من كليات الهندسة، ومناسبا أيضا لهواة الإلكترونيات، إلا أنه يعتبر أيضا كتالوجا أو مرجعا في الكثير من شرائح الإلكترونيات الرقمية. ولقد تم عمل جدول يضم أرقام هذه الشرائح ووظيفة كل منها وموقع كل منها في الكتاب لسهولة الوصول إلى أى شريحة بسرعة.

الفصل الأول من الكتاب يعرض مقدمة عامة عن الإلكترونيات الرقمية تبدأ بالتعرف على الأنواع المختلفة للمقاومات والمكثفات وكيفية قراءتها وتحديد القدرة لها. بعد ذلك يعرض الفصل للأنواع المختلفة للشرائح الإلكترونية وكيفية التعامل مع أطرافها. بعد ذلك يقدم الفصل فكرة سريعة عن أجهزة القياس المستخدمة في قياس وإظهار الإشارات الرقمية.

الفصل الثانى يقدم أنظمة العد المختلفة وكيفية التحويل من نظام لآخر وكيفية إجراء العمليات الحسابية في هذه الأنظمة وبالذات النظام الثنائى حيث أنه هو النظام المستخدم في الحاسبات والإلكترونيات الرقمية على وجه العموم.

الفصل الثالث يقدم كل أنواع البوابات المنطقية التى تعتبر أدوات الإلكترونيات الرقمية، وقدم الفصل أيضا للكثير من الشرائح المتاحة في السوق والتي تؤدي وظيفة كل بوابة من هذه البوابات.

الفصل الرابع يقدم الجبر البولينى، هذا الجبر الذى يعتبر حساب الدوائر المنطقية. يقدم الفصل أيضا للطرق المختلفة لتبسيط التعبيرات المنطقية، وكيفية بناء هذه التعبيرات في صورة دائرة إلكترونية من البوابات المختلفة وبأكثر من طريقة.

الفصل الخامس يقدم العديد من الدوائر المنطقية الشهيرة ومنها المشفرات Encoders ومحللات الشفرة Decoders ومتنقي البيانات Multiplexer وموزع البيانات Demultiplexer ويقدم الفصل أيضا للكثير من الشرائح المستخدمة في ذلك.

الفصل السادس يقدم دوائر الحساب ومن أهمها المجمع بأنواعه وكيفية استخدامه كطراح ثم دوائر المقارنة والشرائح المستخدمة في ذلك.

الفصل السابع يقدم شرحا وافيا للماسكات بأنواعها والفرق بين هذه الأنواع، ثم يختتم الفصل بالشرح الوافي للكثير من الشرائح الإلكترونية.

الفصل الثامن يقدم شرحا مفصلا للعدادات الرقمية كأحد تطبيقات القلايات الأساسية وأحد الدوائر الرقمية المستخدمة بكثرة في الكثير من التطبيقات، ويختتم الفصل أيضا بالعديد من شرائح العدادات ذات الخواص والمواصفات المختلفة.

الفصل التاسع يقدم مسجلات الإزاحة كأحد التطبيقات كثيرة الاستخدام في الدوائر والمشاريع الإلكترونية، ويختتم الفصل أيضا بشرح العديد من الشرائح المستخدمة لهذا الغرض.

الفصل العاشر يقدم شرحا للأنواع المختلفة من الذاكرة سواء ذاكرة القراءة والكتابة RAM أو ذاكرة القراءة فقط ROM. ثم يقدم الفصل أيضا شرحا للعديد من شرائح الذاكرة شائعة الاستخدام.

الفصل الحادى عشر يعرض لكيفية بناء دوائر التوقيت المختلفة باستخدام شرائح متاحة في السوق رخيصة الثمن جدا. كلنا نعلم مدى أهمية دوائر التوقيت في الكثير من التطبيقات والمشاريع المختلفة. يقدم الفصل أيضا شرحا وافيا للكثير من شرائح التوقيت والاستخدامات المختلفة والخواص المميزة لكل شريحة.

الفصل الثانى عشر يقدم عرضا لنوع مهم من البوابات المنطقية وهى البوابات ثلاثية المنطق التى تستخدم بكثرة بالذات عند التعامل مع المعالجات والحاسبات.

بعد ذلك تم وضع قاموس لكل المصطلحات والكلمات الأجنبية التى تم استخدامها في هذا الكتاب مع إعطاء نبذة مختصرة عن معنى هذه الكلمة واستخداماتها إذا تطلب الأمر. ولقد حاولنا في أثناء الشرح وضع الكلمة أو المصطلح الإنجليزي كما هو باللغة الإنجليزية وبالذات عند أول ذكر له حتى لا نحرم المستخدم من معرفة ذلك. في بعض المواضع القليلة في الكتاب تم استخدام النطق الأجنبي لبعض الكلمات باللغة العربية ولكن بعد شرح المعنى العربى للكلمة. فمثلا بوابة الضرب المنطقى AND تم كتابتها بوابة آند لسرعة التعامل وكان ذلك فقط مع البوابات المنطقية وذلك لشيوع اللفظ الأجنبي وكثرة استخدامه.

يعتقد البعض أن الكتابة العلمية أو التدريس باللغة العربية هو محاربة للغات الأجنبية التى نحتاجها لمواكبة العلم والتكنولوجيا، ونحن نؤكد هنا على أننا لسنا ضد تعلم اللغات الأجنبية ولكننا ضد فكرة أن مواكبة العلم والتكنولوجيا لا تكون باللغة العربية. هل نحكم على رجل الشارع أن يتعلم اللغات الأجنبية حتى يمكنه النهوض بنفسه والتقدم مع العلم والتكنولوجيا، أم نحضر له العلم والتكنولوجيا على طبق من فضة بلغته فيستطيع استيعابها وهضمها، وعند ذلك فقط سيبدع ويظهر كل طاقاته التى كانت محتبأة وراء حاجز العجز اللغوى. إن معظم الشعب المصرى لديه ثقافة طبية ممتازة يستطيع بها أن يشخص المرض ويصف العلاج ونحن نعتقد أن ذلك مرجعه إلى المطبوعات العربية في ذلك وكثرة الأدوية التى يستخدمها

وكلها لها نشرات باللغة العربية، حتى أن البعض اقترح عدم كتابة نشرات الأدوية باللغة العربية حتى لا يتمادى البعض في وصف العلاج بنفسه ودون الرجوع للطبيب. لقد تأخرنا كثيرا نحن القائمين على تدريس المادة العلمية في استخدام اللغة العربية في كتابة مذكراتنا أو مؤلفاتنا وحتى في التدريس في قاعات المحاضرات حتى فرضت المصطلحات الأجنبية نفسها علينا وأصبحنا لا نستطيع الفكاك منها بالرغم من وجود المرادف العربى السهل لها. بالله لماذا يفضل البعض استخدام كلمة encoder ويتردد في أن ينطق بكلمة مشفر، أو أن يقول multiplexer ويصبيه الخزى والعار إذا قال منتقى بيانات، والأمثلة لا حصر لها في كل المجالات. إن كل تقارير متخصصى التربية العالميين توصى بأن يكون التدريس باللغة الأم لأى دارس وحذروا من خطورة الإفراط في تعلم اللغات الأجنبية. إن هذا ما اتبعه اليابانيون وكل دول شرق آسيا التى وصلت إلى ما وصلت إليه الآن من تقدم علمى واقتصادى. التعليم فى اليابان باللغة اليابانية فى كل مراحل التدريس، ولا تدرس اللغات الأجنبية إلا كمقررات اختيارية يختارها من يريد تعلم هذه اللغة وأنا أعتقد أن هذا هو سر وصولهم إلى ما وصلوا إليه الآن. لقد جربنا كثيرا التمسك والإفراط فى أن الطريق إلى التقدم هو من خلال اللغات الأجنبية، فهل آن الأوان فى أن نجرب إعطاء اللغة العربية الفرصة الحقيقية لتكون لغة التدريس الأساسية فى الجامعات، وتوجه العناية للتأليف بها والترجمة إليها.

وأخيرا أتقدم بالشكر إلى كل أفراد أسرتى الذين أتاحوا لى الفرصة والوقت فى تجهيز وإعداد هذا الكتاب كخطوة وتجربة ثانية أرجو أن تتكرر للكتابة باللغة العربية التى لا عز لنا إلا بعزها ورفعتها. وأرجو أن ألقى أى مقترحات فى هذا الشأن فبالتأكيد ستكون قوة دافعة.

المؤلف

أ.د. محمد ابراهيم العدوى

كلية الهندسة بجلوان جامعة حلوان

قسم الاتصالات والإلكترونيات والحاسبات

98eladawy@gmail.cpm

جدول الشرائح الموجودة في هذا الكتاب

رقم الشريحة	الوظيفة	الصفحة
7400	٤ بوابات ناند NAND ثنائية المداخل	٤٨
7401	٤ بوابات ناند NAND ثنائية المداخل مفتوحة المجمع	٤٨
7402	٤ بوابات نور NOR ثنائية المداخل	٥١
7403	٤ بوابات ناند NAND ثنائية المداخل مفتوح المجمع	٤٨
7404	٦ عواكس Inverter	٤٥
7405	٦ عواكس مفتوحة المجمع	٤٥
7406	٦ عواكس مفتوح المجمع ، دافع تيار Current driver	٤٦
7407	٦ عواكس مفتوح المجمع	٤٦
7408	٤ بوابات آند AND ثنائية المداخل	٤٧
7409	٤ بوابات آند AND ثنائية المداخل مجمع مفتوح	٤٧
7410	٣ بوابات ناند NAND ثلاثية المداخل	٤٩
7411	٣ بوابات آند AND ثلاثية المداخل	٤٧
7412	٣ بوابات ناند NAND ثلاثية المداخل مجمع مفتوح	٤٩
7415	٣ بوابات آند AND ثلاثية المداخل مجمع مفتوح	٤٧
7416	٦ عواكس مفتوح المجمع ، دافع تيار	٤٦
7417	٦ دافع تيار مفتوح المجمع	٤٦
7420	٢ بوابة ناند NAND رباعية المداخل	٤٩
7421	٢ بوابة آند AND رباعية المداخل	٤٨
7425	٢ بوابة نور NOR رباعية المداخل بطرف تنشيط Strobe	٥١
7426	٤ بوابات ناند NAND ثنائية المداخل	٤٨
7427	٣ بوابات نور NOR ثلاثية المداخل	٥١
7428	٤ بوابات نور NOR ثنائية المداخل	٥١
7430	بوابة ناند NAND واحدة ثمانية المداخل	٥٠
7432	٤ بوابات أور OR ثنائية المداخل	٤٨
7433	٤ بوابات نور NOR ثنائية المداخل مفتوح المجمع	٥١
7437	٤ بوابات ناند NAND ثنائية المداخل	٤٨
7438	٤ بوابات ناند NAND ثنائية المداخل مفتوح المجمع	٤٨
7439	٤ بوابات ناند NAND ثنائية المداخل مفتوح المجمع	٤٩
7440	٢ بوابة ناند NAND رباعية المداخل	٤٩

٧٧	محلل شفرة ، شفرات عشرية مكودة ثنائيا BCD إلى عشرى	7442
٧٧	محلل شفرة ، شفرات عشرية مكودة ثنائيا BCD إلى عشرى مفتوح المجمع	7445
٧٨	محلل شفرة ، شفرات عشرية مكودة ثنائيا BCD إلى شفرة السبع قطع ، دافع تيار ، خرج منخفض الفعالية ، للقطع متحدة الأنود Common anode	7446
٧٨	محلل شفرة ، شفرات عشرية مكودة ثنائيا BCD إلى شفرة السبع قطع ، دافع تيار ، خرج منخفض الفعالية ، للقطع متحدة الأنود Common anode	7447
٧٨	محلل شفرة ، شفرات عشرية مكودة ثنائيا BCD إلى شفرة السبع قطع ، دافع تيار ، خرج عالى الفعالية للقطع متحدة الكاثود Common cathode	7448
٧٨	محلل شفرة ، شفرات عشرية مكودة ثنائيا BCD إلى شفرة السبع قطع ، دافع تيار ، خرج عالى الفعالية للقطع متحدة الكاثود Common cathode	7449
١٢٦	٢ قلاب JK	7473
١٢٤	٢ قلاب D	7474
١٢٠	٤ ماسك Latch	7475
١٢٤	٢ قلاب JK	7476
١٠٧	مجمع كامل Full adder ٤ بت	7483
١١١	مقارن Comparator ٤ بت	7485
٥٢	٤ بوابات إكس أو XOR	7486
١٤٤	عداد عشري ، قاسم على ١٠	7490
١٦٣	مسجل إزاحة ٤ بت	7491
١٤٥	عداد قاسم على ١٢	7492
١٤٦	عداد ثنائى تموجى Ripple ٤ بت	7493
١٦٤	مسجل إزاحة ٤ بت	7494
١٦٤	مسجل إزاحة ٤ بت	7495
١٦٥	مسجل إزاحة ٥ بت	7496
١٢٦	٢ قلاب JK	74107
١٢٧	٢ قلاب JK	74109
١٢٨	٢ قلاب JK	74112
١٢٨	٢ قلاب JK	74113

١٢٨	٢ ماسك كل منهم ٤ بت شفاف Transparent	74116
٢١٦	٤ بوابات ثلاثية المنطق	74125
٢١٧	٤ بوابات ثلاثية المنطق	74126
٥٠	بوابة ناند NAND لها ١٣ دخل	74133
٥٠	بوابة ناند NAND لها ١٢ دخل ، ثلاثية المنطق	74134
٨٢	محلل شفرة Decoder ، أو موزع بيانات Demultiplexer ١ إلى ٨ مع ماسك للدخل	74137
٨٣	محلل شفرة ، أو موزع بيانات ١ إلى ٨	74138
٨٤	٢ محلل شفرة أو موزع بيانات ١ إلى ٤	74139
٨٥	محلل شفرة ، شفرات عشرية مكودة ثنائيا BCD إلى عشري مفتوح المجمع	74145
٨٨	مشفر مع الأولوية ١٠ خطوط إلى ٤	74147
٩٠	مشفر مع الأولوية ٨ إلى ٣	74148
٩٣	منتقى بيانات Multiplexer ١٦ دخل	74150
٩٤	منتقى بيانات Multiplexer ٨ دخل	74151
٩٤	٢ منتقى بيانات ٤ خطوط إلى واحد	74153
٨٦	محلل شفرة Decoder ، أو موزع بيانات ١ إلى ١٦	74154
٨٦	٢ محلل شفرة ، موزع بيانات ٢ إلى ٤	74155
٨٧	٢ محلل شفرة ، موزع بيانات ٢ إلى ٤ ، مجمع مفتوح	74156
٩٥	٤ منتقى بيانات MUX كل منهم له دخلان	74157
٩٥	٤ منتقى بيانات MUX كل منهم له دخلان والخرج معكوس	74158
١٤٧	عداد عشري	74160
١٤٧	عداد ثنائي	74161
١٤٧	عداد عشري	74162
١٤٧	عداد ثنائي	74163
١٦٧	مسجل إزاحة ٨ بت	74164
١٦٧	مسجل إزاحة ٨ بت	74165
١٦٧	مسجل إزاحة ٨ بت	74166
١٤٨	عداد ثنائي ٤ بت تصاعدي تنازلي توافقي	74168
١٤٨	عداد ثنائي ٤ بت تصاعدي تنازلي توافقي	74169
١٢٩	٢ قلاب D بخرج ثلاثي المنطق	74173
١٢٩	٦ قلاب D	74174
١٣٠	٤ قلاب D	74175

١٤٩	عدد عشرى تصاعدي تنازلي	74190
١٤٩	عدد ثنائي تصاعدي تنازلي	74191
١٥٠	عدد عشرى تصاعدي تنازلي	74192
١٥٠	عدد ثنائي تصاعدي تنازلي	74193
١٦٧	مسجل إزاحة ٤ بت عام الأغراض	74194
١٦٨	مسجل إزاحة ٤ بت	74195
١٥١	عدد ثنائي ٤ بت تموجي	74197
١٦٩	مسجل إزاحة ٨ بت	74199
٢١٧	٨ بوابات ثلاثية المنطق	74240
٢١٨	٨ بوابات ثلاثية المنطق	74241
٢١٨	٤ بوابات ثلاثية المنطق ثنائية الاتجاه	74242
٢١٨	٤ بوابات ثلاثية المنطق ثنائية الاتجاه	74243
٢١٨	٨ بوابات ثلاثية المنطق	74244
٢١٩	٨ بوابات ثلاثية المنطق ثنائية الاتجاه	74245
٩٦	منتقى بيانات MUX ٨ دخول ، خرج ثلاثي المنطق	74251
٩٧	٢ منتقى بيانات ، ٤ دخول ، خرج ثلاثي المنطق	74253
٩٧	٤ منتقى بيانات ، ٢ دخل ، خرج ثلاثي المنطق	74258
٥٢	٤ بوابات إكس نور XNOR بدخلين ، مفتوح المجمع	74266
١٣٠	٨ قلابات D	74273
١١٨	٤ ماسك RS	74279
١٠٧	مجمع كامل Full adder بحمل سريع	74283
١٥١	عدد عشرى	74290
١٥٢	عدد ثنائي ٤ بت تموجي	74293
١٣٠	٨ قلابات D ، خرج ثلاثي المنطق	74373
١٣٠	٨ قلابات D ، خرج ثلاثي المنطق	74374
١٥٣	٢ عدد عشرى تموجي	74390
١٥٣	٢ عدد ثنائي تموجي	74393
١١٢	مقارن ٨ بت	74682
١١٢	مقارن ٨ بت	74684
١١٢	مقارن ٨ بت	74688
١٩٨	دائرة توقيت	555
٢٠٧	دائرة توقيت	556

٢٠٩	دائرة توقيت	558
٢٠٩	دائرة توقيت	559
٢٠٥	دائرة توقيت ، مع عداد ، قابلة للبرمجة	2240
٢١١	دائرة توقيت ، مع عداد	ZN1034
١٨٨	ذاكرة قراءة وكتابة RAM ١ كيلو × ٤ بت	2114
١٩٠	ذاكرة قراءة فقط ROM ٢ كيلوبايت	2716
١٩١	ذاكرة قراءة فقط ROM ٤ كيلوبايت	2732
١٩١	ذاكرة قراءة فقط ROM ٨ كيلوبايت	2764
١٨٨	ذاكرة قراءة وكتابة RAM ٢ كيلوبايت	6116
١٨٨	ذاكرة قراءة وكتابة RAM ٨ كيلوبايت	6264
١٩١	ذاكرة قراءة فقط ROM ٣٢ كيلوبايت	27256
١٨٩	ذاكرة قراءة وكتابة RAM ٣٢ كيلوبايت	62256

المحتويات

الإهداء

عرض الكتاب

جدول الشرائح الموجودة في هذا الكتاب

الفصل الأول: أساسيات عامة

١	١-١ مقدمة
٢	٢-١ المقاومات الكهربائية
٢	٣-١ المكثفات
٨	٤-١ الدوائر التكاملية
٩	٥-١ الإشارات الانسيابية والإشارات الرقمية Analog and digital signals
١٣	٦-١ الأجهزة المستخدمة لاختبار الدوائر الرقمية
١٤	٧-١ تمارين

الفصل الثاني: أنظمة العد Numbering systems

١٩	١-٢ مقدمة
٢٠	٢-٢ النظام العشري Decimal system
٢٠	٣-٢ نظام العد الثنائي Binary system
٢١	٤-٢ المتمم الأحادي والمتمم الثنائي Ones and twos complement
٢٦	٥-٢ الأرقام السالبة والأرقام الموجبة في النظام الثنائي
٢٧	- نظام مقدار الإشارة Sign magnitude
٢٧	- نظام المتمم الأحادي
٢٨	- نظام المتمم الثنائي
٢٩	٦-٢ العمليات الحسابية على الأعداد ذات الإشارة
٢٩	- أولاً: عملية الجمع
٣٠	- خطأ الفيضان Over flow error
٣١	- ثانياً: عملية الطرح
٣١	٧-٢ النظام الثماني Octal system
٣٣	٨-٢ النظام الست عشري Hexadecimal system
٣٤	٩-٢ الأرقام العشرية المكددة ثنائياً Binary Coded Decimal Numbers, BCD
٣٦	١٠-٢ تمارين

الفصل الثالث: البوابات المنطقية Logic gates

٣٨	١-٣ مقدمة
٣٩	٢-٣ بوابة النفي Not gate
٣٩	٣-٣ البوابة آند AND gate
٤٠	٤-٣ البوابة أور OR gate
٤١	٥-٣ البوابة ناند NAND gate
٤٢	٦-٣ البوابة نور NOR gate
٤٣	٧-٣ البوابة إكس أور XOR gate
٤٤	٨-٣ البوابة إكس نور XNOR gate
٤٤	٩-٣ شرائح العكس Inverter chips
٤٥	١٠-٣ شرائح الآند AND gate chips
٤٦	١١-٣ شرائح الأور OR gate chips
٤٨	١٢-٣ شرائح الناند NAND gate chips
٤٨	١٣-٣ شرائح النور NOR gate chips
٥١	١٤-٣ شرائح الإكس أور والإكس نور XOR and XNOR gate chips
٥٢	١٥-٣ تمارين

الفصل الرابع: الجبر البوليني وتبسيط المعادلات المنطقية

٥٤	١-٤ مقدمة
٥٥	٢-٤ العمليات والتعبيرات المنطقية
٥٥	٣-٤ قوانين الجبر المنطقي أو البوليني
٥٦	٤-٤ نظريات ديمورجان Demorgans theorems
٥٨	٥-٤ الحصول على المعادلة المنطقية لأي دائرة منطقية
٥٩	٦-٤ الحصول على جدول الحقيقة من المعادلة المنطقية
٥٩	٧-٤ تبسيط المعادلات المنطقية
٥٩	٨-٤ الصور القياسية للمعادلات المنطقية
٦١	٩-٤ جدول الحقيقة والمعادلات المنطقية
٦٣	١٠-٤ الحصول على المعادلة المنطقية القياسية من جدول الحقيقة
٦٤	١١-٤ بناء الدوائر المنطقية باستخدام بوابات ناند NAND فقط
٦٥	١٢-٤ بناء الدوائر المنطقية باستخدام بوابات نور NOR فقط
٦٦	١٣-٤ اختصار الدوال المنطقية (خريطة كارنوف)
٦٨	

٧١ ١٤-٤ تمارين

٧٣ **الفصل الخامس: محلات الشفرة والمشفرات Decoders And Encoders**

٧٤ ١-٥ محلات الشفرة Decoders

٧٧ ٢-٥ الشريحة ٧٤٤٢

٧٧ ٣-٥ الشريحة ٧٤٤٥

٧٨ ٤-٥ الشرائح ٧٤٤٦ و ٧٤٤٧ و ٧٤٤٨ و ٧٤٤٩

٨٢ ٥-٥ الشريحة ٧٤١٣٧

٨٣ ٦-٥ الشريحة ٧٤١٣٨

٨٤ ٧-٥ الشريحة ٧٤١٣٩

٨٥ ٨-٥ الشريحة ٧٤١٤٥

٨٦ ٩-٥ الشريحة ٧٤١٥٤

٨٦ ١٠-٥ الشريحة ٧٤١٥٥

٨٧ ١١-٥ الشريحة ٧٤١٥٦

٨٧ ١٢-٥ المشفرات Encoders

٨٨ ١٣-٥ الشريحة ٧٤١٤٧

٩٠ ١٤-٥ الشريحة ٧٤١٤٨

٩١ ١٥-٥ منتقى البيانات Multiplexer

٩٣ ١٦-٥ الشريحة ٧٤١٥٠

٩٣ ١٧-٥ الشريحة ٧٤١٥١

٩٤ ١٨-٥ الشريحة ٧٤١٥٣

٩٥ ١٩-٥ الشرائح ٧٤١٥٧ و ٧٤١٥٨

٩٦ ٢٠-٥ الشريحة ٧٤٢٥١

٩٧ ٢١-٥ الشريحة ٧٤٢٥٣

٩٧ ٢٢-٥ الشريحة ٧٤٢٥٨

٩٨ ٢٣-٥ موزع البيانات Demultiplexer

٩٩ ٢٤-٥ تمارين

١٠١ **الفصل السادس: دوائر الحساب Arithmetic circuits**

١٠٢ ١-٦ مقدمة

١٠٢ ٢-٦ دوائر الحساب

١٠٤ ٣-٦ نصف المجمع Half adder

١٠٤	٤-٦ المجمع الكامل Full adder
١٠٥	٥-٦ الطرح الثنائي
١٠٧	٦-٦ الشريحة ٧٤٨٣
١٠٧	٧-٦ الشريحة ٧٤٢٨٣
١٠٨	٨-٦ مجمع الحمل التموجى ومجمع الحمل الأمامى
١٠٩	٩-٦ دوائر المقارنة
١١١	١٠-٦ الشريحة ٧٤٨٥
١١٢	١١-٦ الشرائح ٧٤٦٨٢ و ٧٤٦٨٤ و ٧٤٦٨٨
١١٣	١٢-٦ تمارين

١١٥ الفصل السابع: الماسكات والقلابات Latches and flip flops

١١٦	١-٧ مقدمة
١١٦	٢-٧ الماسكات R-S
١١٧	١-٢-٧ الماسك RS كمزيل للاهتزازات
١١٨	٣-٧ الشريحة 74279 ماسك RS رباعى
١١٨	٤-٧ الماسك RS المحكوم بنبضات تزامن Clock
١١٩	٥-٧ الماسك D المحكوم بنبضات التزامن
١٢٠	٦-٧ الشريحة 7475 ماسك D رباعى
١٢٠	٧-٧ القلابات Flip Flops
١٢٢	٨-٧ طريقة الإطلاق trigger عند أى الحافة
١٢٢	٩-٧ القلاب JK
١٢٣	١٠-٧ الدخول غير التوافقية Asynchronous Inputs
١٢٤	١١-٧ القلاب T
١٢٤	١٢-٧ الشريحة 74ls74 قلابان من النوع D
١٢٤	١٣-٧ الشريحة 74ls76 قلابان من النوع JK
١٢٥	١٤-٧ قلاب السيد والعبد Master Slave Flip Flop
١٢٦	١٥-٧ الشريحة 7473 قلابان JK من نوع السيد والتابع
١٢٦	١٦-٧ الشريحة 74107 قلابان JK من نوع السيد والتابع
١٢٧	١٧-٧ الشريحة 74109 قلابان JK حساس للحافة الصاعدة
١٢٨	١٨-٧ الشريحة 74112 قلابان JK حساس للحافة النازلة
١٢٨	١٩-٧ الشريحة 74113 قلابان JK حساس للحافة النازلة
١٢٨	٢٠-٧ الشريحة 74116 ماسكان ذو ٤ بت لكل منهما

- ١٢٩ ٢١-٧ الشريحة 74173 أربع قلابات من النوع D ، ثلاثية المنطق
- ١٢٩ ٢٢-٧ الشريحة 74174 ستة قلابات من النوع D
- ١٣٠ ٢٣-٧ الشريحة 74175 أربع قلابات من النوع D
- ١٣٠ ٢٤-٧ الشريحة 74273 ثمان قلابات من النوع D
- ١٣٠ ٢٥-٧ الشريحة 74373 و 74374 ثمان قلابات من النوع D ، ثلاثية المنطق
- ١٣١ ٢٦-٧ بعض الخواص المهمة للقلابات
- ١٣١ ٢٦-٧ زمن الانتشار أو زمن العبور Propagation delay time
- ١٣٢ ٢٦-٧ زمن الاستقرار Set up time
- ١٣٢ ٢٦-٧ زمن المسك Hold time
- ١٣٢ ٢٦-٧ أقصى قيمة لتردد الساعة
- ١٣٢ ٢٧-٧ تطبيقات القلابات
- ١٣٣ ٢٨-٧ تمارين

١٣٥ الفصل الثامن: العدادات الرقمية Digital Counters

- ١٣٦ ١-٨ مقدمة
- ١٣٦ ٢-٨ العدادات التمرجية أو الغير توافقية
- ١٣٧ ٣-٨ عدادات تمرجية لأى قاعدة
- ١٣٩ ٤-٨ العداد التوافقي
- ١٤٢ ٥-٨ العدادات التنازلية
- ١٤٣ ٦-٨ العدادات التصاعدية التنازلية
- ١٤٤ ٧-٨ الشريحة 7490 عداد عشري تموجي
- ١٤٥ ٨-٨ الشريحة 7492 عداد تموجي قاسم على ١٢
- ١٤٦ ٩-٨ الشريحة 7493 عداد تموجي ٤ مراحل
- ١٤٧ ١٠-٨ الشرائح 74160 و 74162 عداد توافقي عشري
- ١٤٧ ١١-٨ الشرائح 74161 و 74163 عدادات توافقية من ٤ مراحل
- ١٤٨ ١٢-٨ الشرائح 74LS168 و 74LS169 عدادات توافقية تصاعدية/تنازلية
- ١٤٩ ١٣-٨ الشريحة 74190 و 74191 عدادات توفيقية تصاعدية/تنازلية
- ١٥٠ ١٤-٨ الشرائح 74192 و 74193 عدادات تصاعدية/تنازل
- ١٥١ ١٥-٨ الشريحة 74LS197 عداد تموجي ٤ مراحل
- ١٥١ ١٦-٨ الشريحة 74LS290 عداد عشري تموجي
- ١٥٢ ١٧-٨ الشريحة 74LS293 عداد ثنائي تموجي ٤ مراحل
- ١٥٣ ١٨-٨ الشريحة 74LS390 عدادان عشريان تموجيان

- ١٥٣ ٨-١٩ الشريحة 74LS393 عدadan ثنائيان تموجيان كل منهما ٤ مراحل
- ١٥٤ ٨-٢٠ تطبيقات العدادات
- ١٥٧ ٨-٢١ تمارين

١٥٩ الفصل التاسع: مسجلات الإزاحة Shift Registers

- ١٦٠ ٩-١ مقدمة
- ١٦٠ ٩-٢ وحدة بناء مسجل الإزاحة
- ١٦٠ ٩-٣ العمليات المختلفة على محتويات مسجل الإزاحة
- ١٦١ ٩-٤ الإدخال والإخراج المتتالي للبيانات
- ١٦٢ ٩-٥ إدخال البيانات على التوالى وإخراجها على التوازي
- ١٦٢ ٩-٦ الإزاحة على التوالى من اليمين لليسار
- ١٦٢ ٩-٧ مسجل الإزاحة عام الأغراض
- ١٦٣ ٩-٨ الشريحة 7491 مسجل إزاحة توالى ٨ بت
- ١٦٣ ٩-٩ الشريحة 7494 مسجل ٤ بت إدخال توازى أو توالى ، إخراج توالى
- ١٦٤ ٩-١٠ الشريحة 7495 مسجل ٤ بت إدخال توازى أو توالى ، إخراج توالى
- ١٦٥ ٩-١١ الشريحة 7496 مسجل ٥ بت إدخال توازى أو توالى إخراج توالى أو توازى
- ١٦٦ ٩-١٢ الشريحة 74164 مسجل ٨ بت إدخال توالى ، إخراج توازى
- ١٦٧ ٩-١٣ الشريحة 74165 مسجل ٨ بت إدخال توالى أو توازى ، إخراج توالى
- ١٦٧ ٩-١٤ الشريحة 74166 مسجل ٨ بت إدخال توالى أو توازى ، إخراج توالى
- ١٦٧ ٩-١٥ الشريحة 74194 مسجل متعدد الأغراض ٤ بت ثنائى الاتجاه
- ١٦٨ ٩-١٦ الشريحة 74195 مسجل ٤ بت ، دخل توازى خرج توالى
- ١٦٩ ٩-١٧ الشريحة 74199 مسجل ٨ بت ، دخل توازى خرج توالى
- ١٧٠ ٩-١٨ العدادات الدوارة
- ١٧١ ٩-١٩ تطبيقات مسجلات الإزاحة
- ١٧٤ ٩-٢٠ تمارين

١٧٥ الفصل العاشر: الذاكرة

- ١٧٦ ١٠-١ مقدمة

١٧٦	٢-١٠ وحدة تخزين البيانات (البت والبايت والورد)
١٧٧	٣-١٠ العمليات الأساسية على الذاكرة
١٨٠	٤-١٠ ذاكرة الاتصال العشوائي
١٨٣	٥-١٠ ذاكرة الاتصال العشوائي الديناميكية
١٨٥	٦-١٠ ذاكرة القراءة فقط
١٨٨	٧-١٠ الشريحة ٢١١٤ ذاكرة استاتيكية ١ كيلو ٤× بت
١٨٨	٨-١٠ الشريحة ٦١١٦ ذاكرة استاتيكية ٢ كيلو بايت
١٨٨	٩-١٠ الشريحة ٦٢٦٤ ذاكرة استاتيكية ٨ كيلو بايت
١٨٩	١٠-١٠ الشريحة ٦٢٢٥٦ ذاكرة استاتيكية ٣٢ كيلو بايت
١٩٠	١١-١٠ الشريحة ٢٧١٦ ذاكرة EPROM ٢ كيلوبايت
١٩١	١٢-١٠ الشريحة ٢٧٣٢ ذاكرة EPROM ٤ كيلوبايت
	١٣-١٠ الشريحة ٢٧٦٤ ذاكرة EPROM ٨ كيلوبايت والشريحة ٢٧٢٥٦ ذاكرة
١٩١	٣٢ كيلوبايت EPROM
١٩٢	١٤-١٠ تمارين

الفصل الحادي عشر: دوائر التوقيت Timers

١٩٤	١-١١ مقدمة
١٩٥	٢-١١ معادلة الجهد على مكثف في دائرة مقاومة ومكثف
١٩٦	٣-١١ المقارن Comparator
١٩٦	٤-١١ القلاب Flip Flop
١٩٨	٥-١١ التركيب الداخلي وطريقة التشغيل للشريحة NE555
١٩٩	٦-١١ طريقة التشغيل أحادية الثبات
٢٠٢	٧-١١ طريقة التشغيل عديمة الاستقرار
٢٠٤	٨-١١ المؤقتات ذات العدادات Timer Counters
٢٠٥	٩-١١ الشريحة XR2240 المؤقت بعدد Timer Counter
٢٠٧	١٠-١١ الشريحة XR 556
٢٠٩	١١-١١ الشريحتان XR 558/559
٢١١	١٢-١١ الشريحة ZN1034
٢١٢	١٣-١١ تمارين

الفصل الثاني عشر: البوابات ثلاثية المنطق Tristate logic gates

٢١٤	١-١٢ مقدمة
-----	------------

- ٢-١٢ ما هو المنطق الثلاثي ، ولماذا ؟ ٢١٥
- ٣-١٢ الشريحة ٧٤١٢٥ أربع بوابات ثلاثية المنطق ٢١٦
- ٤-١٢ الشريحة ٧٤١٢٦ أربع بوابات ثلاثية المنطق ٢١٧
- ٥-١٢ الشريحة ٧٤٢٤٠ ثمانية بوابات ثلاثية المنطق ٢١٧
- ٦-١٢ الشريحة ٧٤٢٤١ ثمانية بوابات ثلاثية المنطق ٢١٨
- ٧-١٢ الشريحتان ٧٤٢٤٢ و ٧٤٢٤٣ أربع بوابات ثلاثية المنطق ثنائية الاتجاه ٢١٨
- ٨-١٢ الشريحة ٧٤٢٤٤ ثمانية بوابات ثلاثية المنطق ٢١٨
- ٩-١٢ الشريحة ٧٤٢٤٥ ثمانية بوابات ثلاثية المنطق ثنائية الاتجاه ٢١٩

القاموس

٢٢١

الفصل الأول

١

أساسيات عامة

General Principles

١-١ مقدمة

سنقدم في هذا الفصل بعض المعلومات الأساسية التي نحتاجها عادة عند تصميم أى دائرة إلكترونية مثل أنواع المقاومات المتاحة في السوق وكيفية تصنيفها وكيفية قراءتها ونفس الشيء سيكون بالنسبة للمكثفات. سنعرض أيضا للأشكال المختلفة للشرائح الإلكترونية وكيفية عد أطرافها. بعد ذلك سنعرض للفرق بين الأنظمة الرقمية والأنظمة الانسيابية أو التماثلية وأهمية استخدام الإشارات والأنظمة الرقمية في عالم من الرقميات نعيشه الآن. سنختم هذا الفصل بعرض سريع للأجهزة المستخدمة في بناء واختبار الدوائر الإلكترونية.

١-٢ المقاومات الكهربائية Resistances

أولاً: المقاومات الثابتة القيمة



شكل (١-١) مقاومات كهربائية مختلفة القدرة من ربع إلى واحد وات



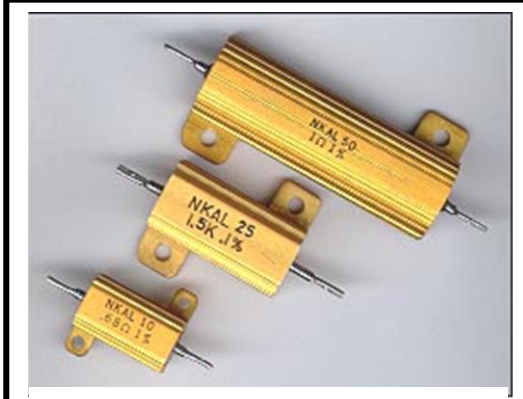
شكل (١-٢) أحد أشكال المقاومات ذات الوات العالي

توجد المقاومة الكهربائية في أشكال متعددة منها المقاومات الثابتة القيمة والمتغيرة القيمة. توجد المقاومات الثابتة في أحجام كثيرة على حسب القدرة الكهربائية لكل مقاومة. القدرة الكهربائية يقصد بها حاصل ضرب التيار المار في المقاومة في فرق الجهد الموجود على المقاومة ويقدر ذلك عادة بالوات. توجد مثلاً مقاومات ربع وثلث ونصف وواحد واثنين وات، وأخرى تتحمل أكثر من وات وبالذات المقاومات المكونة من سلك ملفوف والتي تصل قدرتها إلى ٢٠٠ وات. تتميز المقاومات ذات الوات العالي بكبر حجمها ويكتب عليها في العادة قيمتها بالأوم والقدرة التي تتحملها. شكل (١-١) يبين بعض هذه المقاومات التي تقدر قدرتها بربع وثلث ونصف وواحد وات ابتداءً من أصغر مقاومة.

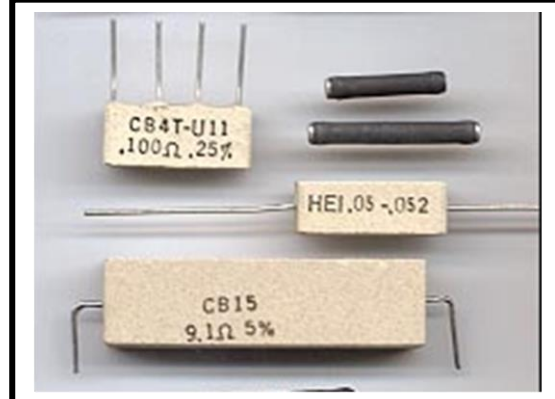
الأشكال (١-٢) و (١-٣) و (١-٤) و (١-٥) تبين أشكالاً مختلفة من المقاومات ذات الوات العالي. تتميز هذه المقاومات بدقتها العالية حيث أنها في العادة تكون

ذات قيمة قليلة. فقيم هذه المقاومات تبدأ أحيانا من ٠,١ أوم وتصل إلى ١٥٠ كيلو أوم وهذه قيمة قليلة تحتاج لدقة عالية في التصنيع.

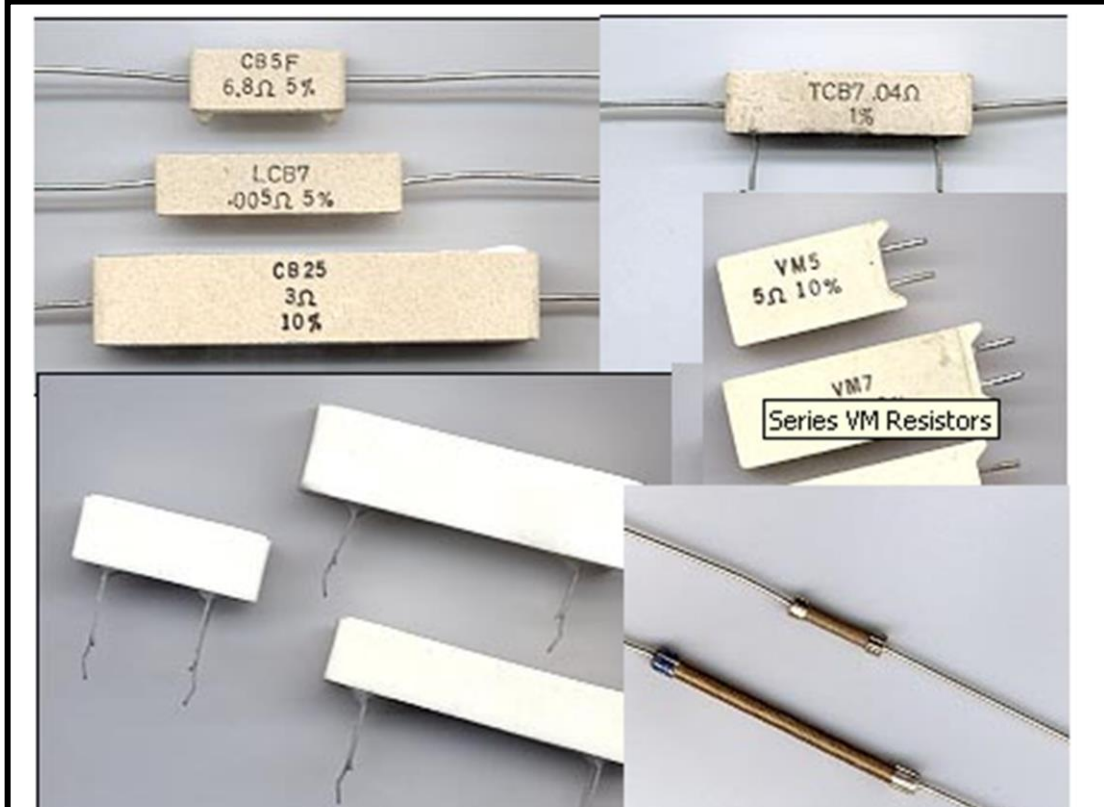
المقاومات الموجودة في شكل (١-٣) تتميز بأن لها غلافا معدنيا يكون في الغالب من الألومنيوم وذلك للمساعدة في تسريب درجة الحرارة العالية التي من الممكن أن تتولد في المقاومة نفسها. قيم هذه المقاومات تكون مكتوبة عليها في الغالب كما في الشكل.



شكل (١-٣) شكل آخر من المقاومات ذات الوات العالي المغلفة بمعدن لزيادة تسرب الحرارة

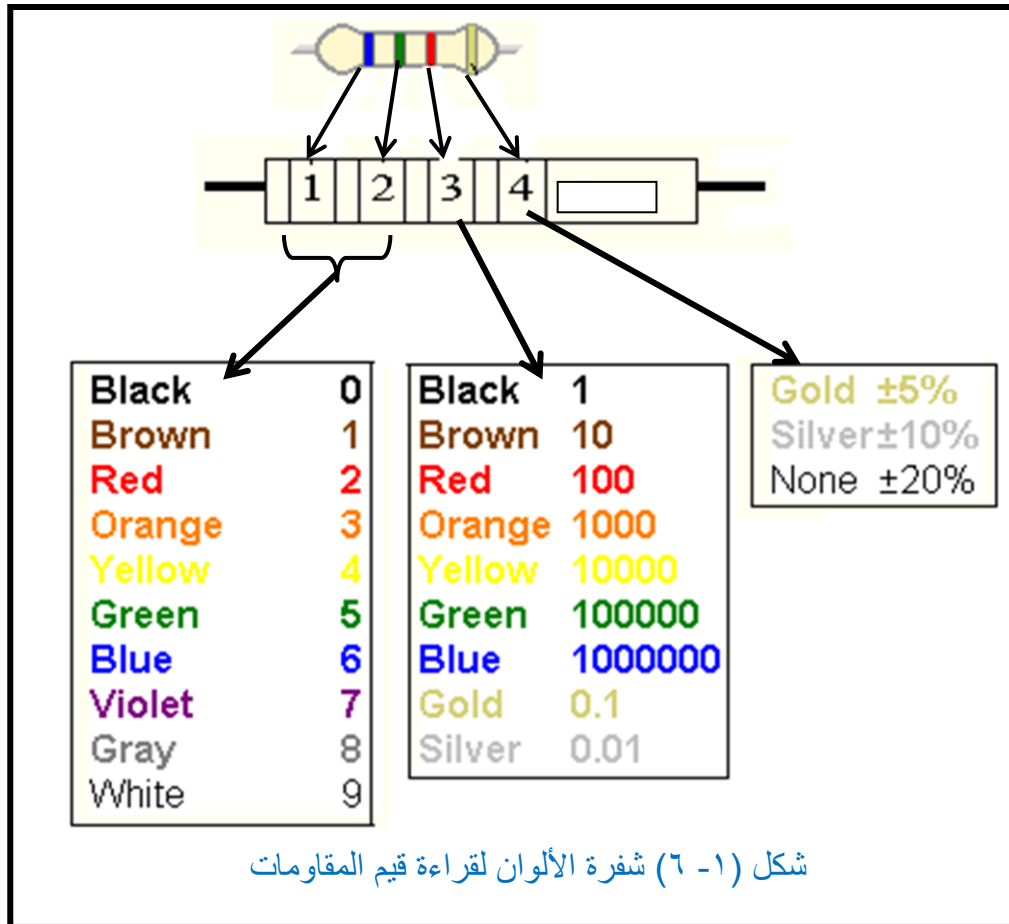


شكل (١-٤) أشكال أخرى للمقاومات ذات الوات العالي



شكل (١-٥) أشكال أخرى عديدة من المقاومات ذات الوات العالي

إذا كانت المقاومات ذات الوات العالي مكتوب عليها قيمتها، فماذا عن المقاومات ذات الوات المنخفض كيف نقرأ قيمتها؟ هذه المقاومات تكتب عليها قيمتها بطريقة مختلفة تماماً وفي صورة شفرة من الحلقات الملونة كما في شكل (١-٦). تتكون شفرة القيمة لأي مقاومة من ٤ حلقات بألوان مختلفة حول جسم المقاومة كما في شكل (١-٦). الحلقتين الأولى والثانية من جهة اليسار تحددان أول رقمين في المقاومة على حسب جدول الألوان الموجود في شكل (١-٦). إذا كانت الحلقة الأولى زرقاء كما في الشكل فأول رقم في المقاومة هو ٦، وإذا كانت الحلقة الثانية خضراء كما في الشكل أيضاً، فالرقم الثاني هو ٥. وعلى ذلك فأول رقمين في قيمة هذه المقاومة هما ٦٥. الحلقة الثالثة على جسم المقاومة تحدد عدد الأصفر بعد الرقمين السابقين. فإذا كانت هذه الحلقة حمراء كما في الشكل فإن ذلك يعني أننا يجب أن نضع صفيرين على يمين الرقمين السابقين أو أن نضربهما في مائة لتصبح قيمة المقاومة ٦٥٠٠ أوم أو ٦,٥ كيلو أوم. الحلقة الرابعة على جسم المقاومة تحدد دقة تصنيعها، فاللون الذهبي يعني أن هذه المقاومة مصنعة بدقة مقدارها ٥%. أى أن قيمة المقاومة ستكون ٦٥٠٠ أوم زائد أو ناقص ٥% من هذه القيمة، وفي حالة عدم وجود حلقة رابعة فإن ذلك يعني أن الدقة هي ٢٠% كما هو موضح في شكل (١-٦).



بعض المقاومات تحتوى حلقة خامسة على يمين حلقة الدقة. هذه الحلقة تعنى الإعتمادية أو الثقة reliability في هذه المقاومة. شكل (١-٧) يبين مثالا لأحد هذه المقاومات وجدول الألوان الذى يحدد مدى هذه الثقة في المقاومة بعد

تشغيلها ١٠٠٠ ساعة. فمثلا اللون البرتقالي يعنى أن حد الثقة في هذه المقاومة هو ٠,٠١% وهذا يعنى أن احتمال أن هذه المقاومة ستفشل في الأداء بعد فترة عمل ١٠٠٠ ساعة هو ٠,٠١%، بمعنى آخر أن مقاومة من كل ١٠٠٠٠ مقاومة تفشل في الأداء بعد فترة عمل مقدارها ١٠٠٠ ساعة. هناك ٤ ألوان فقط لتمثيل حد الثقة في المقاومة وهى البنى والأحمر والبرتقالي والأصفر كما فى شكل (١-٧) حيث نلاحظ أنها آخر حلقة من ناحية اليمين على جسم المقاومة. كلمة أخيره نقولها هنا وهى أنه عند مسك المقاومة بين أصابعك لتقرأ قيمتها، دائما إبحث عن حلقة الدقة أولا التى تكون

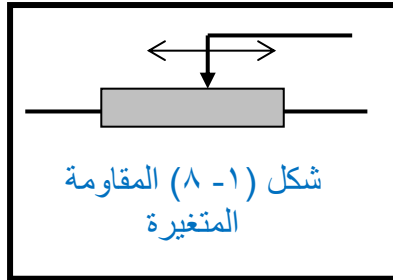
ذهبي أو فضي واجعلها ناحية اليمين ثم ابدأ فى قراءة الحلقات من اليسار كما أشرنا. إذا كانت هذه المقاومة لا تحتوى حلقة للدقة فاجعل المساحة الفاضية من جسم المقاومة التى لا تحتوى حلقات ألوان ناحية اليمين ثم ابدأ.



ثانيا: المقاومات المتغيرة

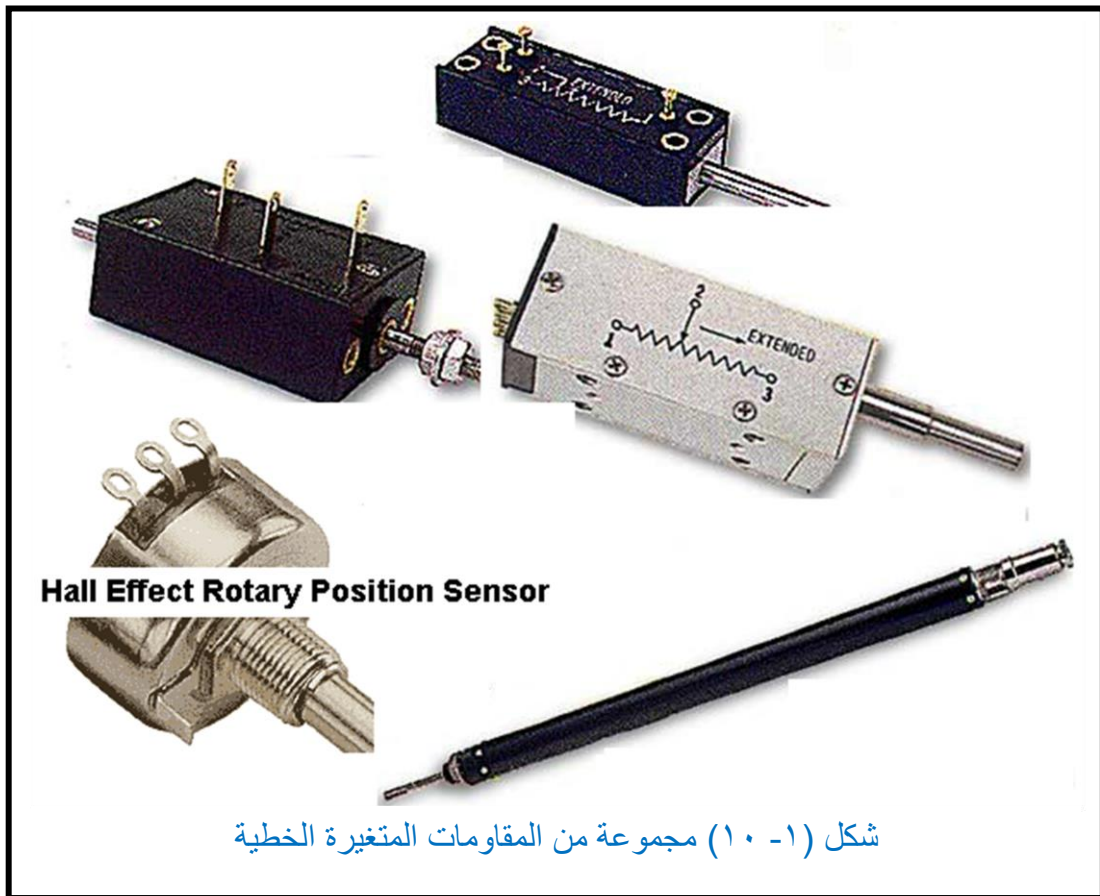
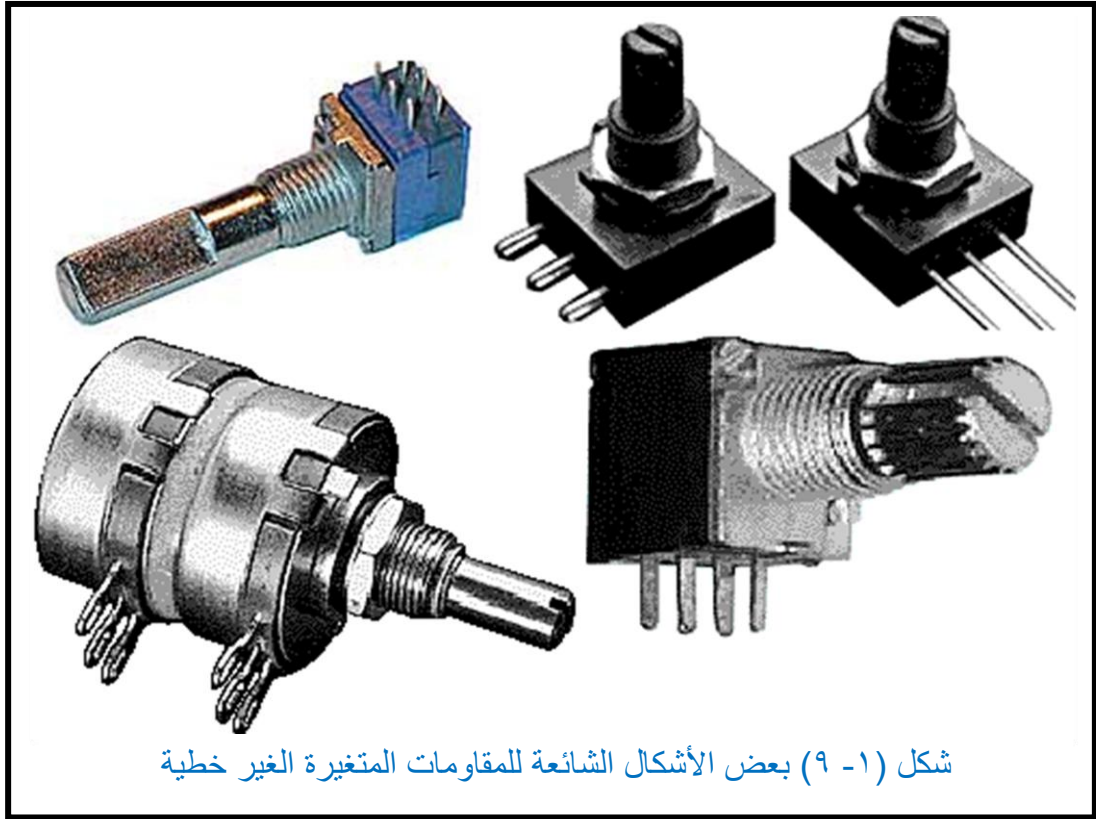
Potentiometer

توجد المقاومات المتغيرة فى أشكال وقيم عديدة وفى الغالب تكون الأشكال مناسبة لطبيعة الوضع أو المكان الذى تستخدم فيه هذه المقاومة. فمقاومة التحكم فى شدة الصوت مثلا تختلف

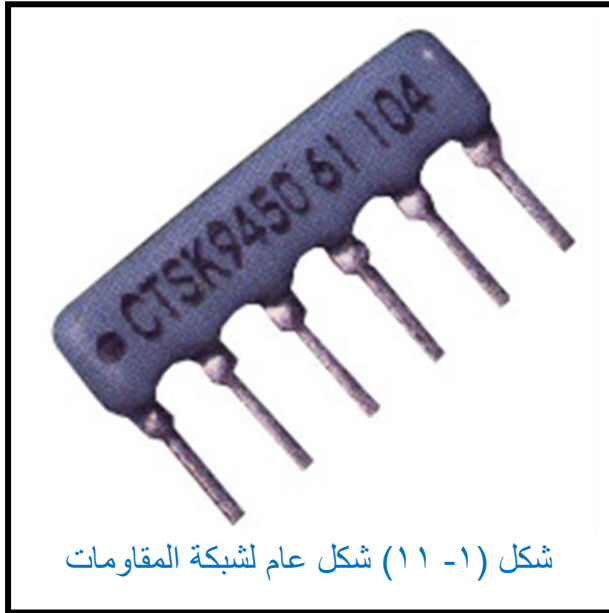


فى الشكل عن مقاومة التحكم فى سرعة موتور من حيث الشكل فقط. المقاومات المتغيرة تكون عبارة عن طرف منزلق يتحرك بين طرفين ثابتين كما فى شكل (١-٨). العلاقة بين حركة المنزلق والتغير الحادث فى قيمة المقاومة تكون خطية أو غير خطية. فى حالة العلاقة غير الخطية فإن التغير فى قيمة المقاومة لا يقابل تغير خطى فى حركة منزلق المقاومة وهذا هو النوع الشائع

من المقاومات المتغيرة وهى رخيصة الثمن. النوع الثانى من المقاومات المتغيرة هو النوع الخطى والذى يعنى أن أى تغير فى حركة المنزلق يعطى تغير فى قيمة المقاومة متناسب خطيا مع هذه الحركة. هذا النوع أغلى سعرا من النوع السابق ويستخدم فى التطبيقات التى تحتاج لتغيرات دقيقة فى قيمة المقاومة. شكل (١-٩) يبين العديد من الأشكال المتاحة فى السوق من المقاومات المتغيرة. شكل (١-١٠) يبين مجموعة من المقاومات الخطية. هناك أشكال عديدة أخرى لا يتسع المكان لحصرها هنا.



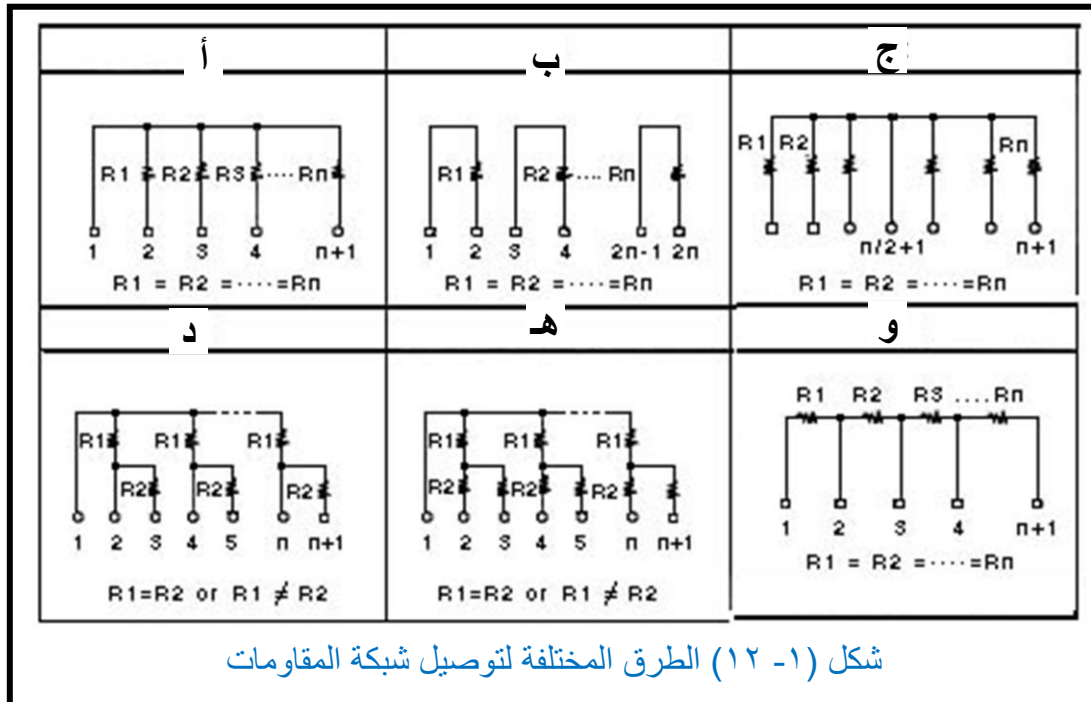
ثالثاً: شبكة المقاومات Resistor Network



شبكة المقاومات كما في شكل (١ - ١١) تحتوي عدد من المقاومات المتساوية الموصلة مع بعضها بطريقة معينة داخل نفس المحتوى. شكل (١ - ١٢) يبين الطرق المختلفة لتوصيل هذه المقاومات مع بعضها داخلياً. شكل (١ - ١٢ أ) مثلاً يبين توصيل كل المقاومات في نقطة واحدة عامة والطرف الثاني لكل مقاومة والطرف العام تخرج كأطراف من المحتوى. شكل (١ - ١٢ ب) يبين أن كل مقاومة تم إخراج طرفيها من المحتوى. حاول دراسة باقى طرق التوصيل في شكل (١ - ١٢) للتعرف على الطرق المختلفة الأخرى للتوصيل. نؤكد هنا على أن كل المقاومات داخل الشبكة تكون متساوية. تستخدم

شبكة المقاومات في الكثير من التطبيقات التي تتطلب هذه المقاومات مثل توصيل مقاومات على التوالى مع مجموعة من الدايودات المضئبة LED.

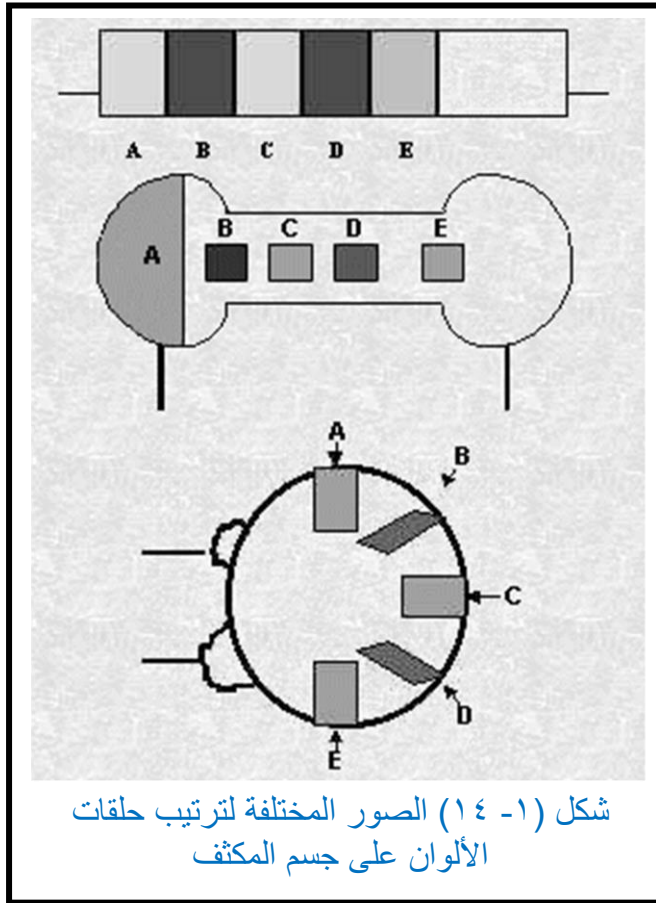
شكل (١ - ١٣) يبين صوراً لمقاومات متغيرة تستخدم في بعض الأغراض الخاصة مثل التحكم في الصواريخ وسفن الفضاء والأزرع الآلية (الروبوت) حيث تكون هذه المقاومات متناهية الدقة.





شكل (١-١٣) صور كثيرة للمقاومات المتغيرة المستخدمة لأغراض خاصة

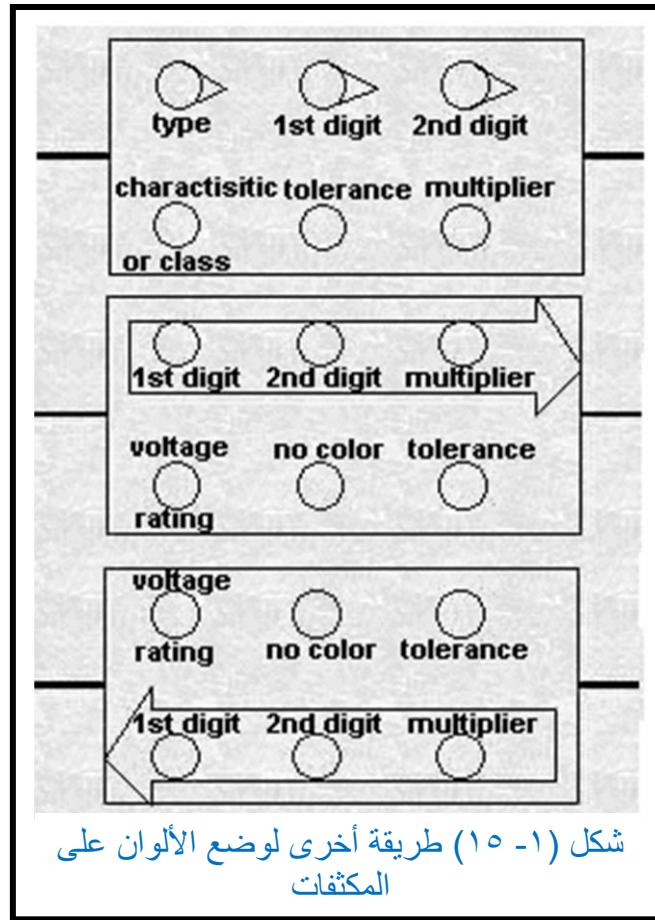
٣-١ المكثفات الكهربية Capacitors



شكل (١-١٤) الصور المختلفة لترتيب حلقات الألوان على جسم المكثف

توجد المكثفات الكهربية في الكثير من الأشكال ومنها الثابت القيمة والمتغير ويتم تصنيفها بطرق عديدة، فهي إما أن تصنف على حسب فرق الجهد الذي يمكن أن تتحمله، أو على حسب طريقة التصنيع. قيمة المكثف إما أن تكتب على جسم المكثف إذا كان الوضع يسمح بذلك أو يتم قراءتها عن طريق شفرة ألوان كما كان يحدث في حالة قراءة قيمة المقاومات. شكل (١-١٤) يبين طريقة ترتيب الألوان على جسم المكثف حسب شكله. كما في الشكل نجد أن هناك ٥ حلقات أو ٥ ألوان وهذه الألوان يتم تمييزها بالحروف A, B, C, D, E من اليسار كما في شكل (١-١٤). الحرف A يمثل المعامل الحراري للمكثف، أي مقدار التغير في قيمته نتيجة التغير في درجة الحرارة. الحرف B هو الرقم الأول من القيمة. الحرف C يمثل الرقم

الثاني من القيمة. الحرف D يمثل معامل الضرب أو بمعنى آخر عدد الأصفار. الحرف E يمثل الدقة في قيمة المكثف. القيمة المحسوبة من هذه الشفرة تكون بالبيكوفارد PF. القيمة العددية لكل لون هي نفس القيم المستخدمة مع المقاومات كما في شكل (١-٦). عدد الألوان على جسم المكثف من الممكن أن يكون ثلاثة أو ستة وفي كل حالة تبقى الشفرة كما هي. شكل (١-١٥) يبين طريقة أخرى لوضع الألوان على جسم المكثف حيث توضع في صورة دوائر كما في الشكل وترتب تبعا لسهم يرسم على جسم المكثف كما في الشكل أيضا. هناك ٣ دوائر مهمة، الأولى والثانية تمثل الرقم الأول والثاني والدائرة الثالثة تمثل عدد الأصفار التي توضع على يمين الرقمين السابقين كما كان الحال مع كود المقاومات. شكل (١-١٦) يبين بعض الصور المختلفة والشائعة للمكثفات.

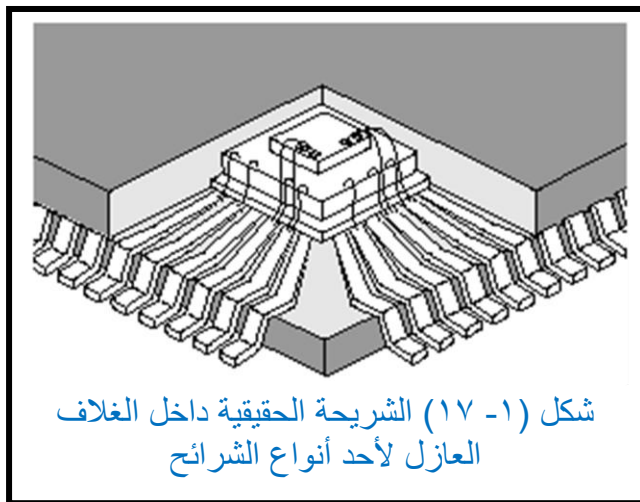


١-٤ الدوائر التكاملية ICs Integrated Circuits

كل واحدة من الدوائر المنطقية التي سنتكلم عنها في هذا الكتاب متاحة في صورة شرائح إلكترونية. من مميزات وضع هذه الدوائر في شرائح إلكترونية أنها ستكون صغيرة الحجم ورخيصة الثمن يمكن الاعتماد عليها في الكثير من ظروف التشغيل reliable، كما أن معظم هذه الشرائح تستهلك القليل من القدرة الكهربائية. لذلك لزم علينا أن نعرض للأشكال المختلفة للشرائح الإلكترونية المتاحة في الأسواق وكيفية قراءة وترتيب أطراف هذه الشرائح حتى نستطيع التعامل معها معمليا .

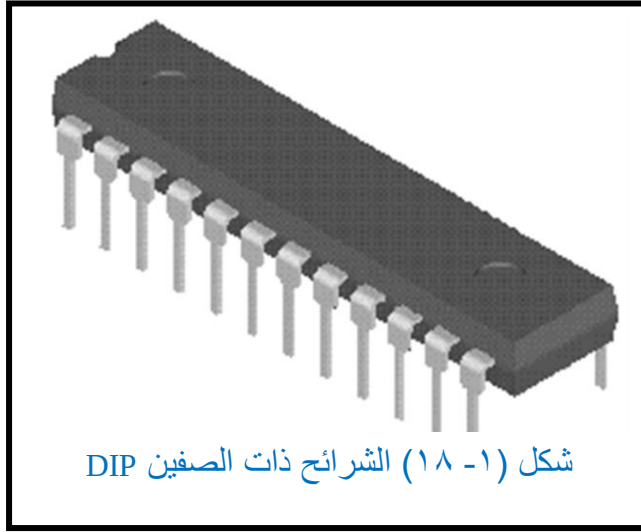


شكل (١- ١٦) الصور المختلفة للمكثفات

شكل (١- ١٧) الشريحة الحقيقية داخل الغلاف
العازل لأحد أنواع الشرائح

الكثير منا ينظر إلى الحجم الأسود لأي شريحة على أن هذا هو حجم الشريحة الأصلي، ولكن الحقيقة هي أن هذا الجسم الأسود يكون عادة من مادة عازلة تغطي أو تغلف الجسم الحقيقي للشريحة الموجود بالداخل وهذا الجسم في العادة يكون صغيرا جدا بالنسبة لهذا الغلاف الأسود الموجود فقط لكي يتمكن المصنع من إخراج الأطراف المختلفة للشريحة بطريقة مريحة للمستخدم. شكل (١- ١٧) يوضح ذلك.

هناك أكثر من طريقة لتغليف الشرائح الإلكترونية، أولها وأكثرها شيوعاً هي الشرائح ذات الأطراف النافذة أو الحارمة. في هذه الحالة لابد من عمل خرم أو فتحة لكل طرف من أطراف الشريحة على اللوحة ينفذ منها الطرف ويتم لحامه أو



شكل (١- ١٨) الشرائح ذات الصفيين DIP

تثبيتها من الناحية الأخرى للوحة التثبيت. أى أن الشريحة تكون موجودة على أحد أوجه اللوحة والأطراف مثبتة على الوجه الآخر لها. من الأشكال الشائعة لذلك الشرائح المعروفة بذات الصفيين النافذة, Dual In line Package, DIP الموضحة في شكل (١- ١٨).

النوع الثانى من الشرائح هو الشرائح السطحية أو غير النافذة وهى لا تحتاج لتخريم اللوحة لتثبيتها ولكنها تثبت مباشرة على نفس السطح الموجودة عليه. وهذه بالطبع تكون أفضل في

الكثير من التطبيقات لأنها ستوفر مساحة على اللوحة كما أنها في العادة تكون صغيرة الحجم. هذه الشرائح تسمى الشرائح السطحية الصغيرة Small Outline IC, SOIC. شكل (١- ١٩) يوضح مثالا لهذا النوع من الشرائح.

هناك أشكال عديدة من الشرائح السطحية مثل الشرائح ذات الأرجل السلكية Plastic Leaded Chip Carrier, PLCC

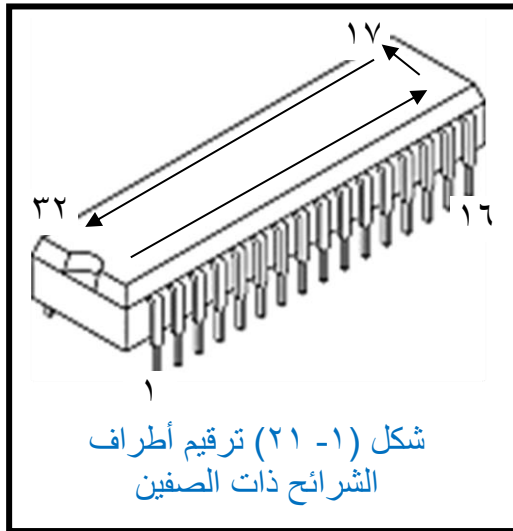
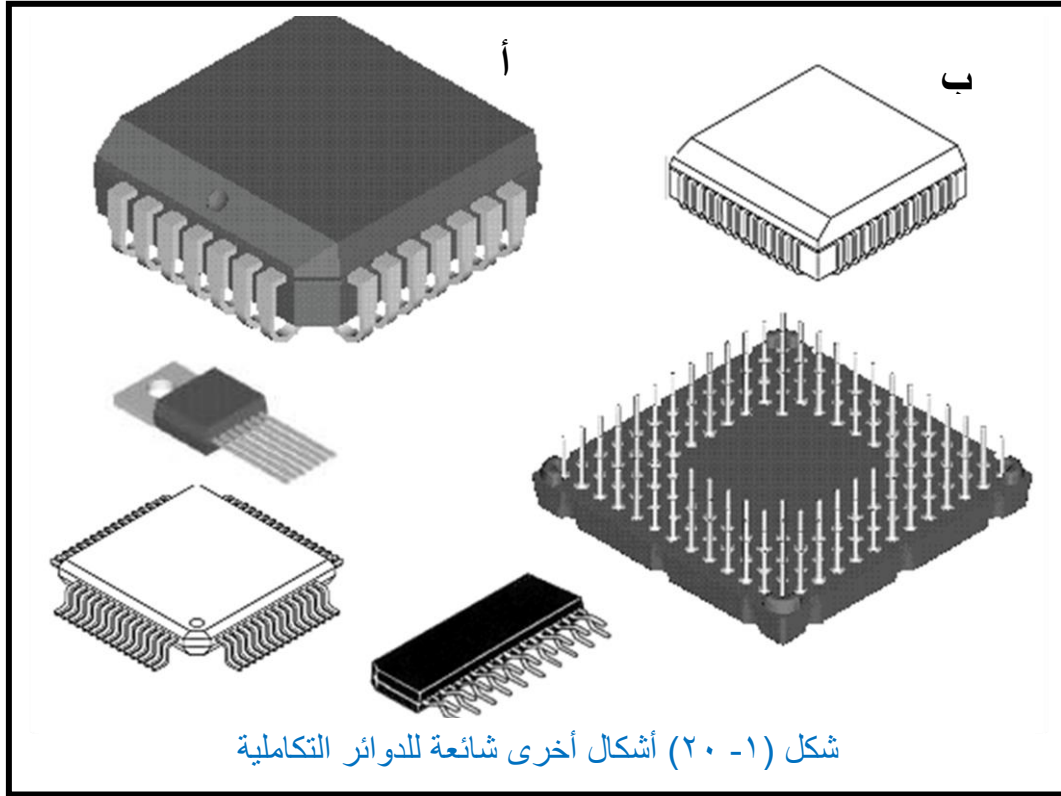
والتي تكون أطرافها عبارة عن أسلاك ملفوفة تحت جسم الشريحة في صورة الحرف J كما في شكل (١- ٢٠). هناك أيضا الشريحة السيراميكية التي تكون أطرافها عبارة عن أسلاك لاصقة في جسم الشريحة Leadless Ceramic Chip Carrier, LCCC كما في شكل (١- ٢٠ب)، كما أن هناك أيضا العديد من الأشكال الأخرى الموضح بعضها في شكل (١- ٢٠).



شكل (١- ١٩) الشرائح ذات التثبيت السطحي الصغيرة SOIC

ترقيم أطراف الشرائح التكاملية

في العادة تكون هناك علامة على سطح أى شريحة تشير إلى الطرف رقم ١. نمسك بالشريحة أفقياً والسطح لأعلى والعلامة ناحيتنا ثم نبدأ عد الأطراف متجهين ناحية اليمين حتى آخر الصف ثم نلف للصف المقابل ونستمر في العد متجهين ناحية اليسار كما في شكل (١- ٢١). بنفس الطريقة مع جميع أشكال الشرائح التي رأيناها، نحدد الطرف ١، نعد متجهين ناحية اليمين مع جميع أطراف الشريحة دورانياً حتى ننتهي عند الطرف المقابل للطرف ١. حاول أن تطبق ذلك مع الشرائح الموجودة في شكل (١- ٢٠) وبالذات الشريحة في شكل (١- ٢٠أ) حيث علامة الطرف ١ موجودة في منتصف صف وليس في أحد الأركان كما تعودنا.



كثافة المكونات على الشريحة

أحيانا تصنف الشرائح الإلكترونية على حسب كثافة المكونات عليها حيث تقاس هذه الكثافة بعدد الترانزستورات المكونة لهذه الشريحة. لاحظ أن جميع مكونات أى شريحة تؤول فى النهاية إلى مجموعة من الترانزستورات. من هذه التصنيفات ما يلى:

١- الشرائح ذات التكامل الصغير Small Scale Integration, SSI

وهى الشرائح التى تحتوى أقل من ١٠٠ ترانزستور، وهذه تحتوى بعض البوابات المنطقية والقلابات.

٢- الشرائح ذات التكامل المتوسط Medium Scale Integration, MSI

وهى التى تحتوى من ١٠٠٠ حتى ١٠٠٠٠ ترانزستور، ويتكون منها العدادات والمسجلات والمشفرات ومحولات الشفرة.

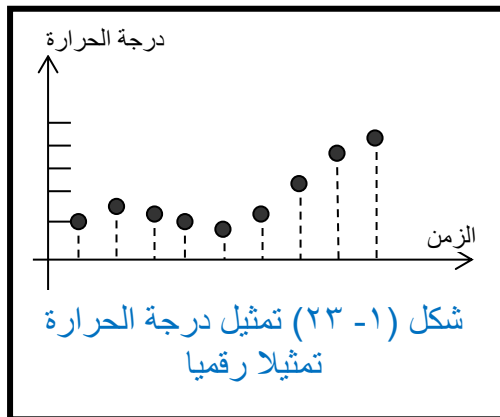
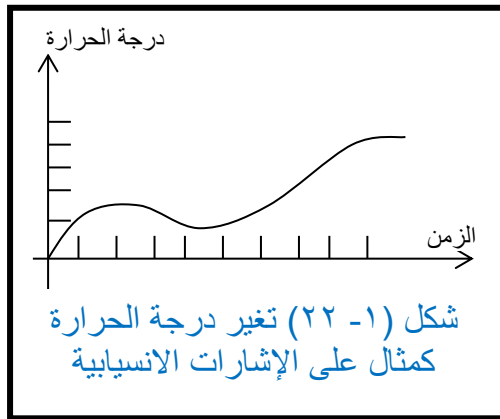
٣- الشرائح ذات التكامل العالى Large Scale Integration, LSI

وهى التى تحتوى من ١٠٠٠٠ حتى ١٠٠٠٠٠ ترانزستور، ويتكون منها شرائح الذاكرة والأجيال الأولى من المعالجات.

- ٤- الشرائح ذات التكامل العالى جدا **Very Large Scale Integration, VLSI** وهى التى تحتوى من ١٠٠٠٠٠ حتى مليون ترانزستور، ويتكون منها الأجيال المتوسطة من المعالجات وشرائح الذاكرة.
- ٥- الشرائح فائقة التكامل **Ultra Large Scale Integration, ULSI** وهى التى تحتوى فوق المليون ترانزستور. الأجيال الأخيرة من المعالجات حتى كتابة هذا الكتاب وصلت كثافتها حتى ٥٠ مليون ترانزستور.

١-٥ الإشارات الانسيابية أو التماثلية والإشارات الرقمية

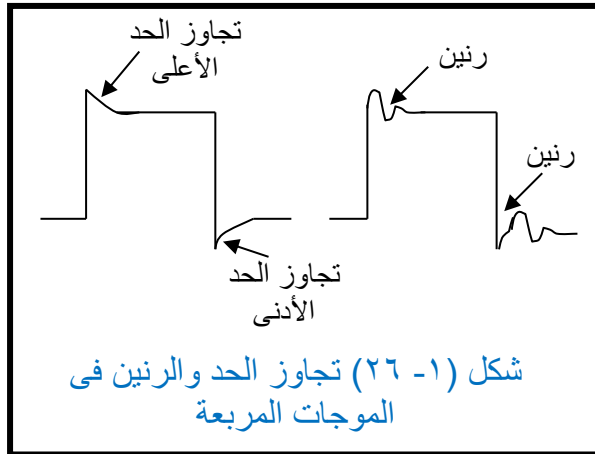
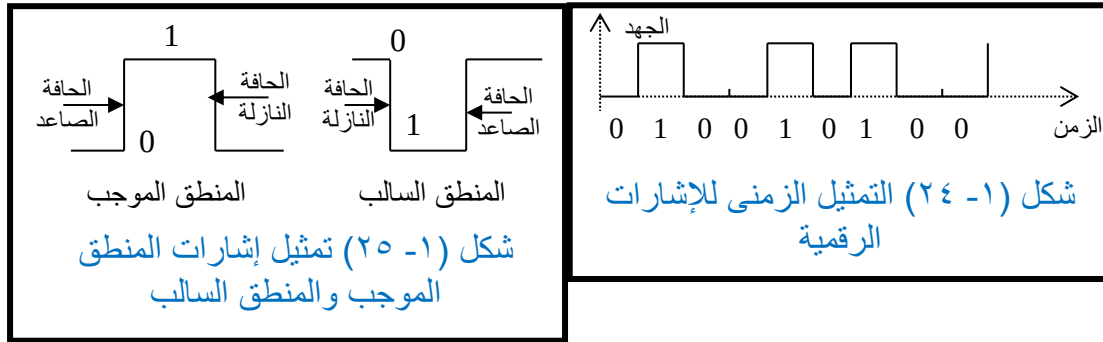
Analog and digital signals



توجد الإشارات الكهربائية فى واحدة من صورتين، إما الصورة الانسيابية (التماثلية كما يطلق عليها أحيانا) أو الصورة الرقمية. الإشارة الانسيابية هى الإشارة التى تتغير قيمتها بصورة انسيابية من قيمة إلى قيمة مارة بجميع القيم الممكنة بين القيمتين. كمثال على ذلك درجة حرارة الجو التى تتغير قيمتها بين قيمة صغرى (٢٠ درجة مثلاً) وقيمة كبرى (٣٥ درجة مثلاً). عندما تتغير درجة الحرارة من ٢٠ إلى ٣٥ درجة فإنها تمر بجميع القيم الممكنة بين هاتين القيمتين مثل ٢٠,٠٠١ و ٢٢,٠٠٠٠١ و ٣٣,٥٥٥ قيمة أخرى بحيث أنها لا بد أن تأخذ أى قيمة تخطر على بالك فى المدى الذى تتغير فيه. شكل (١-٢٢) يبين تغير هذه الإشارة مع الزمن. لاحظ أن هذه الإشارة انسيابية من حيث القيمة كما رأينا، كما أنها انسيابية فى الزمن أيضاً، فهذه الدالة يمكن أن تكون لها قيمة معينة عند أى زمن يخطر على بالك أيضاً.

تخيل أننا بدأنا نأخذ درجة الحرارة عند فترات زمنية متساوية ومحددة، كل نصف ساعة مثلاً. كما أننا سنقرأ درجة الحرارة عند كل زمن فى صورة رقم صحيح وخانة عشرية واحدة فقط. أى أن درجة الحرارة ستكون مثلاً ٢٠ و ٢٢,١ و ٢٥,٩ و ٣٣,٤ وهكذا. هذا التمثيل لدرجة الحرارة نقول عنه أنه تمثيلاً رقمياً وهذه الإشارة نقول عنها أنها إشارة رقمية. شكل (١-٢٣) يبين هذه الإشارة. بمجرد تحويل الإشارة الانسيابية إلى رقمية تصبح كل عينة من العينات الواضحة فى شكل (١-٢٣) عبارة عن رقم يوضع فى العادة فى الصورة الثنائية المكونة من واحد وأصفار. بالرغم من أن كل الإشارات الطبيعية (درجة الحرارة والصوت والضغط وشدة الإضاءة وغيرها الكثير) موجودة فى الصورة الانسيابية إلا أنه يمكن وضعها فى الصورة الرقمية تمهيداً لإدخالها إلى الحاسب حتى يمكن معالجتها رقمياً بالحاسب وتخزينها فى صورة رقمية على أى وسط من أوساط التخزين. كلنا نرى الآن الصوت وقد تم تخزينه فى الحاسب بحيث يمكن استرجاعه فى أى وقت. كذلك إشارة الصورة فهناك الأفلام والأغاني المسجلة على ذاكرة

الحاسب أو على أقراص مدججة. هناك طرق عديدة لتحويل الإشارات من الصورة الانسيابية إلى الرقمية والعكس ولكن هذا الموضوع ليس هو المناسب لشرحها لأنها تحتاج لخلفيات لم يتم دراستها حتى الآن. بعد تحويل أى إشارة إلى الصورة الرقمية (وحايد وأصفار) فإنها كإشارة جهد تأخذ مستويين فقط، مستوى يحدد الواحد، ومستوى يحدد الصفر. بذلك تصبح الإشارة الرقمية مع الزمن فى صورة موجة مربعة كما فى شكل (١- ٢٤). بعض الأنظمة الرقمية تخصص الجهد الأعلى للواحد والجهد الأقل للصفر، وهذه الأنظمة تسمى أنظمة المنطق الموجب positive logic كما أن بعض الأنظمة تخصص الجهد الأعلى للصفر والجهد الأقل للواحد وتسمى أنظمة المنطق السالب negative logic كما فى الشكل (١- ٢٥). لاحظ الحافة الصاعدة والحافة النازلة فى كل حالة.



من الأشياء الغير مرغوب فيها التى يمكن أن تحدث مع الموجات المربعة هو تجاوز الحدود عند الحافة الصاعدة أو النازلة والرنين أيضا الذى يكون عبارة عن موجة جيبية تموت بعد فترة زمنية كما فى شكل (١- ٢٦). هذه العيوب تظهر فى العادة نتيجة وجود مكثفات طفيلية غير مرغوب فيها فى الدائرة.

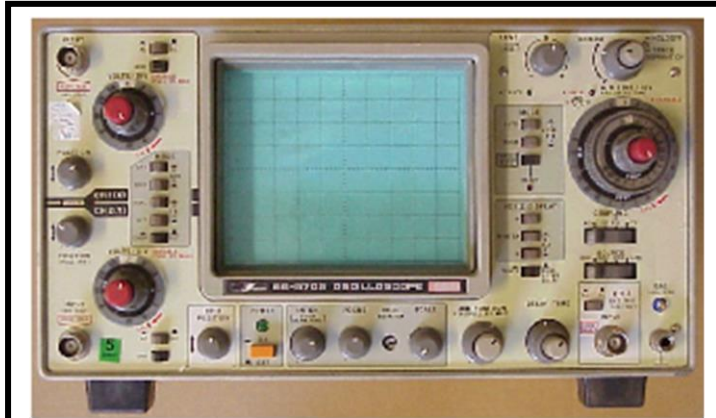
١-٦ الأجهزة المستخدمة لاختبار الدوائر الرقمية

سنعرض هنا سريعا لبعض الأجهزة الكثيرة الاستخدام فى اختبارات وقياسات الإشارات عموما والرقمية بالذات، ونؤكد على أننا لن نشرح هذه الأجهزة بالتفصيل لأن المكان المخصص لذلك هو مقرر قياسات ولكننا سنعرض شرحا سريعا مع صورة تبين كل واحد من هذه الأجهزة.

مبين الذبذبات (الأوسولوسكوب) Oscilloscope

يعتبر الأوسولوسكوب من أكثر أجهزة القياس استخداما فى معامل الإلكترونيات. يستخدم الأوسولوسكوب لبيان شكل الموجة الكهربائية وكيفية تغيرها مع الزمن حيث يعرض العلاقة بين الجهد (أو التيار) مع الزمن. يمكن بذلك تحديد تردد

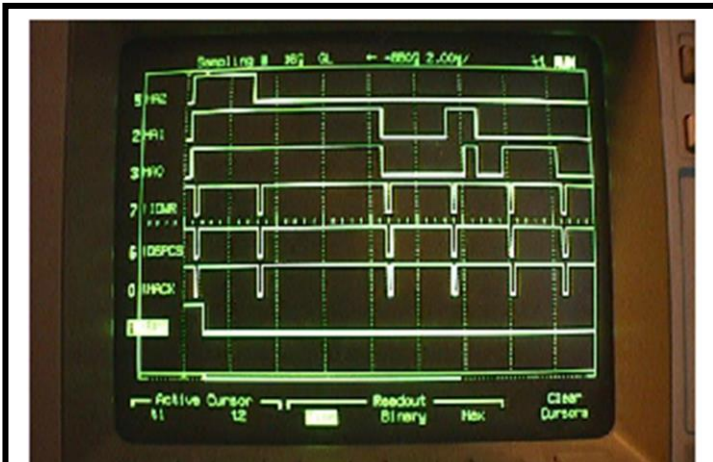
الموجة ومقدار جهدها وزمن الارتفاع وزمن الانخفاض، كما يمكن ملاحظة أى تشويه فى شكل الموجة. يمكن كذلك عرض موجتان فى نفس الوقت



شكل (١- ٢٧) الأوسولوسكوب Oscilloscope

وملاحظة العلاقة بينهما. فمثلا يمكن عرض دخل الدائرة وخرجها فى نفس الوقت وملاحظة الفرق بينهما لمعرفة إذا كان هناك إزاحة فى زاوية الطور بينهما أو إذا كان كل منهما معكوس الآخر، وعلاقة التردد بين كل منهما. شكل (١- ٢٧) يبين صورة لأوسولوسكوب بقتاتين. هناك بعض الأوسولوسكوبات الغالية الثمن التى تحتوى على ثلاث قنوات أو أربع قنوات وليس أكثر من ذلك.

الحلل المنطقى Logic analyzer



شكل (١- ٢٨) المحلل المنطقى Logic analyzer

يستخدم المحلل المنطقى فى دوائر المعالجات أو الحاسبات بكثرة نظرا لوجود الكثير من الإشارات التى يلزم رؤيتها كلها فى نفس الوقت لتحليلها ومعرفة العلاقات بينها مثل الإشارات على خطوط مسار البيانات أو مسار عناوين أو خطوط التحكم. يمكن استخدام المحلل المنطقى فى أكثر من طريقة لعرض الإشارات كما يلى:

١- يستخدم المحلل المنطقى كأوسولوسكوب حيث يمكن

- عرض الإشارة مع الزمن ويمكن عرض أكثر من إشارة فى هذه الطريقة قد يصل إلى ٤ إشارات فى نفس الوقت.
- ٢- يستخدم المحلل المنطقى لبيان المخطط الزمني لعدد من الإشارات يصل إلى ١٦ و ٣٢ إشارة فى نفس الوقت. المخطط الزمني فى هذه الحالة يبين العلاقة الزمنية لكل إشارة وهل هى واحد أم صفر عند أى لحظة زمنية. عرض الإشارات يختلف عن الحالة السابقة حيث لا يبين تفاصيل مقدار الإشارة إلا أنها صفر أم واحد. هذه الحالة مهمة جدا فى بيان إشارات البيانات أو عناوين فى المعالجات أو الحاسبات.

- ٣- يمكن للمحلل المنطقي أن يعرض أكثر من إشارة بطريقة الأوسولوسكوب كما في الطريقة الأولى وفي نفس الوقت يعرض باقى الإشارات في نظام المخطط الزمني كما في الحالة الثانية.
- ٤- يمكن للمحلل المنطقي أن يعرض الإشارات بنظام جدول الحقيقة حيث يعرض الإشارات عبارة عن وحيد وأصفار مكتوبة وليست في مخطط زمني كما في الحالة الثانية. شكل (١- ٢٨) يبين رسماً توضيحياً للمحلل المنطقي.

المبين المنطقي Logic probe

هذا المبين عبارة عن أداة سهلة وبسيطة تمسك في اليد وهى في حجم القلم العادى تستخدم لاختبار نقطة معينة في الدائرة لمعرفة هل الجهد عند هذه النقطة واحد أم صفر أم عبارة عن نبضات حيث يتم بيان كل حالة على لمبة بيان معينة مع صوت زينى معين لكل حالة. شكل (١- ٢٩ و ب) يبين شكلين مختلفين لهذا المبين. هذا المبين رخيص الثمن ويمكن أن يكون في متناول أى واحد من الهواة.

حاقن النبضات Pulse injector

حاقن النبضات يشبه المبين المنطقي تماماً سوى أنه يمكن به حقن نبضات عند نقطة معينة في الدائرة كدخل لهذه الدائرة حيث يمكن ملاحظة استجابة الدائرة لهذه النبضات عند أى خرج من مخارج الدائرة. شكل (١- ٢٩ ج) يبين هذا الحاقن.



شكل (١- ٢٩) (أ) و (ب) مبين منطقي ، (ج) حاقن نبضات



شكل (١- ٣٠) الجهاز متعدد الأغراض Multimeter

جهاز القياس متعدد الأغراض

Multimeter

هذا الجهاز من الأجهزة كثيرة الاستخدام في اختبار الدوائر الإلكترونية سواء الرقمية أو غير الرقمية. يمكن بهذا الجهاز قياس المقاومة بالأوم وقياس التيار وفرق الجهد سواء كان متردد أو مستمر. يتميز هذا الجهاز بصغر حجمه ورخص ثمنه بحيث يمكن أن يكون في متناول أى هاوى. شكل (١- ٣٠)

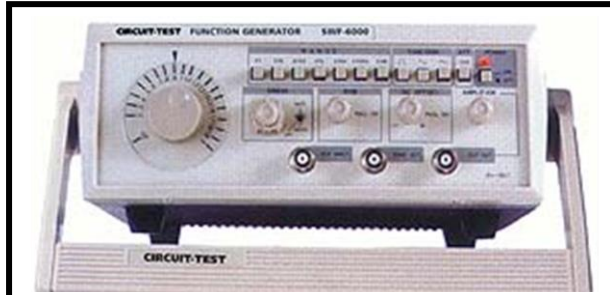
٣٠) يبين صورة لهذا الجهاز. هذا الجهاز منه الأنواع الرقمية كما في الشكل أو الأنواع الانسيابية ذات المؤشر.

مولد ذبذبات Function generator

لا بد أن يحتوى أى معمل للإلكترونيات على أجهزة توليد الذبذبات بالأشكال المختلفة سواء الموجات الجيبية أو المربعة أو المثلثة أو الموجات TTL القياسية، مع إمكانية تغيير كل من تردد ومقدار أى واحدة من هذه الموجات. شكل (١-٣١) يبين مولد الذبذبات.

مصدر قدرة Power supply

لا بد أن يحتوى أى معمل للإلكترونيات على مصادر قدرة تستخدم لتشغيل أى دائرة أو نظام إلكترونى تنوى اختباره أو تشغيله. فى العادة تعطى مصادر القدرة جهداً متغيراً يمكن التحكم فيه أو جهداً ثابتاً ٥ فولت يستخدم لتغذية الدوائر الرقمية بالذات. شكل (١-٣٢) يبين أحد مصادر القدرة. تباع الآن فى محلات الإلكترونيات دوائر مصادر قدرة بسيطة وصغيرة الحجم ورخيصة الثمن كافية جداً للاستخدام مع المشاريع الشخصية التى ينفذها أى واحد من الهواة.



شكل (١-٣١) مولد ذبذبات Function generator



شكل (١-٣٢) مصدر قدرة Power supply

٧-١ تمارين

- ٢- حاول قراءة العديد من المقاومات ذات الألوان المتاحة فى المعمل أو على أى لوحة إلكترونية يمكنك العثور عليها.
- ٣- بعد قراءة كل مقاومة فى التمرين السابق عن طريق ألوانها حاول قياسها باستخدام الجهاز متعدد الأغراض، وقارن بين النتيجة. هل هناك خطأ؟ وهل هذا الخطأ يقع فى المدى المحدد لدقة المقاومة؟
- ٤- حاول توصيل أكثر من مقاومة على التوالى، ثم على التوازي وقس قيمة المقاومة الناتجة فى كل حالة.
- ٥- أعد التمارين ١ و ٢ و ٣ ولكن هذه المرة على المكثفات.

- ٦- على أى لوحة من اللوحات الإلكترونية حاول التعرف على أنواع الشرائح الإلكترونية المثبتة عليها.
- ٧- حاول التعرف على كل أجهزة القياس الموجودة في المعمل أو الورشة التي تتدرب فيها.
- ٨- وصل مولد الذبذبات على الأوسولوسكوب ولاحظ الأشكال المختلفة للموجات التي ينتجها المولد.
- ٩- حاول قياس تردد ومقدار كل إشارة وقارن القراءة التي تحصل عليها من على الأوسولوسكوب مع القراءة الموجودة على زر المولد.

الفصل الثاني

٢

أنظمة العد

Numbering Systems

٢-١ مقدمة

نحن نعيش فى عالم من الأرقام العشرية التى تتكون من العشرة أرقام الشهيرة صفر حتى تسعة. فلماذا ارتبطنا بهذا النظام؟ ولماذا توقفت صورة الأرقام عند تسعة؟ هل هذا له علاقة بأن أصابع اليد عشرة؟ لا أحد يدرى ... ربما ! السؤال الآن هو: هل من الممكن أن نستخدم نظام آخر للعد غير النظام العشري decimal system؟ تخيل أننا افترضنا وجود نظام ثنائى مثلا لا يحتوى إلا الرقم صفر والرقم واحد، أى أن أصابع اليد كانت اثنين بدلا من عشرة!. كيف سيكون العد فى ظل هذا النظام، وكيف سنجمع أو نطرح فى هذه الحالة؟ ولماذا النظام الثنائى binary system فقط؟ ماذا لو فرضنا نظام عد آخر يتكون من ثمانية أرقام، الصفر حتى سبعة (النظام الثمانى octal system) ! أو النظام الستعشرى hexadecimal system الذى يتكون من ستة عشرة رقما، صفر حتى ١٥، أو حتى أى نظام عد آخر. سنرى بالتفصيل فى هذا الفصل كيفية استخدام أى نظام عد يختلف عن النظام العشري. المفاجأة كما سنرى هى أن بعض هذه الأنظمة تكون مفيدة جدا فى بعض المواقف، فالنظام الثنائى مثلا هو النظام المستخدم بكثرة فى أنظمة الحاسبات، وشاع استخدام النظام الثمانى والنظام الستعشرى كذلك، ومعظم تعاملنا فى هذا الكتاب سيكون مع الأرقام الثنائية كما سنرى.

٢-٢ النظام العشري Decimal system

لابد من المرور على نظام العد العشري وحقائق استخدامه حتى نستخدم هذه الحقائق ونعممها للحصول على أنظمة العد الأخرى. إننا فى النظام العشري نستخدم عشرة أرقام من صفر حتى تسعة للتعبير عن الكميات من صفر حتى تسعة. عندما نعبر عن كميات أكبر من التسعة نستخدم عددا مركبا من نفس الأرقام من صفر حتى تسعة ولكن فى هذه الحالة فإن موضع الرقم داخل العدد يكون له وزنا معين. فمثلا العدد أو الكمية ٥١ تتكون من رقمين الواحد والخمسة ولكن الخمسة هنا موجودة فى موقع أو فى خانة العشرات التى يوزن كل واحد فيها بعشرة، لذلك فإن الخمسة فى هذه الخانة تمثل خمسين. بينما الواحد يوجد فى خانة الآحاد التى يمثل كل واحد فيها بنفس قيمته أى بواحد. لذلك فإن الرقم ٥١ يمكن أن نكتبه على هذه الصورة:

$$51 = 5 \times 10 + 1 \times 1$$

وهكذا تم استحداث خانات جديدة مثل خانات المآت التى يمثل كل واحد فيها بمائة وخانة الآلاف التى يمثل كل واحد فيها بألف، وهكذا نرى أن هذه الخانات عبارة عن قوى أو أسس الرقم عشرة التى نقول عنها أنها قاعدة هذا النظام. الكمية ٤٩٩ مثلا يمكن كتابتها كما يلى:

$$499 = 4 \times 10^2 + 9 \times 10^1 + 9 \times 10^0$$

وكذلك الكمية 87535 يمكن كتابتها على الصورة:

$$87535 = 8 \times 10^4 + 7 \times 10^3 + 5 \times 10^2 + 3 \times 10^1 + 5 \times 10^0$$

إذا كانت الكمية العشرية تحتوى كسرا فإن الأرقام الكسرية التى على يمين العلامة العشرية تكتب منسوبة إلى قوى سالبة من الرقم أو القاعدة ١٠ كما يلي:

$$535.25 = 5 \times 10^2 + 3 \times 10^1 + 5 \times 10^0 + 2 \times 10^{-1} + 5 \times 10^{-2}$$

وهكذا يمكن التعبير عن أى كمية بالأرقام من صفر حتى تسعة عن طريق فرض قيمة معينة لموضع الرقم داخل الكمية أو داخل العدد. قبل أن نترك النظام العشري decimal إلى النظام الثنائى binary نؤكد على أن هذا النظام به عشرة أرقام صفر حتى تسعة، وقاعدة هذا النظام هى العشرة.

٢-٣ نظام العد الثنائى Binary system

الأرقام العشرية	الأرقام الثنائية
0	0 0 0 0
1	0 0 0 1
2	0 0 1 0
3	0 0 1 1
4	0 1 0 0
5	0 1 0 1
6	0 1 1 0
7	0 1 1 1
8	1 0 0 0
9	1 0 0 1
10	1 0 1 0
11	1 0 1 1
12	1 1 0 0
13	1 1 0 1
14	1 1 1 0
15	1 1 1 1

جدول ١-٢

فى النظام الثنائى يوجد رقمان فقط وهما الصفر 0 والواحد 1. معنى ذلك أن أى كمية أكبر من الواحد سنعبّر عنها بعدد مركب من الأصفار والواحد ولكن موضع كل صفر أو واحد سيكون له قيمة معينة هنا. أى أننا سنعتبر كل خانة يوجد فيها أى صفر أو واحد بقيمة معينة أخرى، هذه القيم ستكون قوى الرقم أو القاعدة 2 مثل قوى الرقم ١٠ فى النظام العشري كما سبق. يتضح ذلك من الأمثلة التالية:

$$10 = 1 \times 2^1 + 0 \times 2^0 = 2 \quad (1 - 2)$$

$$101 = 1 \times 2^2 + 0 \times 2^1 + 1 \times 2^0 = 5 \quad (2 - 2)$$

$$101011 = 1 \times 2^5 + 0 \times 2^4 + 1 \times 2^3 + 0 \times 2^2 + 1 \times 2^1 + 1 \times 2^0 = 43 \quad (3 - 2)$$

وهكذا أمكن التعبير عن أى كمية فى النظام الثنائى بفرض قيمة للموضع أو الخانة التى يوجد بها الرقم الثنائى مضروباً فى أحد قوى الرقم 2.

الآن يمكننا العد بالنظام الثنائى باتباع نفس نظام العد العشري حيث كنا نعد من صفر حتى تسعة ثم نبدأ خانة جديدة وهى خانة العشرات ونضع بها واحد ونستمر فى العد ١٠، ١١، ١٢، ... حتى ١٩ بعدها نزيد واحد فى خانة العشرات ونستمر فى العد ٢٠، ٢١، ٢٢، ... وهكذا حتى ٩٩ بعدها نفتح خانة جديدة (المئات) ونستمر فى العد ١٠٠، ١٠١، ١٠٢، ... وهكذا حتى ٩٩٩ ثم نبدأ خانة جديدة وهكذا. بنفس الطريقة

سنعد فى النظام الثنائى 0، 1 ثم نبدأ خانة جديدة 10، 11، ثم نبدأ خانة جديدة 100، 101، ... حتى 111 ثم نبدأ خانة جديدة، وهكذا نستمر فى العد. جدول ٢-١ يبين الأعداد من صفر حتى ١٥، والقيمة العشرية المقابلة لكل عدد. لاحظ فى هذا الجدول أننا لكى نعد من صفر حتى ١٥ يلزمنا أربع خانات ثنائية. الآن يمكن كتابة القاعدة التالية:

أكبر قيمة عشرية يمكن أن نصل إليها لعدد معين من الخانات الثنائية تساوى $(2^n - 1)$ حيث n هى عدد الخانات الثنائية. فإذا كانت $n=4$ فأكبر عدد يمكن أن نصل إليه هو ١٥ وإذا كانت $n=5$ فأكبر قيمة هى ٣١ وإذا كانت $n=6$ فأكبر قيمة هى ٦٣ وهكذا.

٢-٣-١ طريقة التحويل من النظام الثنائى إلى النظام العشرى

طريقة التحويل من النظام الثنائى إلى العشرى سهلة ومباشرة ولقد رأيناها فى المعادلات (٢-١) و (٢-٢) و (٢-٣) ونسوق مثال آخر نوضح به هذه الطريقة:

$$11011_2 = 1 \times 2^4 + 1 \times 2^3 + 0 \times 2^2 + 1 \times 2^1 + 1 \times 2^0 = 27_{10}$$

الرقم الجانبي بعد أى عدد يدل على نوع هذا العدد، فالرقم ٢ الجانبي يعنى أن هذا العدد ممثل فى النظام الثنائى والرقم ١٠ يعنى أن هذا العدد ممثل فى النظام العشرى. الخانة فى النظام الثنائى التى تأخذ صفر أو واحد تسمى بت. أول خانة من اليمين تسمى الخانة ذات القيمة الصغرى Least Significant Bit, LSB وآخر خانة ناحية اليسار تسمى الخانة ذات القيمة العظمى Most significant bit, MSB. فى حالة احتواء الرقم على كسر مثل 11011.1101 فإن المكافئ العشرى فى هذه الحالة يمكن حسابه كالتالى:

$$\begin{aligned} 11011.1101 &= 1 \times 2^4 + 1 \times 2^3 + 0 \times 2^2 + 1 \times 2^1 + 1 \times 2^0 + 1 \times 2^{-1} + 1 \times 2^{-2} + 0 \times 2^{-3} + 1 \times 2^{-4} \\ &= 16 + 8 + 2 + 1 + 0.5 + 0.25 + 0.0625 \\ &= 27.7135 \end{aligned}$$

حيث النقطة فى الرقم الثنائى سنطلق عليها العلامة الثنائية بدلا من العلامة العشرية فى حالة النظام العشرى.

٢-٣-٢ التحويل من النظام العشرى إلى النظام الثنائى

الطريقة الأولى للتحويل من نظام عشري إلى نظام ثنائى هى عن طريق تحويل الرقم العشرى إلى مجموعة من أوزان الرقم ٢ ابتداء من 2^0 ثم 2^1 ثم 2^2 وهكذا. إن وجد رقم مقابل لواحد من هذه الأوزان توضع الخانة المقابلة بواحد وإن لم يوجد توضع الخانة المقابلة بصفر فالرقم ٩ مثلا عبارة عن $8+1$ حيث الثمانية هى 2^3 والواحد هو 2^0 وعلى ذلك فالرقم ٩ يمكن وضعه على الصورة:

$$2^3 \quad 2^2 \quad 2^1 \quad 2^0$$

$$1 \quad 0 \quad 0 \quad 1$$

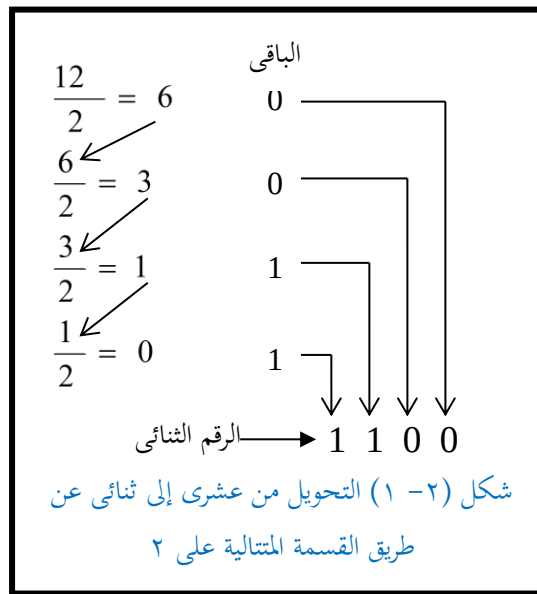
وهذه هى بعض الأمثلة الإضافية لذلك:

$$12 = 8 + 4 = 2^3 + 2^2 = 1100$$

$$25 = 16 + 8 + 1 = 2^4 + 2^3 + 2^0 = 11001$$

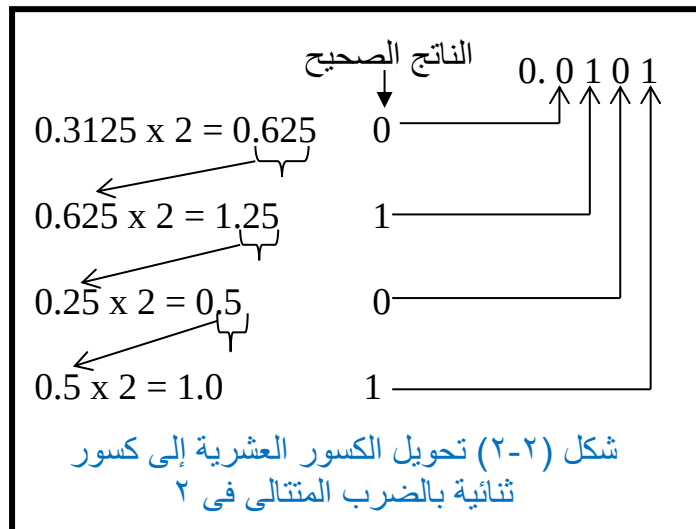
$$58 = 32 + 16 + 8 + 2 = 2^5 + 2^4 + 2^3 + 2^1 = 111010$$

$$82 = 64 + 16 + 2 = 2^6 + 2^4 + 2^1 = 1010010$$



هذه الطريقة فى العادة تستخدم مع الأرقام الصغيرة، أما مع الأرقام الكبيرة فطريقة القسمة المتتالية على ٢ هى الأنسب للتحويل من النظام العشرى إلى النظام الثنائى. فى هذه الطريقة نقسم الرقم العشرى على ٢ على مرات متتابة. فى كل مرة سيتبقى إما واحد أو صفر هذا الباقي يمثل بتات الرقم الثنائى من اليمين إلى اليسار، أما ناتج القسمة فنأخذه ونقسمه على ٢ مرة أخرى إلى أن يؤول ناتج القسمة إلى صفر. شكل (٢-١) يوضح هذه العملية. نلاحظ من هذا الشكل أنه تم قسمة الرقم ١٢ على ٢ فكانت

النتيجة تساوى ستة والباقي صفر يمثل أول بت فى العدد الثنائى من اليمين، بعد ذلك أخذنا الرقم ٦



وقسمناه على ٢ مرة أخرى فكان الناتج ٣ والباقي صفر الذى يمثل البت الثانية فى العدد الثنائى، بعد ذلك قسمنا ٣ على ٢ فكان الناتج واحد والباقي واحد يمثل الخانة الثالثة فى العدد الثنائى، وأخيرا أخذنا الرقم ١ وقسمناه على ٢ فكان الناتج صفر والباقي واحد وهذا يمثل الخانة رقم ٤ والأخيرة فى العدد الثنائى.

لتحويل الأرقام الكسرية من النظام

العشرى إلى النظام الثنائى يمكن اتباع طريقة الأوزان للرقم ٢ عن طريق وضع الرقم العشرى فى صورة مجموعة

من الكسور كل منها أحد قوى الرقم ٢ السالبة ولكن هذه الطريقة تكون فى العادة أصعب. لذلك نفضل استخدام الطريقة الثانية وهى طريقة الضرب المتتالى فى ٢. فى هذه الطريقة نضرب الكسر فى ٢ فإذا ظهر واحد صحيح فى نتيجة الضرب، نضع هذا الواحد فى الرقم الثنائى، وإذا لم يظهر واحد صحيح نضع صفر فى الرقم الثنائى، بعد ذلك نأخذ الكسر الناتج ونجرب عليه نفس العملية، وهكذا إلى أن يتلاشى الكسر أو نكتفى بعدد معين من الخانات بعد العلامة الثنائية. شكل (٢-٢) يبين هذه الطريقة بوضوح. فى هذا الشكل نريد تحويل الكسر 0.3125 إلى كسر ثنائى لذلك تم ضرب هذا الكسر فى ٢ فكان الناتج هو

الحمل	الناتج
0	$0 + 0 = 0$
0	$0 + 1 = 1$
0	$1 + 0 = 1$
1	$1 + 1 = 0$

شكل (٢-٣) القوانين الأساسية لعملية الجمع الثنائى

الحمل	1	1	←
0	1	1	
+	0	1	1
1	1	0	

شكل (٢-٤) مثال لعمليات الجمع الثنائى

0.625 أى صفر صحيح، لذلك فإن أول خانة فى الكسر الثنائى ستكون صفر كما فى الشكل. بعد ذلك نأخذ الكسر 0.625 ونضربه فى ٢ فيكون الناتج هو 1.25 وهو عبارة عن واحد صحيح يوضع فى الخانة الثانية للرقم الثنائى، ونأخذ

الكسر 0.25 ونضربه فى ٢ مرة أخرى فيكون الناتج هو 0.5 فنضع صفر فى الرقم الثنائى ونضرب الكسر 0.5 فى ٢، فيكون الناتج هو 1.0 فنضع واحد فى الرقم الثنائى ونوقف عملية الضرب طالما أن الكسر الناتج أصبح صفراً. وعلى ذلك فالكسر الثنائى سيكون 0.0101.

٢-٣-٣ العمليات الحسابية فى النظام الثنائى

سنرى فى هذا الجزء كيفية إجراء العمليات الحسابية الأساسية، الجمع والطرح والضرب والقسمة، فى النظام الثنائى لما فى ذلك من أهمية فى التعامل مع الإشارات الثنائية داخل الحاسب كما سنرى فى الفصول القادمة.

1	1	1	1
1	0	1	0
1	1	0	0
↑	↑	↑	↑
11	10	10	01

شكل (٢-٥) الحمل وناتج الجمع لثلاث بتات

أولاً: الجمع الثنائى

القوانين الأساسية لجمع خانتين ثنائيتين موضحة فى شكل (٢-٣). نلاحظ من هذا الشكل أن جميع هذه العمليات تعطى صفراً فى الحمل ما عدا العملية الأخيرة وهى جمع ١+١ التى تعطى مجموع أو ناتج يساوى صفر وحمل يساوى واحد. بتطبيق هذه القوانين يمكن إجراء عمليات الجمع على أى عددين كما فى شكل (٢-٤) الذى يبين عملية جمع الرقمين 011 و 011

والتي تعطى الناتج 11 . القاعدة هى أنه كلما تم جمع واحد زائد واحد فإن الناتج يكون صفراً فى نفس العمود ويتم حمل واحد إلى الخانة أو العمود التالى كما فى الشكل. فى شكل (٢-٤) حاصل جمع العمود الأول يعطى ناتج صفر وحمل واحد يجمع مع العمود الثانى. حاصل جمع العمود الثانى $1+1+1$ يعطى واحد وحمل واحد للخانة الثالثة، وحاصل جمع العمود الثالث $1+0+0$ يعطى واحد وحمل صفر حيث تنتهى العملية. فى وجود الحمل من أى عمود للعمود التالى فإنك ستجمع ثلاث بتات وناتج الجمع لثلاث بتات موضح فى شكل (٢-٥).

الاستلاف	الناتج
$0 - 0 = 0$	0
$1 - 1 = 0$	0
$1 - 0 = 1$	0
$0 - 1 = 1$	1

شكل (٢-٦) القوانين الأساسية لعملية الطرح الثنائى

الاستلاف	10
$1 \ 0 \ 1$	
$- \ 0 \ 1 \ 1$	
$0 \ 1 \ 0$	

شكل (٢-٧) مثال لعمليات الطرح الثنائى

ثانياً: الطرح الثنائى

القوانين الأساسية للطرح موضحة فى شكل (٢-٦). نلاحظ من هذا الشكل أن الاستلاف دائماً صفر ما عدا

الحالة التى يتم فيها طرح واحد من صفر حيث أنه فى هذه الحالة

الناتج
$0 \times 0 = 0$
$0 \times 1 = 0$
$1 \times 0 = 0$
$1 \times 1 = 1$

شكل (٢-٨) القوانين الأساسية لعملية الضرب الثنائى

يكون الناتج واحد والاستلاف borrow واحد أيضاً. لاحظ أنه عند استلاف واحد من عمود إلى العمود الذى على يمينه فإن هذا الواحد يكون بائنين (يكافئ عملية استلاف الواحد بعشرة فى النظام العشري). شكل (٢-٧) يوضح مثال لطرح الرقم 011 من الرقم 101 حيث كان الناتج هو 010. فى العمود الأول من اليمين تم طرح واحد من واحد فكان الناتج صفراً. فى العمود الثانى تم طرح واحد من صفر لذلك لزم استلاف واحد بائنين (10) كما فى الشكل حيث تم طرح واحد من اثنين فكان الناتج واحد. فى العمود الثالث تم طرح صفر من صفر فكان الناتج صفراً وعلى ذلك كانت النتيجة النهائية هى 010 كما فى الشكل.

ثالثاً: الضرب الثنائى

شكل (٢-٨) يبين العمليات الأساسية للضرب الثنائى. نلاحظ أن ناتج الضرب دائماً صفر إلا عندما يكون الطرفين وحيداً. عند ضرب أى رقمين تتبع نفس طريقة الضرب فى النظام العشري حيث نضرب خانات المضروب فى المضروب فيه خانة بعد خانة مع الإزاحة ناحية اليمين بمقدار خانة ثم

1011
x 1001

1011
0000
0000
1011

1100011

شكل (٢-٩) مثال للضرب الثنائى

نقوم بالجمع كما فى شكل (٢-٩) الذى يبين عملية ضرب الرقمين 1011 و 1001 حيث كان الناتج هو 1100011.

رابعاً: القسمة الثنائية

$$\begin{array}{r}
 111 \\
 10 \overline{) 1110} \\
 \underline{10} \\
 011 \\
 \underline{10} \\
 010 \\
 \underline{10} \\
 00
 \end{array}$$

شكل (٢-١٠) مثال
للقسمة الثنائية

القسمة فى النظام الثنائى تتم بنفس طريقة النظام العشرى. شكل (٢-١٠) يبين مثالا لذلك حيث تم قسمة الرقم 1110 على الرقم 10 حيث كانت النتيجة تساوى 111.

٢-٤ المتمم الأحادى والمتمم الثنائى

Ones and twos complement

المتممات الأحادية والثنائية مفيدة جداً فى تمثيل الأرقام السالبة وفى إجراء العمليات الحسابية التى تتم داخل الحاسب. المتمم الأحادى لأى رقم نحصل عليه ببساطة عن طريق عكس كل واحد إلى صفر، وكل صفر إلى واحد كما فى المثال التالى:

الرقم الثنائى 1 1 0 1 0 0 1

المتمم الأحادى 0 0 1 0 1 1 0

المتمم الثنائى لأى رقم ثنائى يمكن الحصول عليه بإضافة واحد للمتمم الأحادى لهذا الرقم كما فى المثال التالى:

الرقم الثنائى 1 1 0 1 0 0 1

المتمم الأحادى 0 0 1 0 1 1 0

إجمع 1 مع المتمم الأحادى + 1

$$\begin{array}{r}
 0010110 \\
 + 1 \\
 \hline
 0010111
 \end{array}$$
 المتمم الثنائى

هناك طريقة بسيطة وسهلة للحصول على المتمم الثنائى مباشرة فى خطوتين كما يلى:

١- ابدأ من ناحية اليمين للرقم المطلوب إيجاد المتمم الثنائى له واكتب بتاتته كما هى حتى أول

واحد تقابله اكتبه كما هو أيضاً.

٢- كل البتات بعد أول واحد، إعكسها فتحصل على المتمم الثنائى.

كمثال على ذلك الرقم 10111000:

١- من أقصى اليمين هناك ٣ أصفار مع أول واحد نكتبها كما هى كالتالى: 1000.

٢- ثم كل البتات بعد ذلك يتم عكسها فنحصل على 01001000 وهو المتمم الثنائى للرقم المعطى.

كمثال آخر على ذلك نفترض الرقم 011:

١- نبدأ من ناحية اليمين أول بت واحد نكتبها كما هى.

٣- ثم نعكس كل البتات بعد ذلك فنحصل على الرقم 101 الذى يمثل المتمم الثنائى للرقم المعطى.

٢-٥ الأرقام السالبة والموجبة فى النظام الثنائى

لا تخلو العمليات الحسابية فى الحاسبات من جمع أو طرح أو ضرب أو قسمة أرقام قد تكون سالبة وقد تكون موجبة. فمثلا ما هى نتيجة جمع الرقمين $(-3) + (-9)$ ، وهكذا فإن هناك حاجة ضرورية للتعبير عن الإشارة فى الأرقام الثنائية. بالطبع فإن العلامة $(+)$ و $(-)$ غير معرفة فى النظام الثنائى فما هو العمل؟ فى النظام الثنائى تم التعارف على أن تعتبر آخر بت فى الرقم من ناحية اليسار هى بت الإشارة. فإذا كانت هذه البت تساوى صفر فالرقم موجب وإذا كانت هذه البت تساوى واحد فالرقم سالب. بعد ذلك هناك ثلاث طرق للتعبير عن الرقم كما يلى:

٢-٥-١ النظام الأول: نظام مقدار الإشارة Sign magnitude

فى هذا النظام تعتبر خانة الإشارة هى الخانة التى فى أقصى يسار الرقم وباقى البتات تمثل مقدار هذا العدد. فمثلا الرقم 0101، فيه خانة الإشارة تساوى 0 فالرقم موجب وباقى الرقم هو 101 الذى يمثل القيمة 5، إذن فهذا الرقم عبارة عن +5. بينما الرقم 1101 فيه خانة الإشارة تساوى واحد والبتات 101 تمثل 5، إذن فالرقم الثنائى 1101 يمثل الرقم (-5) أى أن الفرق الوحيد بين الرقمين +5، -5 هو الواحد أو الصفر فى الخانة الموجودة فى أقصى اليسار. أى أنه فى نظام مقدار الإشارة للتعبير عن الأرقام السالبة والموجبة، فإن كل من الرقمين السالب والموجب يكون لهما نفس شكل البتات و يختلفان فقط فى بت الإشارة.

٢-٥-٢ النظام الثانى: نظام المتمم الأحادى

فى هذا النظام يمثل الرقم السالب بالمتمم الأحادى لنظيره الموجب فمثلا الرقم 0101 يمثل $(+5)$ لأن آخر بت على اليسار تساوى صفر، وعلى ذلك فالمتمم الأحادى للرقم السابق وهو 1010 يمثل الرقم (-5) .

٢-٥-٣ النظام الثالث: نظام المتمم الثنائى

فى هذا النظام يمثل الرقم السالب بالمتمم الثنائى لنظيره الموجب. فمثلا الرقم 0101 يمثل الرقم (5+) والمتمم الثنائى له هو 1011 يمثل الرقم (5-). نظام المتمم الثنائى هو الأكثر استخداما فى الأنظمة الرقمية كما سنرى فيما بعد.

مثال

ما هى قيمة الرقم 11000 والرقم 01011 فى كل نظام من الأنظمة السابقة ؟
فى النظام الأول نظام مقدار الإشارة: الرقم 11000 هو رقم سالب لأن آخر بت تساوى واحد، ومقداره هو $8 = 2^3 * 1$ وعلى ذلك فهذا الرقم هو (8-)، بينما الرقم 01011 فهو رقم موجب لأن آخر بت صفر و قيمته هى 11+ (إحدى عشر).

فى نظام المتمم الأحادى: الرقم 11000 هو رقم سالب لأن آخر بت تساوى واحد وعلى ذلك فقيمة هذا الرقم هى المتمم الأحادى له وهى 00111، وعلى ذلك فإن الرقم 11000 يمثل الرقم (7-). بينما الرقم 01011 فهو رقم موجب وقيمته هى (11+ أو إحدى عشر).

فى نظام المتمم الثنائى: الرقم 11000 سالب لأن آخر بت تساوى واحد وقيمة الرقم هى المتمم الثنائى له وهى 01000 وبالتالي فالرقم هو (8-). أما الرقم 01011 فهو موجب وقيمته هى (11+ أو إحدى عشر).

فى نظام المتمم الثنائى الرقم 11000 يمكن كتابته على الصورة :

$$11000 = -1 * 2^4 + 1 * 2^3 \\ = -16 + 8 = -8$$

والرقم 01011 يمكن كتابته على الصورة :

$$01011 = -0 * 2^4 + 1 * 2^3 + 1 * 2^1 + 1 * 2^0 = 11$$

أى أن قيمة الرقم هى التمثيل الحقيقى للوحايد الموجودة فيه بما فى ذلك بت الإشارة سوى أن قيمة بت الإشارة تكتب سالبة. وهذه ميزة من مميزات استخدام المتمم الثنائى هى أن قيمة الرقم العشرية تحسب مباشرة بطريقة التحويل من ثنائى إلى عشرى العادية سوى أن بت الإشارة تكتب سالبة. أيضا من عيوب طريقة المتمم الأحادى أن الصفر (0000) متممه الأحادى (1111) أى أن هناك فرق بين (0+) و (-) (0). بينما فى المتمم الثنائى فإن (0000) متممه الثنائى هو أيضا (0000).

عندما يمثل رقم ثنائى بأربع خانات مثلاً فإنه إذا كان هذا الرقم بدون إشارة فإن قيمة هذا الرقم ستتراوح بين 0 و $2^4 - 1 = 15$. بينما إذا كان هذا الرقم بإشارة فإن قيمته تتراوح بين $(2^{n-1} - 1)$ حتى $(2^{n-1} - 1)$ أى $(-8 = -2^3)$ حتى $(2^3 - 1 = 7)$. لاحظ أن المدى لم يتغير سوى أنه فى حالة اعتبار الإشارة فإن الرقم يتراوح بين -8 حتى $+7$. فى حالة ٨ خانات تتراوح قيمة الرقم بين صفر و ٢٥٥ فى حالة عدم اعتبار الإشارة ، وبين -128 حتى 127 فى حالة اعتبار الإشارة.

٢-٦ العمليات الحسابية على الأعداد ذات الإشارة

سنرى فى هذا الجزء كيف نجرى العمليات الحسابية المختلفة على الأعداد ذات الإشارة وسنقتصر على نظام المتمم الثنائى فقط لأنه النظام الشائع كما قلنا فى الأنظمة الرقمية عامة وأنظمة الحاسبات والمعالجات الدقيقة بصفة خاصة.

٢-٦-١ عملية الجمع

سنجرى العمليات فى هذا الجزء على أعداد من ٨ بت (١ بايت). هناك أربع احتمالات لطبيعة الأعداد التى سنجرى عليها عملية الجمع وهى كالتالى:

١ - كلا العددين موجب.

٢ - عدد موجب والآخر سالب و الموجب هو الأكبر.

٣ - عدد موجب و الآخر سالب و السالب هو الأكبر.

٤ - كلا العددين سالب.

سنأخذ كل حالة على حدة وسنسوق مثال لكل منها.

جمع عددين كل منهما موجب :

$$\begin{array}{r} 00001001 \\ 00000101 + \\ \hline 00001110 \end{array} \quad \begin{array}{r} 9 \\ 5 + \\ \hline 14 \end{array}$$

النتيجة موجبة كما نرى.

جمع عددين أحدهما موجب والآخر سالب والموجب أكبر:

$$\begin{array}{r} 00001001 \\ 11111011 + \text{(المتمم الثنائى ل ٥)} \\ \hline 100000100 \end{array} \quad \begin{array}{r} 9 \\ + (-5) \\ \hline 4 \end{array}$$

النتيجة +4 وهى كما نرى موجبة مع إهمال الحمل الأخير.

جمع عددين أحدهما موجب والآخر سالب والسالب أكبر:

$$\begin{array}{r}
 (9-) \quad 11110111 \\
 + 5 \\
 \hline
 11111100 \\
 -4
 \end{array}$$

النتيجة سالبة وبأخذ المتمم الثنائى له يعطى 00000100 (-4) .

كلا العددين سالب:

$$\begin{array}{r}
 9- \quad 11110111 \\
 + (-5) \quad 11111011 \\
 \hline
 111110010 \\
 -14
 \end{array}$$

النتيجة سالبة كما نرى (آخر بت تساوى ١) وبأخذ المتمم الثنائى للنتيجة بعد إهمال الحمل الأخير تعطى 00001110 وهى (-14) .

٢-٦-٢ خطأ الفيضان Over flow error

عند جمع عددان (فى الغالب كل منهما موجب أو كل منهما سالب) فإذا زادت النتيجة عن $+127$ أو كانت أقل من -128 فإنه يحدث حمل على خانة الإشارة وتكون الإشارة فى هذه الحالة غير ممثلة تمثيلاً صحيحاً للنتيجة. كمثال على ذلك جمع العددين التاليين:

$$\begin{array}{r}
 01111101 \quad 125 \\
 + 00111010 \quad 58 \\
 \hline
 10110111 \quad +183
 \end{array}$$

نجد أن بت الإشارة تساوى ١ مما يعنى أن النتيجة سالبة وهذا خطأ لأننا نجمع عددين موجبين لذلك يجب أن تكون النتيجة موجبة كما فى الجمع العشري. هذا كما رأينا نتج عن جمع عددين نتيجتهما كانت أكبر من $+127$ لذلك حصل حمل على خانة الإشارة فأفسدها. هذا الخطأ عندما يحدث تحذر منه الحاسبات بجعل علم الفيضان يساوى ١، وفى هذه الحالة يكون هناك تصحيح للنتيجة بطريقة معينة خارج نطاق هذا الموضوع.

٢-٦-٣ عملية الطرح

عملية الطرح هى فى الأصل عملية جمع بعد تغيير إشارة المطروح، فمثلا (5-9) هى حاصل جمع (9) زائد (5-)، ومعروف أن الرقم (5-) هو المتمم الثنائى للرقم 5. أيضا (5-9) هى حاصل جمع الرقمين (9) زائد (5-) وهو ما يكافئ المتمم الثنائى للمتمم الثنائى للرقم 5 ، أى الرقم 5 الأصلى. لذلك يمكننا أن نخلص أن عملية الطرح هى عملية جمع المطروح منه زائد المتمم الثنائى للمطروح. يتضح ذلك من الأمثلة التالية:

$$\begin{array}{r}
 00001000 \\
 + \text{ (المتمم الثنائى ل 3) } 11111101 \\
 \hline
 00000101 \\
 +5
 \end{array}
 \qquad
 \begin{array}{r}
 8 \\
 -3 \\
 \hline
 +5
 \end{array}$$

$$\begin{array}{r}
 11111000 \text{ (المتمم الثنائى ل 8)} \\
 + \text{ (المتمم الثنائى ل 3) } 11111101 \\
 \hline
 111110101 \\
 -11
 \end{array}
 \qquad
 \begin{array}{r}
 -8 \\
 -3 \\
 \hline
 -11
 \end{array}$$

النتيجة سالبة و تساوى 00001011 وهى (-11) أو سالب إحدى عشر. بالنسبة للضرب والقسمة يتم اتباع نفس الخطوات السابقة.

٢-٧ النظام الثمانى Octal system

يتكون نظام العد الثمانى من ثمانية أرقام هى: 0, 1, 2, 3, 4, 5, 6, 7 أى رقم أكبر من 7 يكتب فى أكثر من خانة كما يلى:

6, 7, 10, 11, 12, ... , 15, 16, 17, 20, 21, ... , 25, 26, 27, 30, 31 , ...

٢-٧-١ التحويل من النظام الثمانى إلى النظام العشرى

هذه العملية سهلة حيث أننا نضرب كل رقم فى وزن الخانة التى يوجد بها هذا الرقم فى النظام الثمانى . قاعدة العد فى النظام الثمانى هى ٨ ولذلك فإن أوزان الخانات ستكون كالتالى: $8^0, 8^1, 8^2, 8^3$ وهكذا. كمثال على ذلك:

$$\begin{aligned}
 (235)_8 &= 2 \cdot 8^2 + 3 \cdot 8^1 + 5 \cdot 8^0 \\
 &= 2 \cdot 64 + 3 \cdot 8 + 5 = (157)_{10}
 \end{aligned}$$

٢-٧-٢ التحويل من النظام العشري إلى النظام الثماني

هنا أيضا تتم عملية التحويل عن طريق القسمة المتتالية على الرقم ٨ كما في المثال التالي:

$$\begin{array}{rcl} \frac{157}{8} = 19 & \text{الباقي} & 5 \\ \frac{19}{8} = 2 & & 3 \\ \frac{2}{8} = 0 & & 2 \end{array}$$

وعلى ذلك فالرقم الثماني الناتج هو 235_8 .

بنفس الطريقة يمكن تحويل الكسور من النظام الثماني إلى النظام العشري عن طريق الضرب في قوى الرقم ٨ السالبة وتحويل الكسور العشرية إلى كسور ثمانية عن طريق الضرب المتتالي في ٨ ونعتبر دائماً الناتج الصحيح من عملية الضرب كما فعلنا مع الأعداد الثنائية وكما في الأمثلة التالية:

$$\begin{aligned} (0.35)_8 &= 3 \cdot 8^{-1} + 5 \cdot 8^{-2} \\ &= 0.453_{10} \end{aligned}$$

$$\begin{array}{rcl} (0.56)_{10} = 0.56 & \xrightarrow{8 \times} & 0.48 \\ & \text{4.48} & \xrightarrow{8 \times} & 3.84 \\ & \text{= 0.436...}_8 & \xrightarrow{8 \times} & 6.72 \end{array}$$

النظام الثماني	النظام الثنائي		
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

جدول ٢-٢

٣-٧-٢ التحويل من ثنائي إلى ثنائي والعكس

كل رقم في النظام الثماني يمكن تمثيله بثلاث بتات في النظام الثنائي كما في جدول ٢-٢. يمكن استغلال ذلك في تحويل أى رقم في النظام الثماني إلى مكافئ له في النظام الثنائي عن طريق وضع كل رقم ثماني بما يكافئه في النظام الثنائي كما في المثال التالي:

$$(354)_8 = 011\ 101\ 100_2$$

كما يمكن تحويل أى عدد في النظام الثنائي إلى مكافئ له في النظام الثماني عن طريق تقسيمه من اليمين إلى مجاميع كل منها ٣ بت ونكتب الرقم الثماني المكافئ لكل مجموعة كما يلي:

$$1011100101 = 1\ 011\ 100\ 101_2 = 1345_8$$

٢-٨ نظام العد الست عشري

Hexadecimal system

فى النظام الست عشري يوجد ١٦ رقما وهى كالتالى:

0,1,2,3,4,5,6,7,8,9,A,B,C,D,E,F

فى هذا النظام نجد أن أشكال الأرقام حتى ٩ نفذت، لذلك تم استخدام باقى الأشكال الستة عشرة فى صورة حروف وهى الحروف A و B و C و D و E و F. بعد الرقم F يبدأ استخدام خانات إضافية لتمثيل الأعداد حيث كل خانة يكوم لها وزن وهذا الوزن هو قوى العدد ١٦ وهى كالتالى 16^0 و 16^1 و 16^2 و 16^3 وهكذا. يمكن أن نعد فى النظام الست عشري كما يلى :

الأرقام الثنائية	الأرقام الست عشرية
0	0
1	1
2	2
3	3
4	4
5	5
6	6
7	7
8	8
9	9
A	10
B	11
C	12
D	13
E	14
F	15

جدول ٢-٣

0,1,...,9,A,B,C,D,E,F,10,11,12,...,19,1A,1B,...,1F,20,21,...,29,2A,...,2F,30,31,...,39,3A,...,3F,

للتحويل من النظام الست عشري للعشري نتبع الطرق السابقة وهى الضرب فى قوى العدد ١٦ كما يلى:

$$3F2_{16} = 3 \cdot 16^2 + 15 \cdot 16^1 + 2 \cdot 16^0$$

$$= 1010_{10}$$

وللتحويل من النظام العشري إلى النظام الست عشري نتبع نظام القسمة المتتابعة على ١٦ كما يلى:

$\frac{323}{16} = 20$	الباقي 3
$\frac{20}{16} = 1$	4
$\frac{1}{16} = 0$	1

$$323_{10} = 143_{16}$$

بالنسبة للكسور نتبع معها نفس ما اتبعناه فى الأنظمة السابقة.

أى عدد ستعشرى يمكن تمثيله فى ٤ خانات ثنائية كما فى جدول ٢-٣. ويمكن استغلال ذلك فى عملية التحويل من ستعشرى إلى ثنائى والعكس كما فى الأمثلة التالية:

$$4F_{16} = 010011110010_2$$

$$1A9_{16} = 1101001001001_2$$

لاحظ أنه باستخدام النظام الثمانى والستعشرى يكون هناك توفير فى عدد الخانات المستخدمة وهذه ميزة فى استخدام هذه الأنظمة. أنظر مثلاً إلى العدد 124_{10} فى النظام العشرى وتمثيله فى الأنظمة المختلفة:

$$124_{10} = 1111100_2$$

$$= 174_8$$

$$= 7C_{16}$$

نلاحظ أن العدد 124_{10} مكون من ٣ خانات فى النظام العشرى وفى النظام الثنائى يحتاج إلى ٧ خانات وفى النظام الثمانى احتاج إلى ٣ خانات وفى النظام الستعشرى احتاج إلى خانتين فقط.

٢-٩ الأرقام العشرية المكودة ثنائياً

Binary Coded Decimal (BCD) Numbers

الأرقام العشرية المكودة ثنائياً هى طريقة لتمثيل الأرقام العشرية من صفر حتى تسعة فى صورة أكواد ثنائية. بالطبع لكى يتم ذلك فإننا سنحتاج لأربعة بتات حتى يمكن تمثيل هذه الأرقام. جدول ٢-١ يبين الأرقام العشرية من صفر حتى ٩ والأكود الثنائى لكل منها. هذه الطريقة لتمثيل الأرقام تكون مفيدة جداً بالذات فى إدخال البيانات إلى الحاسب من خلال لوحة المفاتيح أو إظهار هذه الأرقام على شاشة عرض أو مظهر وذلك لأننا نعيش فى عالم من الأرقام العشرية لا يكتب أو يقرأ إلا الأرقام العشرية.

٢-٩-١ التحويل من النظام العشرى إلى العشرى المكود ثنائياً والعكس

إن هذه تعتبر عملية سهلة جداً، حيث يتم التعبير عن كل رقم عشرى بالعدد الثنائى المقابل له من أربع بتات. فمثلاً الرقم ٥٥ سيكون 0101 0101 و العدد ٩٣ سيكون 1001 0011 وهكذا. بنفس السهولة تتم عملية تحويل الأرقام العشرية المكودة ثنائياً إلى الصورة العشرية عن طريق تقسيم أى رقم إلى مجموعات من ناحية اليمين كل منها من ٤ بت ونكتب المكافئ العشرى لكل مجموعة كما يلى:

$$349 = 0011\ 0100\ 1001$$

$$158 = \quad 1\ 0101\ 1000$$

وهكذا .

٢-٩-٢ عمليات الجمع على الأرقام العشرية المكودة ثنائياً

سننفذ عمليات الجمع فقط هنا وسنترك باقى العمليات (الطرح والضرب والقسمة) لأنها كلها يمكن أن تحول إلى عمليات جمع. عند جمع رقمين من هذا النوع، فإننا نتبع نفس قوانين الجمع على الأرقام الثنائية التي تم استخدامها من قبل. إذا كانت نتيجة الجمع أقل من ٩ فإنها ستكون نتيجة صحيحة ومحققة. المشكلة هي إذا كانت نتيجة الجمع أكبر من ٩، أو حصل حمل من الخانة الرابعة مثلاً إلى خانة تالية، في هذه الحالة فإن الرقم الناتج لا يمثل النتيجة الصحيحة لعملية الجمع، وفي هذه الحالة نقوم بإضافة الرقم 6 (0110) إلى النتيجة حتى تصبح رقماً عشرياً مكوداً ثنائياً صحيحاً. الأمثلة التالية توضح ذلك:

$$\begin{array}{r} 00100011 \\ 00010101 + \\ \hline 00111000 \end{array} \quad \leftarrow \quad \begin{array}{r} 23 \\ 15 + \\ \hline 38 \end{array} \quad \begin{array}{r} 0011 \\ 0100 + \\ \hline 0111 \end{array} \quad \leftarrow \quad \begin{array}{r} 3 \\ 4 + \\ \hline 7 \end{array}$$

$$\begin{array}{r} 0100 \ 0101 \ 0000 \\ 0100 \ 0001 \ 0111 + \\ \hline 1000 \ 0110 \ 0111 \end{array} \quad \leftarrow \quad \begin{array}{r} 450 \\ 417 + \\ \hline 867 \end{array}$$

في هذه الأمثلة كانت نتيجة جمع أى رقمين دائماً أقل من ٩ لذلك كانت نتيجة عملية الجمع دائماً صحيحة. الآن انظر إلى هذه الأمثلة:

$$\begin{array}{r} 1001 \\ 0100 + \\ \hline 1101 \end{array} \quad \leftarrow \quad \begin{array}{r} 9 \\ 4 + \\ \hline 13 \end{array}$$

النتيجة ليست رقم عشري مكود صحيح

لذلك لزم إضافة الرقم ٦

$$\begin{array}{r} 1 \ 0011 \\ 1001 \\ 1001 + \\ \hline 10010 \end{array} \quad \leftarrow \quad \begin{array}{r} 9 \\ 9 + \\ \hline 18 \end{array}$$

هناك حمل من الخانة الرابعة 1 0010

أضف ٦ للنتيجة

$$\begin{array}{r} 1 \ 0011 \\ 10010 \\ 0110 + \\ \hline 1 \ 1000 \end{array}$$

$$\begin{array}{r}
 0001 \ 0110 \\
 \underline{0001 \ 0101} + \\
 0010 \ 1011
 \end{array}
 \begin{array}{c}
 \leftarrow \\
 16 \\
 \underline{15} + \\
 31
 \end{array}$$

المجموعة اليمنى ليست صحيحة

$$\begin{array}{r}
 0110 + \\
 \underline{0011 \ 0001}
 \end{array}$$

لذلك لزم إضافة ٦

والمثال الأخير على ذلك هو:

$$\begin{array}{r}
 0110 \ 0111 \\
 \underline{0101 \ 0011} + \\
 1011 \ 1010
 \end{array}
 \begin{array}{c}
 \leftarrow \\
 67 \\
 \underline{53} + \\
 120
 \end{array}$$

كل من المجموعتين ليس رقما صحيحا

$$\begin{array}{r}
 0110 \ 0110 + \\
 \underline{1 \ 0010 \ 0000}
 \end{array}$$

لذلك لزم إضافة ٦ لكل منهما

نخلص من ذلك أنه كلما كانت النتيجة ليست في صورة الرقم العشري المكود ثنائيا الصحيحة (أكبر من تسعة) أو أن هناك حمل من الخانة الرابعة، فإنه يلزم إضافة ٦ لهذه المجموعة لضبطها ثنائيا.

٢-١٠ تمارين

- ١- ما هي قيمة الرقم ٧ في كل من الأرقام العشرية التالية:
٧٠٠٠, ٦٧, ٨٤٥, ٦٧٣, ٥٧٦, ١٢, ٤٨٧
- ٢- حول الأرقام الثنائية التالية إلى مكافئها العشري:
10100, 1100.101, 01001.001, 1110.1111, 101010.11011
- ٣- ما هو أكبر رقم يمكن الحصول عليه من رقم ثنائى مكون من:
٤ خانات، ٧ خانات، ١٠ خانات، ١١ خانة، ١٦ خانة.
- ٤- حول كل من الأرقام العشرية التالية إلى الصورة الثنائية:
٥٥, ٧٧٧, ٦٥٣, ٤٥, ٤٣, ٣٠, ١
- ٥- نفذ عمليات الجمع والطرح والضرب على كل من أزواج الأرقام التالية:
00011 و 00111, 11111 و 10001, 100001 و 011110
- ٦- أكتب المتمم الأحادى والمتمم الثنائى لكل مما يأتى:
1100, 1001, 110111, 00011, 110110111.

- ٧- ضع كل من الأعداد التالية فى صورة ثنائية من ٨ بتات مستخدما نظام مقدار الإشارة مرة ونظام المتمم الأحادى مرة ونظام المتمم الثنائى مرة أخرى:
 $250+ , 66- , 123- , 99- , 55+$
- ٨- ما هو المكافئ العشري لكل من الأرقام الثنائية التالية، اعتبر أن هذه الأرقام ممثلة بنظام مقدار الإشارة مرة ونظام المتمم الأحادى مرة ونظام المتمم الثنائى مرة أخرى:
 $11110111 , 10111001 , 10011100 , 00011100 , 01110000 , 11110111$
- ٩- نفذ عملية الجمع على أزواج الأرقام الموجودة فى تمرين ٥ مستخدما المتمم الثنائى.
- ١٠- حول كل من الأرقام الثمانية التالية إلى النظام العشري مرة وإلى النظام الثنائى مرة أخرى:
 $335 , 375 , 11 , 111 , 777$
- ١١- حول الأرقام العشرية الموجودة فى تمرين ١ إلى الصورة الثمانية.
- ١٢- حول الأرقام الثنائية فى تمرين ٦ إلى الصورة الثمانية.
- ١٣- حول كل من الأرقام الست عشرية التالية إلى النظام العشري مرة وإلى النظام الثنائى مرة أخرى:
 $B33 , 5A , FF1 , 3F4$
- ١٤- حول الأرقام العشرية الموجودة فى تمرين ١ إلى الصورة الست عشرية.
- ١٥- حول الأرقام الثنائية فى تمرين ٦ إلى الصورة الست عشرية.
- ١٦- حول الأرقام المكتوبة فى الأنظمة الموضحة بجانب كل رقم إلى النظام العشري:
 $(4310)_5 , (198)_{12} , (345)_6 , (2376)_8 , (2FA1)_{16}$
- ١٧- حول الأرقام العشرية التالية إلى الصورة العشرية المكودة ثنائيا:
 $10 , 344 , 555 , 124 , 100 , 156 , 1045$
- ١٨- حول كل من الأرقام المكودة ثنائيا التالية إلى الصورة العشرية:
 $1001 1001 , 0111 0011 0001 , 1001 1000 0000 1000$

الفصل الثالث

٣

البوابات المنطقية

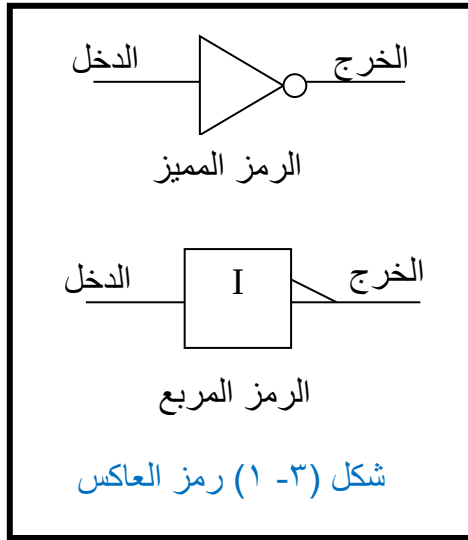
وشرائحها

Logic Gates And Its Chips

٣ - ١ مقدمة

بعد أن درسنا أنظمة العد في الفصل السابق سنقوم بالشرح التفصيلي لكل بوابة من البوابات المنطقية الشهيرة من حيث جدول الحقيقة لهذه البوابة والرمز القياسي المستخدم في المراجع لكل منها مع بعض التطبيقات البسيطة لكل بوابة وشرح لبعض الشرائح المتاحة في السوق والتي تحقق هذه البوابة. سيعقب هذه الفصل فصل كامل عن الجبر المنطقي الذي يشرح أهم قوانين هذا النوع من الجبر. كما سنرى، فإن البوابات المنطقية تعتبر أحجار البناء لأي نظام رقمي لذلك لزم أن نفردها هذا الفصل بالكامل. البوابات التي سندرسها في هذا الفصل هي كالتالي: بوابة النفي NOT gate ، بوابة الأند AND gate ، بوابة الأور OR gate ، بوابة الناند NAND gate ، بوابة النور NOR gate ، بوابة الإكس XOR gate .

٣ - ٢ بوابة النفي NOT gate



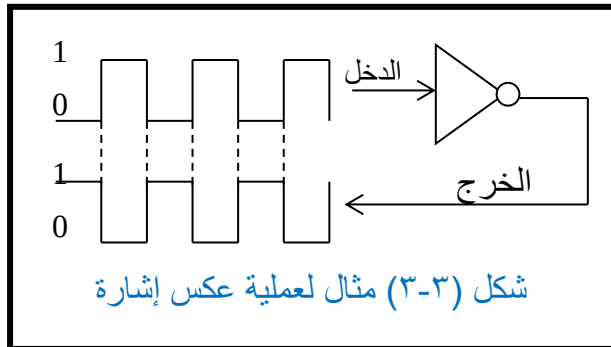
بوابة النفي أو العاكس تقوم بعكس الدخل ووضعه على الخرج. لذلك فإنه إذا كان الدخل يساوي واحد فإن الخرج يكون صفراً، وإذا كان الدخل يساوي صفر فالخرج يكون واحد. شكل (٣-١) يبين الرمز المنطقي للعاكس. هناك نظامان لرسم الرمز المنطقي لأي بوابة منطقية والنظامان يستخدمان في كل المراجع تقريباً. في النظام الأول يكون هناك شكل مميز لكل بوابة يميزها عن البوابات الأخرى كما سنرى وسنطلق عليه الرمز المميز. في النظام الثاني تأخذ جميع البوابات الشكل المربع ويتم وضع حرف معين داخل المربع يميز كل بوابة عن الأخرى. في شكل (٣-١) الرمز المميز لبوابة العاكس

الخرج	الدخل
1	0
0	1

شكل (٣-٢) جدول الحقيقة للعاكس

هو المثلث ودائرة صغيرة في الخرج. بينما الرمز المربع عبارة عن مربع بداخله حرف I الكبير ومثلث في الخرج كما في شكل (٣-١). في هذا الكتاب سنستخدم كل من النظامين في رسم رموز البوابات. دائماً سنعتبر الدخل للدائرة المنطقية من ناحية اليسار والخرج من ناحية اليمين إلا في بعض المواضع التي يصعب معها ذلك. شكل (٣-٢) يبين جدول الحقيقة للعاكس. التعبير عن

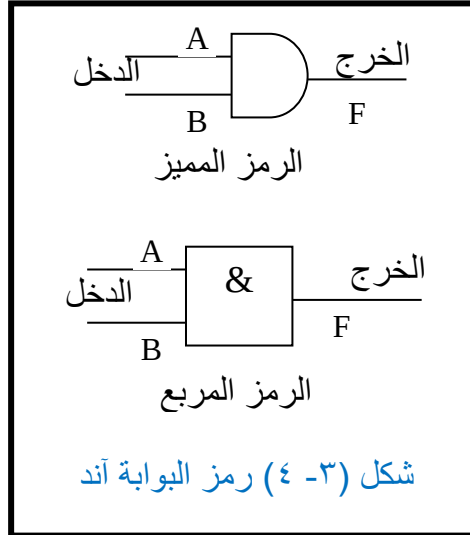
عملية العكس لأي متغير منطقي يكون بوضع خط فوق المتغير كالتالي: $X = \bar{A}$ وهذا يعني أن المتغير X يساوي معكوس المتغير A. شكل (٣-٣) يبين موجة داخلية إلى العاكس والخرج الناتج وذلك كمثال على عمل العاكس.



شكل (٣-٣) مثال لعملية عكس إشارة

التطبيقات على استخدام العاكس كثيرة ومتعددة فالعاكس تقريبا من أكثر البوابات المنطقية استخداما حيث لا تخلو دائرة منطقية من عاكس أو أكثر كما سنرى في الفصول القادمة من هذا الكتاب.

٣-٣ البوابة الآند AND gate

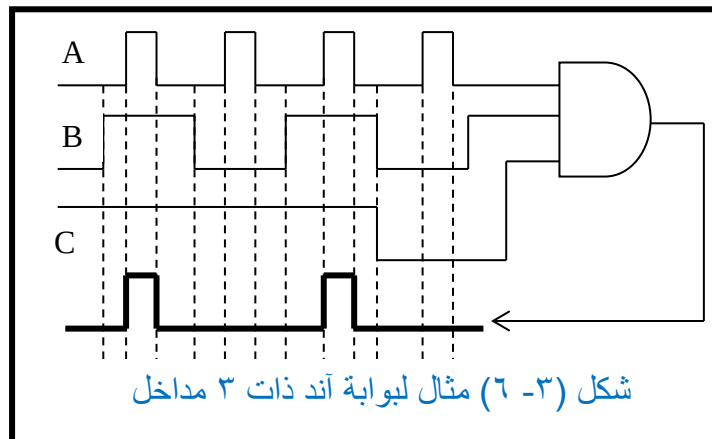


بوابة الآند واحدة من البوابات الأساسية التي تستخدم في بناء الكثير من الدوال والأنظمة الرقمية. بوابة الآند يكون لها دخلان أو أكثر وهي تقوم بعملية الضرب المنطقي على هذه المداخل ووضعها على الخرج الوحيد. لذلك فإن خرج هذه البوابة يكون واحد في حالة واحدة فقط وهي عندما تكون كل المداخل تساوى وحيد، ويكون الخرج صفر في كل الحالات الأخرى التي يكون فيها أى واحد من المداخل أو كل المداخل تساوى أصفارا. شكل (٣-٤) يبين الرمز المميز والرمز المربع لهذه البوابة. لاحظ وجود الحرف & الدال على نوع هذه البوابة في داخل الرمز المربع. شكل (٣-٥) يبين جدول الحقيقة لبوابة آند لها ٣ مداخل. جدول الحقيقة لأى دائرة أو بوابة

الدخل			الخرج
A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

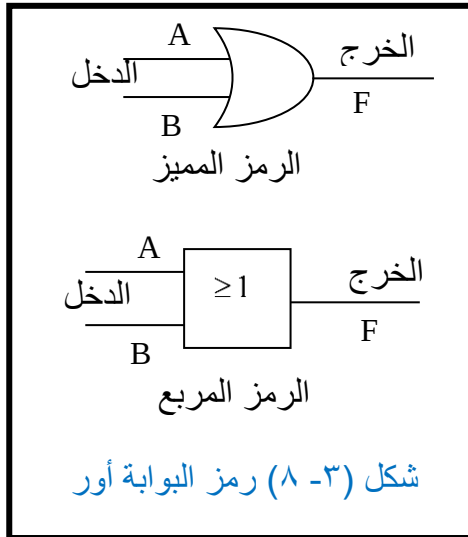
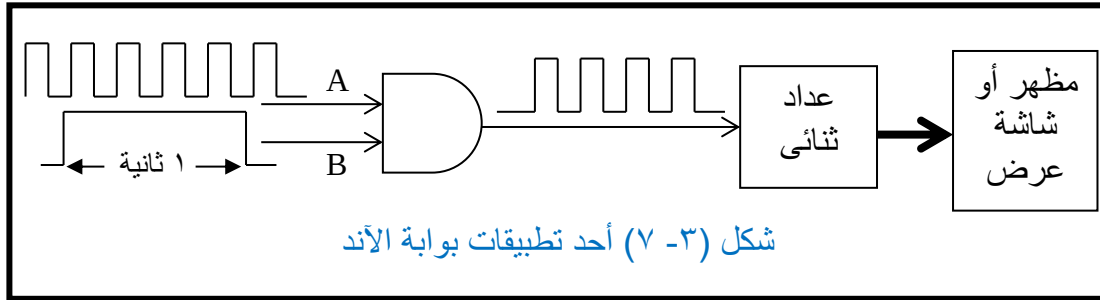
شكل (٣-٥) جدول الحقيقة لبوابة آند

منطقية يعطى قيمة الخرج عند جميع القيم الممكنة لكل المداخل. فإذا كان هناك ٣ مداخل مثلا فإن جدول الحقيقة سيتكون من $2^3=8$ حالة كما في شكل (٣-٥). التعبير عن خرج بوابة الآند كدالة في الدخل يكون كالتالى : $F=ABC$ وذلك للبوابة ذات الثلاث مداخل. شكل (٣-٦) يبين الإشارة الزمنية على كل واحد من المداخل الثلاثة لبوابة آند والخرج المقابل. لاحظ أن الخرج في هذا الشكل لا يكون واحد إلا إذا كان الثلاثة مداخل A و B و C كلها وحيد في نفس الوقت. من التطبيقات الشائعة لبوابة الآند هي استخدامها كمفتاح . بوابة الآند ذات الدخلين يمكن النظر إليها على أنه إذا كان أحد الدخلين يساوى صفر فإن الخرج يساوى صفر أيضا، بينما إذا كان أحد الدخلين يساوى واحد فإن الخرج يساوى الدخل الآخر. أى أن أحد الدخلين



يكون بمثابة مفتاح إما أنه يمنع الدخل الآخر من المرور إلى الخرج فيكون الخرج بصفر، أو يجعل الدخل الآخر يمر إلى الخرج. شكل (٣-٧) يبين استخدام هذه الفكرة في عمل عداد يقوم بعد النبضات في فترة زمنية محددة ولتكن ثانية مثلا لبيان تردد هذه النبضات. في هذا الدائرة تم وضع نبضة عرضها ثانية على

أحد الدخلين، والنبضات المراد عددها على الدخل الآخر لبوابة الآند. خرج بوابة الآند أخذ كدخل للعداد كما في شكل (٣-٧). لاحظ أن النبضات المراد قياس ترددها تمر إلى خرج الآند في أثناء الواحد الثانية التي كان فيها الدخل الآخر يساوى واحد. عادة يطلق على الطرف B كما في شكل (٣-٧) بأنه طرف تنشيط Enable للطرف A. أى أن الإشارة على الطرف A لن تمر إلى الخرج إلا إذا سمح لها الطرف B بالمرور وذلك عندما يكون الطرف B نشط أى يساوى واحد. نكرر بأن التعبير عن خرج بوابة الآند كدالة في الدخل يكون كالتالى: $F=ABC$ وذلك للبوابة ذات الثلاث مداخل.



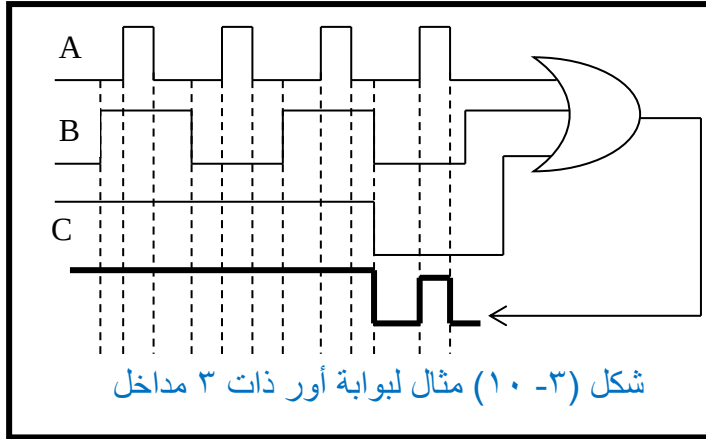
٣ - ٤ البوابة أور OR gate

بوابة الأور أيضا واحدة من البوابات الأساسية التي تستخدم في بناء الكثير من الدوال والأنظمة الرقمية كما سنرى. بوابة الأور يكون لها دخلان أو أكثر وهى تقوم بعملية الجمع المنطقى على هذه المداخل ووضعها على الخرج الوحيد. لذلك فإن خرج هذه البوابة يكون صفرا في حالة واحدة فقط وهى عندما تكون كل المداخل تساوى أصفارا، ويكون الخرج واحد في كل الحالات الأخرى التي يكون فيها أى واحد من المداخل أو كل المداخل تساوى واحدا. شكل (٣-٨) يبين الرمز المميز والرمز المربع لهذه البوابة. لاحظ وجود الحرف

≥ 1 الدال على نوع هذه البوابة في داخل الرمز المربع. شكل (٣-٩) يبين جدول الحقيقة لبوابة أور لها ٣ مداخل.

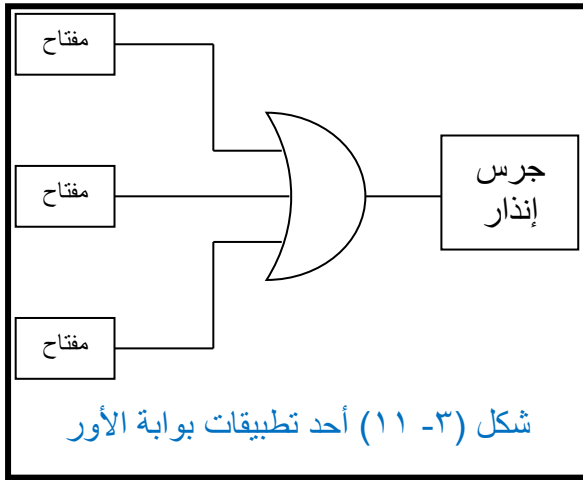
الدخل			الخرج
A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

شكل (٣-٩) جدول الحقيقة لبوابة أور



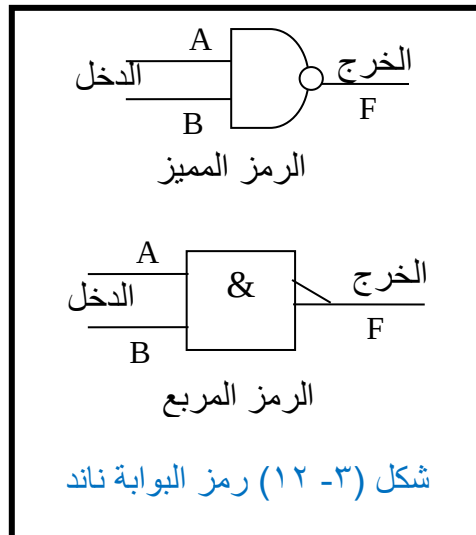
التعبير عن خرج بوابة الأور كدالة في الدخل يكون كالتالي:

$F=A+B+C$ وذلك للبوابة ذات الثلاث مداخل. شكل (٣-١٠) يبين الإشارة الزمنية على كل واحد من المداخل الثلاثة لبوابة أور والخرج المقابل. لاحظ أن الخرج في هذا الشكل يكون واحد إذا كان أى واحد من الثلاثة



مدخل A أو B أو C يساوى واحد. من التطبيقات البسيطة لبوابة الأور استخدامها في دوائر الحراسة البسيطة حيث يتم تركيب مفتاح على كل باب أو شبك مطلوب مراقبته، وهذه المفاتيح تكون مفتوحة دائما (صفر) وبذلك يكون خرج الأور يساوى صفر. عند دخول الحرامي من أى باب فإنه يقفل هذا المفتاح ويجعله واحد، وبذلك يصبح خرج البوابة يساوى واحد ويضرب جرس الإنذار. شكل (٣-١١) يبين رسما صندوقيا لهذا النظام.

٣-٥ البوابة ناند NAND gate

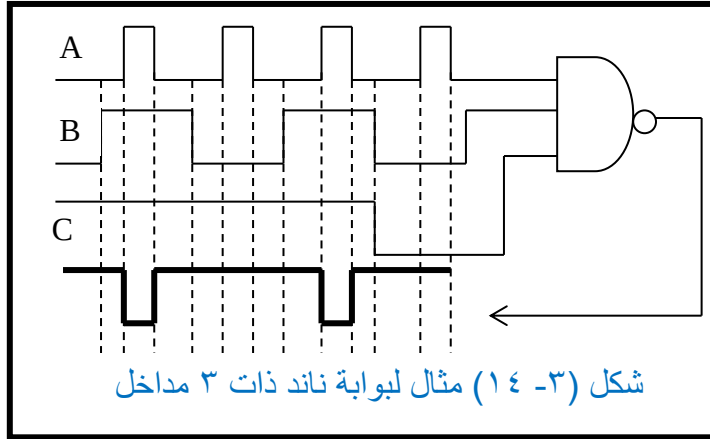


الدخل			الخرج
A	B	C	F
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

شكل (٣-١٣) جدول الحقيقة لبوابة ناند

بوابة الناند واحدة من البوابات التي تستخدم بكثرة في بناء الكثير من الدوال والأنظمة الرقمية كما سنرى حيث يمكن بناء النظام بالكامل باستخدام هذه البوابة، وسنرى أيضا كيفية الحصول كل من بوابات الأند والأور والعاكس باستخدام بوابة الناند وذلك

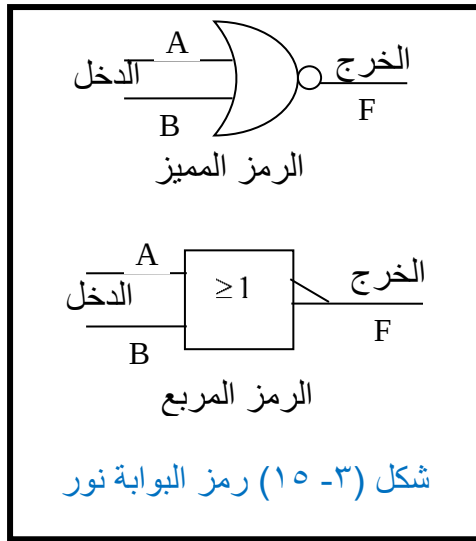
في الفصل القادم. بوابة الناند يكون لها دخلان أو أكثر وهي تقوم بعملية الضرب المنطقي على هذه المداخل ثم عكسها ووضعها على الخرج الوحيد. إن ذلك يعنى أنها عبارة عن بوابة آند



متبوعة بعكس. لذلك فإن خرج هذه البوابة يكون صفر في حالة واحدة فقط وهي عندما تكون كل المداخل تساوى وحيد، ويكون الخرج واحد في كل الحالات الأخرى التي يكون فيها أى واحد من المداخل أو كل المداخل تساوى أصفار.

شكل (٣-١٢) يبين الرمز المميز والرمز المربع لهذه البوابة. شكل (٣-١٣) يبين

جدول الحقيقة لبوابة ناند لها ٣ مداخل. شكل (٣-١٤) يبين إشارة زمنية على كل واحد من المداخل الثلاثة لبوابة الناند والخرج المقابل. التعبير عن خرج بوابة الناند كدالة في الدخل يكون كالتالى: $F = \overline{ABC}$ وذلك للبوابة ذات الثلاث مداخل.



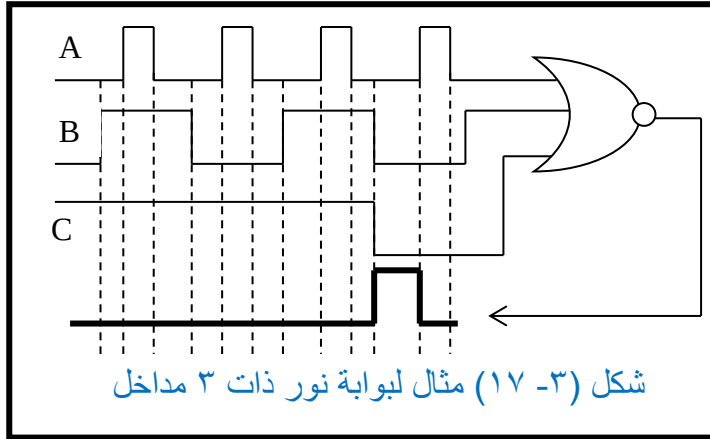
٣-٦ البوابة نور NOR gate

بوابة النور واحدة أيضا من البوابات التي تستخدم بكثرة في بناء الكثير من الدوال والأنظمة الرقمية كما سنرى حيث يمكن بناء النظام بالكامل باستخدام هذه البوابة، وسنرى أيضا كيفية الحصول كل من بوابات الآند والأور والعاكس باستخدام بوابة النور وذلك

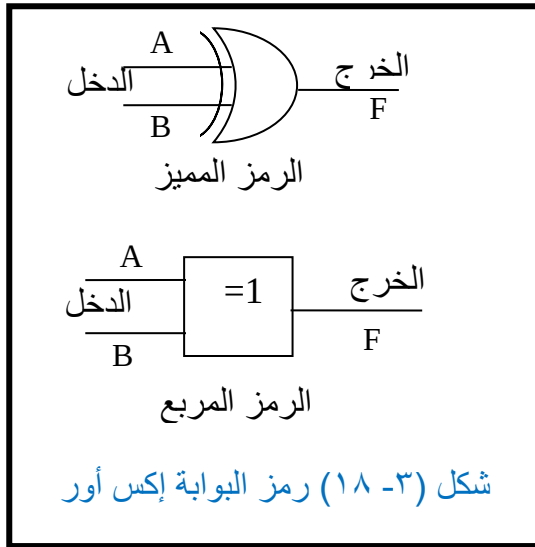
في الفصل القادم. بوابة النور يكون لها دخلان أو أكثر وهي تقوم بعملية الجمع المنطقى على هذه المداخل ثم عكسها ووضعها على الخرج الوحيد. إن ذلك يعنى أنها عبارة عن بوابة أور متبوعة بعكس. لذلك فإن خرج هذه البوابة يكون واحد في حالة واحدة فقط وهي عندما تكون كل المداخل تساوى أصفار، ويكون الخرج صفر في كل الحالات الأخرى التي يكون فيها أى واحد من المداخل أو كل المداخل تساوى وحيد.

الدخل			الخرج
A	B	C	F
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

شكل (٣-١٦) جدول الحقيقة لبوابة نور



شكل (٣-١٥) يبين الرمز المميز والرمز المربع لهذه البوابة، وشكل (٣-١٦) يبين جدول الحقيقة لبوابة نور لها ٣ مداخل. شكل (٣-١٧) يبين الإشارة الزمنية على كل واحد من المداخل الثلاثة لبوابة النور والخرج المقابل. التعبير عن خرج بوابة النور كدالة في الدخول يكون كالتالي: $F = A + B + C$ وذلك للبوابة ذات الثلاث مداخل.



٣-٧ البوابة إكس أور

XOR gate

البوابة إكس أور Exclusive OR, XOR عبارة عن تركيبة من البوابات الأساسية السابقة، ونظرا لكثرة استخدامها في الكثير من التطبيقات فقد تم إفراد رمز لها واستخدامها كبوابة منفصلة. هذه البوابة ليس لها إلا دخلان فقط ويكون خرجها واحد إذا كان الدخلان مختلفان، ويكون خرجها صفر إذا كان الدخلان متساويان. شكل

(٣-١٨) يبين الرمز المميز والرمز المربع لهذه البوابة، وشكل (٣-١٩) يبين جدول الحقيقة لبوابة الإكس أور.

الدخل		الخرج
A	B	F
0	0	0
0	1	1
1	0	1
1	1	0

شكل (٣-١٩) جدول الحقيقة لبوابة الإكس أور

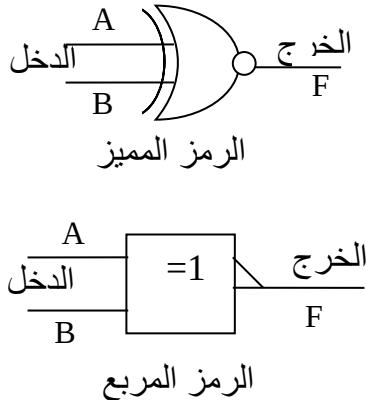
٣-٨ البوابة إكس نور

XNOR gate

هذه البوابة تعمل بطريقة عكسية للبوابة إكس أور. أي أن الخرج يكون واحد إذا كان الدخلان متساويان ويكون الخرج صفر إذا كان الدخلان مختلفان. شكل (٣-٢٠) يبين الرمز المميز والرمز المربع لهذه البوابة، وشكل (٣-٢١) يبين جدول الحقيقة لها.

٣- ٩ شرائح العكس Inverter chips

من الشرائح التي تستخدم كعاكس، الشريحة 7404 وإصداراتها 74LS04 و 74S04 وكلها تحتوي عدد ٦ من العواكس كما في شكل (٣- ٢٢). زمن التأخير للشريحة 7404 هو ١٠ نانوثانية وتيار القدرة لها هو ١٢ ميلي أمبير. بالنسبة للشريحة 74LS04 زمن التأخير هو ٩,٥ نانوثانية وتيار القدرة ٢,٤ ميلي أمبير، بالنسبة للشريحة 74S04 فإن زمن التأخير يساوي ٣ نانوثانية بينما تيار القدرة هو ٢٢

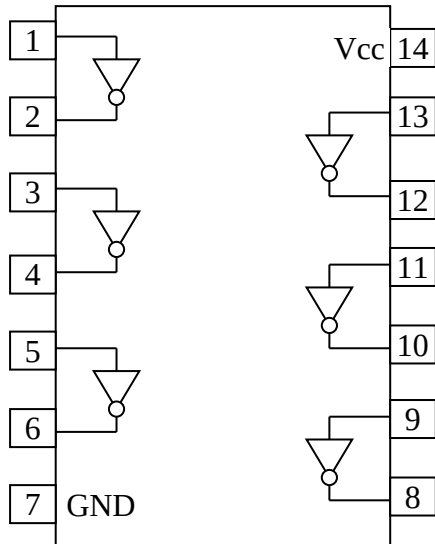


شكل (٣- ٢٠) رمز البوابة إكس نور

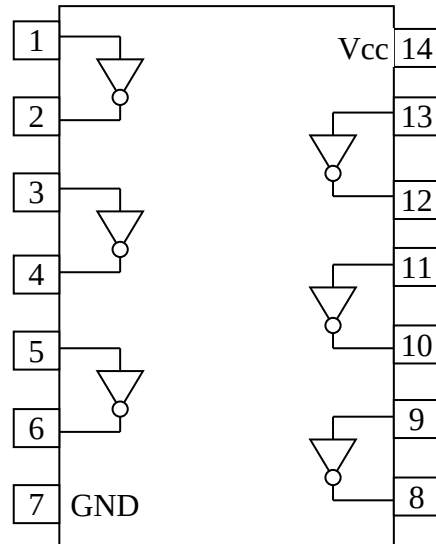
الدخل		الخرج
A	B	F
0	0	1
0	1	0
1	0	0
1	1	1

شكل (٣- ٢١) جدول
الحقيقة لبوابة الإكس
نور

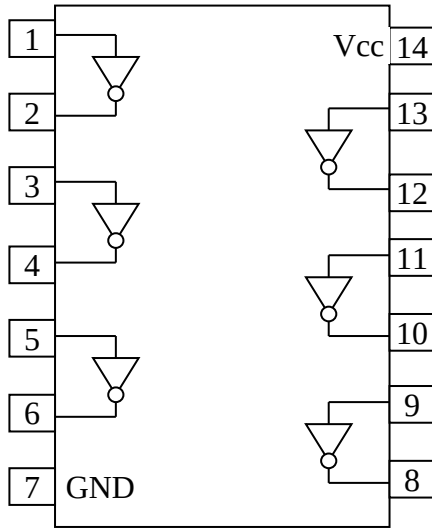
ميلي أمبير. الشريحة 7405 تحتوي أيضا ٦ عواكس وهي متطابقة تماما من حيث الأطراف مع الشريحة 7404 سوى أن مخارج العواكس في هذه الشريحة مأخوذة من خلال ترانزستور مفتوح المجمع open collector. معنى ذلك أنه لابد من توصيل خرج هذه العواكس على مصدر القدرة من خلال مقاومة ٤,٥ كيلوأوم تقريبا لكي تعمل بالطريقة الصحيحة. شكل (٣- ٢٣) يبين الرسم الطرقي لهذه الشريحة. زمن التأخير للشريحة 7405 هو ٤٠ نانوثانية وتيار القدرة لها هو ١٢ ميلي أمبير. هذه الشريحة توجد أيضا في أكثر من إصدار. بالنسبة للشريحة 74LS05 زمن التأخير هو ١٧ نانوثانية وتيار القدرة ٢,٤ ميلي أمبير، بالنسبة للشريحة 74S05 فإن زمن التأخير يساوي ٥ نانوثانية بينما تيار القدرة هو ٢٠ ميلي أمبير.



شكل (٣- ٢٢) الشريحة
٧٤٠٤ المكونة من ٦ عواكس

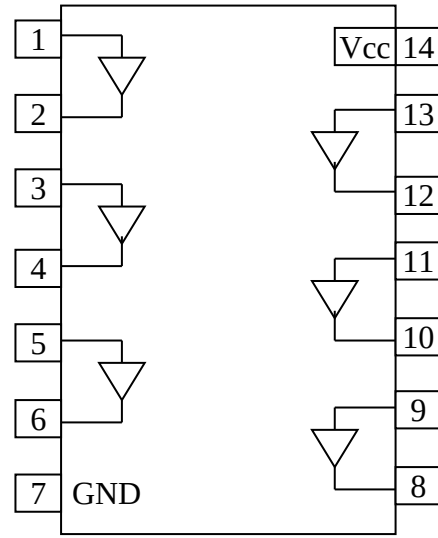


شكل (٣- ٢٣) الشريحة ٧٤٠٥ ، ٦
عواكس بمجمع مفتوح



7406, 7416

شكل (٣-٢٤) الشريحة ٧٤٠٦ و ٧٤١٦
٦ عواكس بمجمع مفتوح



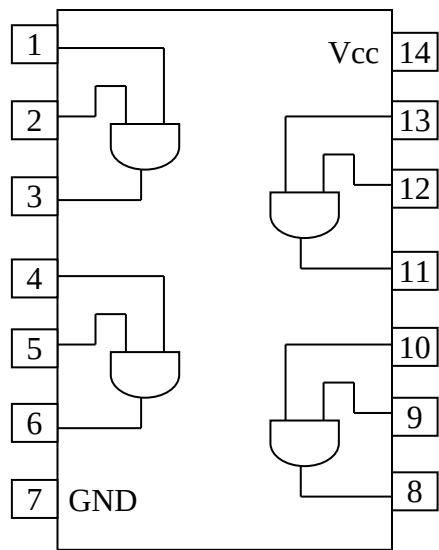
7407, 7417

شكل (٣-٢٥) الشريحة ٧٤٠٧ و ٧٤١٧
٦ دافع تيار بمجمع مفتوح

هناك أيضا الشريحة ٧٤٠٦ وهي متطابقة تماما مع سابقتها من حيث الأطراف وهي أيضا تحتوي عواكس ذات مجمع مفتوح وهي موضحة في شكل (٣-٢٤). شكل (٣-٢٥) يبين الشريحة ٧٤٠٧ وهي تحتوي ٦ دافع للتيار كل منها ذات مجمع مفتوح ولكنها غير عاكسة كما في الشكل. الشريحة ٧٤١٦ تحتوي أيضا ٦ عواكس مفتوحة المجمع مثل الشريحة ٧٤٠٦ ومتطابقة تماما معها. الشريحة ٧٤١٧ تحتوي ٦ دافع تيار مثل الشريحة ٧٤٠٧ تماما كما في شكل (٣-٢٤) وشكل (٣-٢٥).

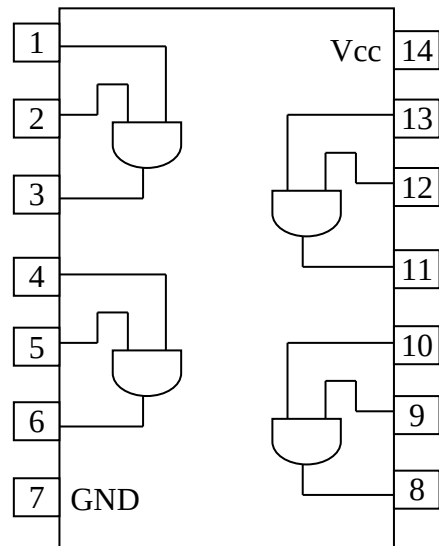
٣-١٠ شرائح الآند AND gate chips

يبين شكل (٣-٢٦) الشريحة ٧٤٠٨ التي تحتوي ٤ بوابات آند كل منها ذات دخلين. هناك الإصدارات 74LS08 و 74S08 من هذه الشريحة أيضا. شكل (٣-٢٧) يبين الشريحة ٧٤٠٩ التي تحتوي أيضا ٤ بوابات آند ولكن خرج كل بوابة مأخوذ من خلال ترانزستور مفتوح المجمع open collector. شكل (٣-٢٨) يبين الشريحة ٧٤١١ التي تحتوي ثلاث بوابات آند ثلاثية المداخل، وشكل (٣-٢٩) يبين الشريحة ٧٤١٥ التي تحتوي ثلاث بوابات آند أيضا ثلاثية المداخل ذات مجمع مفتوح. شكل (٣-٣٠) يبين الشريحة ٧٤٢١ التي تحتوي بوابتان آند رباعية المداخل.



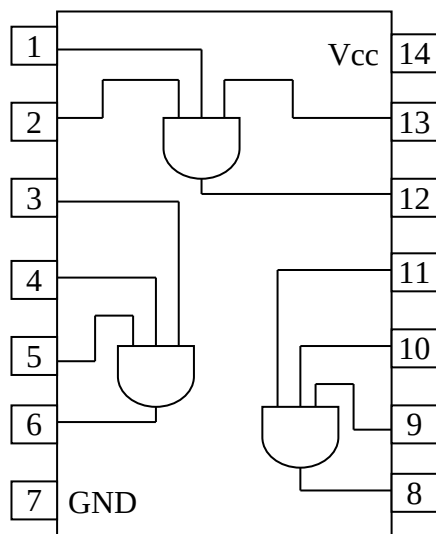
7408

شكل (٣-٢٦) الشريحة
٧٤٠٨ ، ٤ بوابات آند



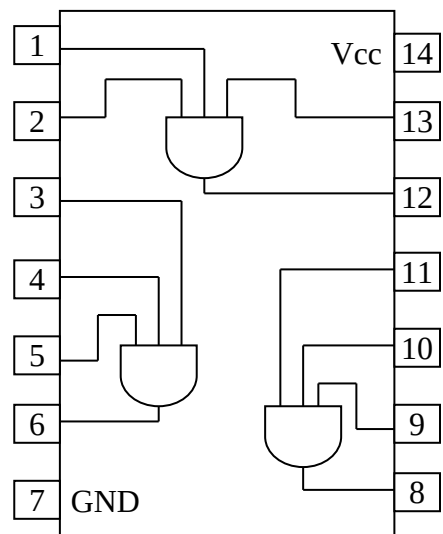
7409

شكل (٣-٢٧) الشريحة ٧٤٠٩ ،
٤ بوابات آند بمجمع مفتوح



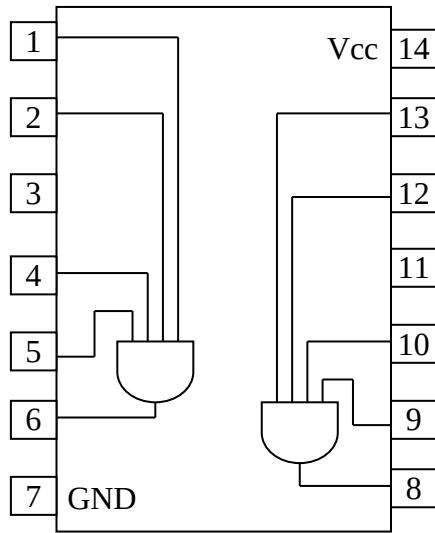
7411

شكل (٣-٢٨) الشريحة ٧٤١١
ثلاث بوابات آند ثلاثية المداخل



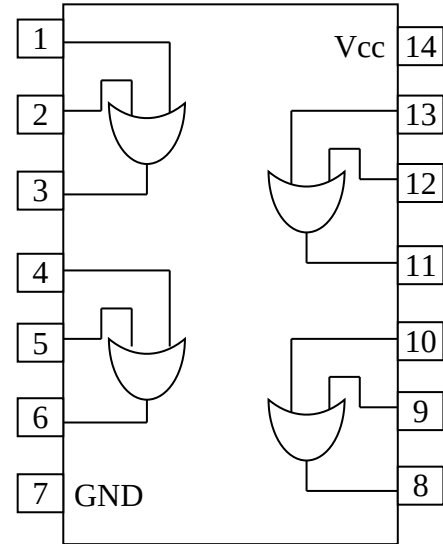
7415

شكل (٣-٢٩) الشريحة ٧٤١٥ ثلاث
بوابات آند ثلاثية المداخل مجمع مفتوح



7421

شكل (٣-٣٠) الشريحة ٧٤٢١
بوابتان أند رباعية المداخل



7432

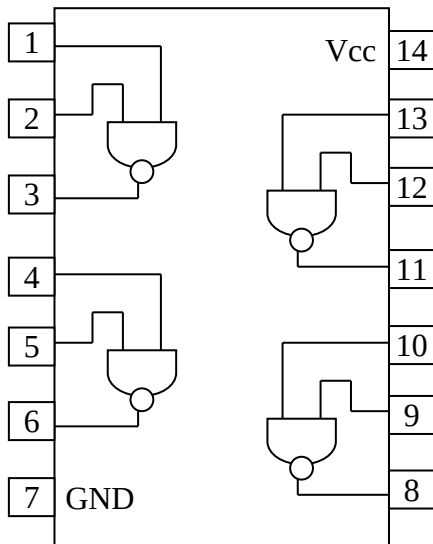
شكل (٣-٣١) الشريحة ٧٤٣٢ ، ٤
بوابات أور ثنائية المداخل

٣-١١ شرائح الأور OR gate chips

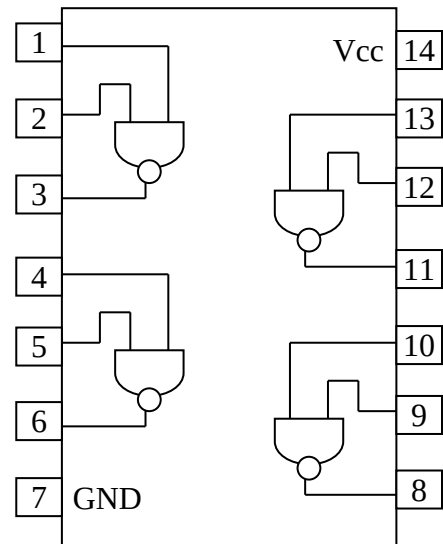
شكل (٣-٣١) بين الشريحة ٧٤٣٢ التي تحتوى ٤ بوابات أور ثنائية المداخل.

٣-١٢ شرائح الناند NAND gate chips

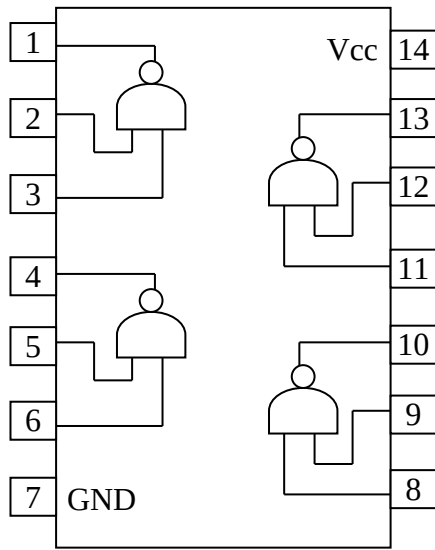
يبين شكل (٣-٣٢) الشريحة ٧٤٠٠ والشريحة ٧٤٣٧ التي تحتوى كل منها على ٤ بوابات ناند ثنائية المداخل. شكل (٣-٣٣) بين الشرائح ٧٤٠٣ و ٧٤٢٦ و ٧٤٣٨ التي تحتوى كل منها على ٤ بوابات ناند ثنائية المداخل ومفتوحة المجموع.



شكل (٣-٣٢) الشريحة ٧٤٠٠ و ٧٤٣٧ ، ٤
بوابات ناند ثنائية المداخل

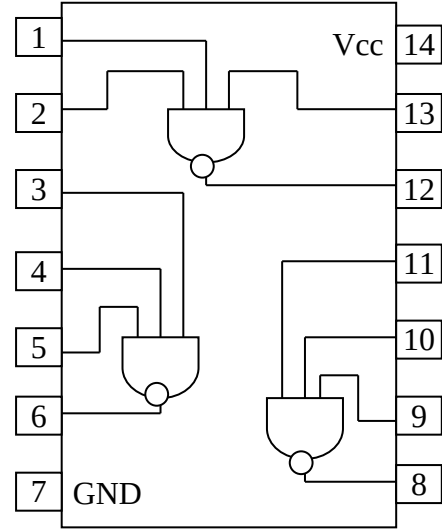


شكل (٣-٣٣) الشريحة ٧٤٠٣ و ٧٤٢٦ و ٧٤٣٨ أربع بوابات ناند
مفتوح المجموع ثنائية المداخل



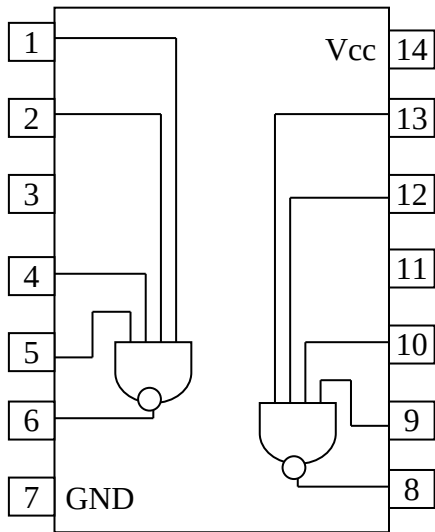
7401, 7439

شكل (٣-٣٤) الشريحة ٧٤٠١ و ٧٤٣٩ ، ٤
بوابات ناند مفتوح المجمع ثنائية المداخل



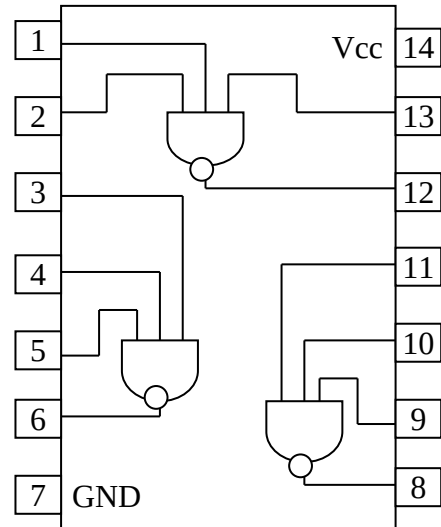
7410

شكل (٣-٣٥) الشريحة ٧٤١٠
ثلاث بوابات ناند ثلاثية المداخل



7420, 7440

شكل (٣-٣٦) الشريحة ٧٤٢٠ و ٧٤٤٠
بوابتان ناند رباعية المداخل

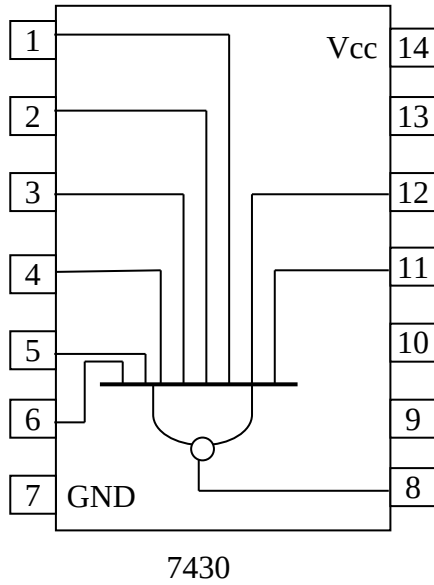


7412

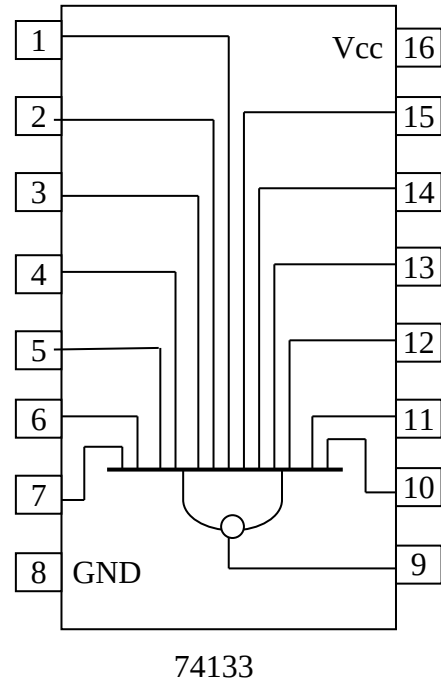
شكل (٣-٣٧) الشريحة ٧٤١٢ ثلاث
بوابات ناند ثلاثية المداخل مفتوح المجمع

شكل (٣-٣٤) يبين الشريحة ٧٤٠١ والشريحة ٧٤٣٩ التي تحتوى كل منها على ٤ بوابات ناند ثنائية المداخل مفتوحة المجمع. شكل (٣-٣٥) يبين الشريحة ٧٤١٠ التي تحتوى ٣ بوابات ناند ثلاثية المداخل، وشكل (٣-٣٦) يبين الشريحة

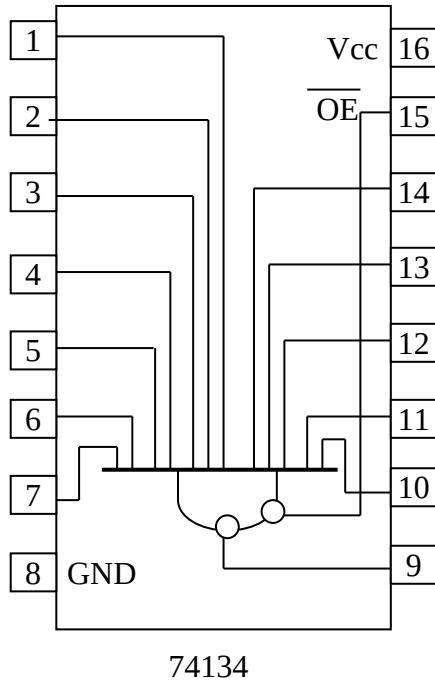
٧٤٢٠ و الشريحة ٧٤٤٠ التي تحتوى كل منها على بوابتان ناند رباعية المداخل. شكل (٣-٣٧) يبين الشريحة ٧٤١٢ التي تحتوى ٣ بوابات ناند ثلاثية المداخل ولكنها مفتوحة المجمع.



شكل (٣-٣٨) الشريحة ٧٤٣٠
بوابة ناند ثمانية المداخل



شكل (٣-٣٩) الشريحة ٧٤١٣٣
بوابة ناند ذات ١٣ دخل



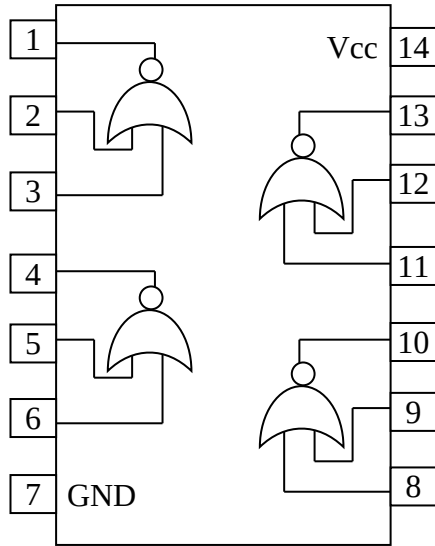
شكل (٣-٤٠) الشريحة ٧٤١٣٤ بوابة
ناند ذات ١٢ دخل بخروج ثلاثى المنطق

شكل (٣-٣٨) يبين الشريحة ٧٤٣٠ التي تحتوى بوابة ناند ثمانية المداخل. لاحظ في هذه الشريحة أن الأطراف ٩ و ١٠ و ١٣ غير مستخدمة. شكل (٣-٣٩) يبين الشريحة ٧٤١٣٣ التي تحتوى بوابة ناند واحدة ذات ١٣ مدخلا.

شكل (٣-٤٠) يبين الشريحة ٧٤١٣٤ التي تحتوى بوابة ناند ذات ١٢ مدخلا ولها طرف تنشيط هو الطرف ١٥. عند تنشيط هذا الطرف $\overline{OE}$ يجعله يساوى صفر تعمل البوابة بالطريقة العادية. عند إخماد هذا الطرف يجعله يساوى واحد فإن خرج البوابة يكون مفتوحا أو مقاومة عالية جدا high impedance. هذه الظاهرة تستخدم بكثرة مع دوائر التقابل مع الحاسب والمعالجات.

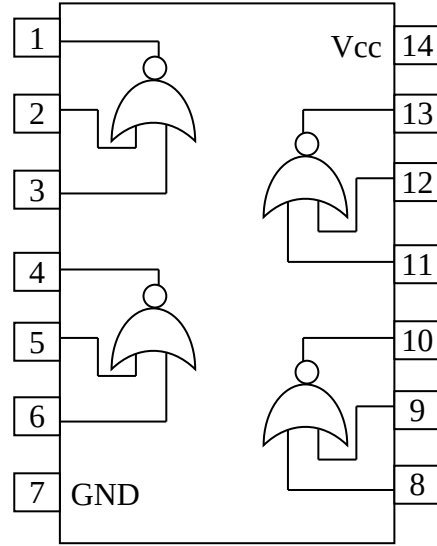
٣-١٣ شرائح النور NOR gate chips

الأشكال (٣-٤١) حتى (٣-٤٤) تحتوي صورا متعددة للبوابة نور من حيث عدد المداخل وهل الخرج على مجمع مفتوح أم لا وكل شكل يوضح ذلك. الشريحة ٧٤٢٥ تحتوي بوابتان نور رباعية المداخل ولكن لكل بوابة طرف تشغيل بحيث أن خرج أى بوابة لن يتغير على حسب الدخل إلا إذا كان طرف التشغيل نشط، أى يساوى واحد.



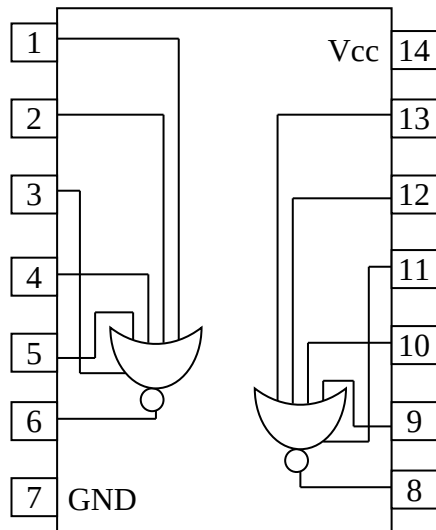
7402, 7428

شكل (٣-٤١) الشريحة ٧٤٠٢ و
٧٤٢٨ ، ٤ بوابات نور ثنائية المداخل



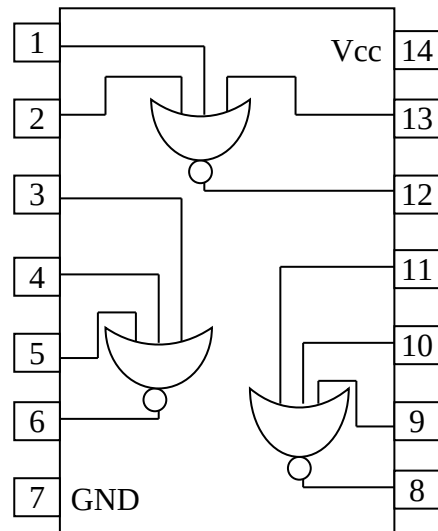
7433

شكل (٣-٤٢) الشريحة ٧٤٣٣ ، ٤
بوابات نور ثنائية المداخل مجمع مفتوح



7425

شكل (٣-٤٤) الشريحة ٧٤٢٥ ، ٢
بوابة نور رباعية بطرف تنشيط

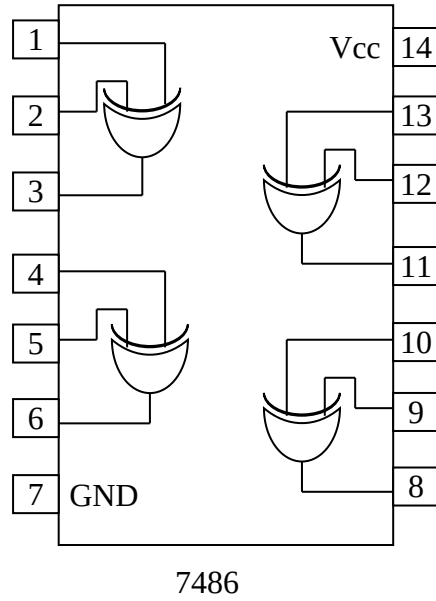


7427

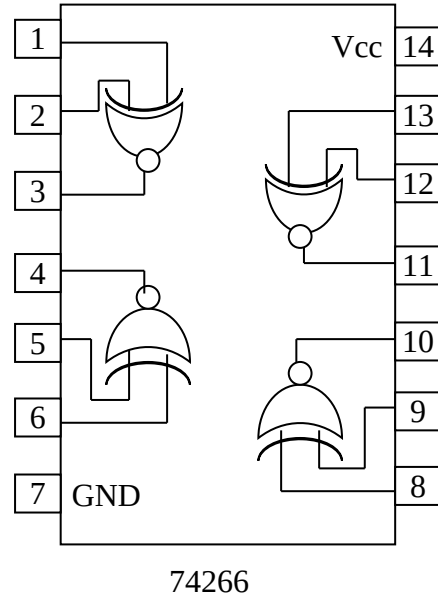
شكل (٣-٤٣) الشريحة ٧٤٢٧
ثلاث بوابات نور ثلاثية المداخل

٣-١٤ شرائح الإكس أور والإكس نور XOR and XNOR gate chips

شكل (٣-٤٥) يبين الشريحة ٧٤٨٦ التي تحتوى ٤ بوابات إكس أور، وشكل (٣-٤٦) يبين الشريحة ٧٤٢٦٦ التي تحتوى ٤ بوابات إكس نور.

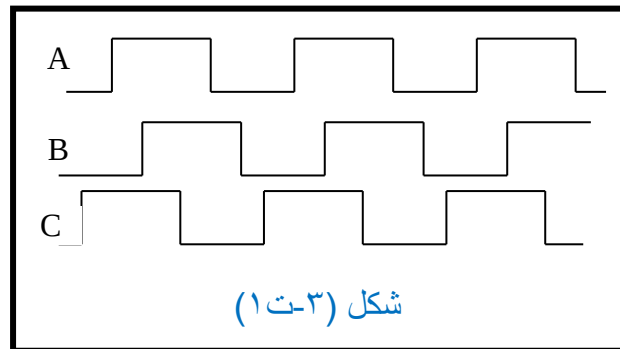


شكل (٣-٤٥) الشريحة ٧٤٨٦
تحتوى ٤ بوابات إكس أور



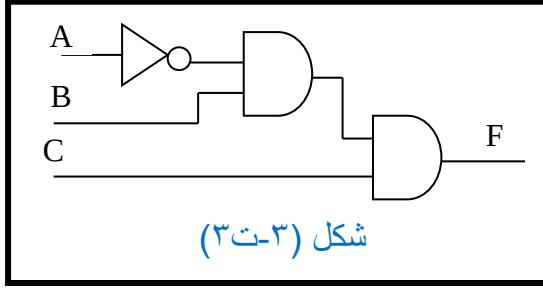
شكل (٣-٤٦) الشريحة ٧٤٢٦٦ ، ٤
بوابات إكس نور بمجمع مفتوح

٣-١٥ تمارين



- ١- شكل (٣-١) يحتوى ٣ موجات. افترض أن كل منها كانت دخلا لعاكس وارسم شكل الخرج الناتج.
- ٢- شكل (٣-١) يبين ٣ موجات. اعتبر أنها كانت دخلا لبوابة آند ثلاثية المداخل مرة، وبوابة أور ثلاثية المداخل مرة أخرى، وبوابة ناند ثلاثية المداخل مرة ثالثة، وبوابة نور ثلاثية المداخل مرة رابعة وارسم شكل الخرج الناتج في كل حالة .
- ٣- الإشارات A, B, C في شكل (٣-٣) هى نفسها الموجودة في شكل (٣-١). ارسم الخرج F الناتج في هذه الحالة.

٤- ارسم جدول الحقيقة للدائرة الموجودة في شكل (٣-٣).



٥- ارسم جدول الحقيقة للدائرة الموجودة في شكل (٣-٣)

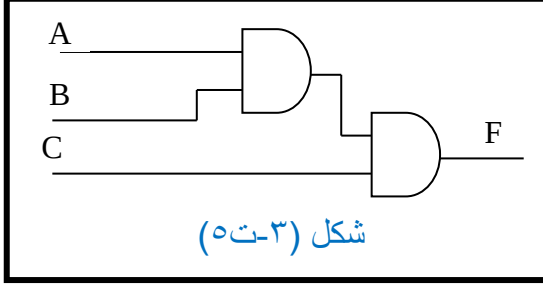
ت.٥). قارن هذا الجدول مع جدول الحقيقة لبوابة الأند ثلاثية المداخل، هل هما متطابقان؟ هل نستطيع القول أن هذه طريقة للحصول على بوابة آند ثلاثية المداخل من بوابتين كل منهما ثنائية المداخل؟

٦- أعد رسم شكل (٣-٥) بعد استبدال بوابات الآند

ببوابات أور مرة ثم بوابات ناند مرة ثم بوابات نور مرة أخرى، ثم طبق التمرين ٥ على كل حالة.

٧- أكتب جدول الحقيقة للدائرة الموجودة في شكل (٣-٣)

ت.٧). قارن هذا الجدول بجدول البوابات الأساسية، ماذا تستنتج؟

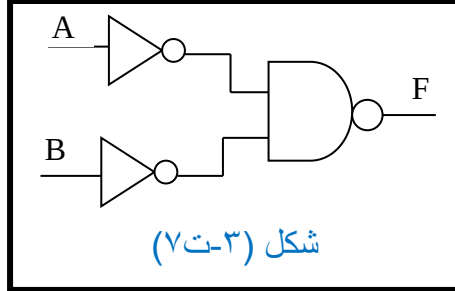


٨- في شكل (٣-٧) استبدل البوابة ناند ببوابة نور وأعد التمرين

رقم ٧.

٩- أكتب جدول الحقيقة للدائرة الموجودة في شكل (٣-٩).

قارن هذا الجدول بالجدول الذي حصلت عليه في تمرين رقم ٧. ماذا تستنتج؟



١٠- في شكل (٣-٩) استبدل كل بوابة ناند ببوابة نور وأعد

التمرين رقم ٩.

١١- اقترح طريقة للحصول على بوابة آند خماسية المداخل. اقترح الشرائح المستخدمة في ذلك.

١٢- أعد تمرين رقم ١١ ولكن بالنسبة للبوابات أور وناند ونور.

١٣- الموجة A والموجة B في شكل (٣-١) يمثلان الدخلان

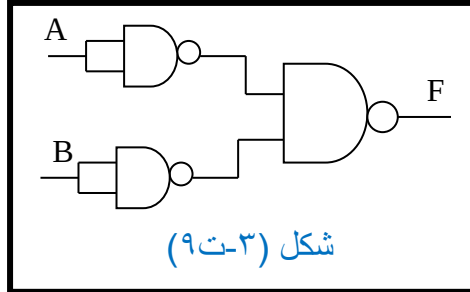
لبوابة إكس أور، ارسم شكل الخرج F في هذه الحالة.

١٤- أعد تمرين رقم ١٣ مرة أخرى للبوابة إكس نور.

١٥- كم شريحة ٧٤٠٠ يتم استخدامها للحصول على مكافئ للشريحة ٧٤١٣٣. ارسم هذا الدائرة ربما صندوقيا.

١٦- إشرح كيف تحصل على بوابة آند بدخلين من بوابة آند رباعية المداخل. ماذا ستفعل في الأطراف الزائدة.

١٧- أعد التمرين رقم ١٦ لكل البوابات الأخرى، أور وناند ونور.



الفصل الرابع

٤

الجبر البولياني وتبسيط المعادلات المنطقية

Boolean Algebra And Logic Simplification

٤ - ١ مقدمة

يرجع مسمى الجبر البوليني إلى العالم الإنجليزي جورج بول George Boole الذى كان أول من وضع أساسيات ونظريات الجبر المنطقى فى سنة ١٨٥٤. الجبر البوليني هو مجموعة من النظريات والقوانين التى تسهل التعامل مع الدوائر المنطقية، ونحن فى هذا الفصل سنغطى كل هذه القوانين والنظريات. من خلال هذا الفصل سنرى كيف نعبر عن أى دائرة منطقية بمعادلة جبرية، ثم نقوم بتبسيط هذه الدائرة إلى أبسط صورة ممكنة، ثم نقوم بإعداد جدول حقيقة لهذه المعادلة، ثم نبدأ فى بناء هذه الدائرة.

٤ - ٢ العمليات والتعبيرات المنطقية

الجبر المنطقى هو حساب الأنظمة الرقمية، لذلك لابد من تعريف العمليات المستخدمة فى الجبر المنطقى. لقد سبق التعرض لهذه العمليات من خلال البوابات المنطقية مثل AND و OR و NOT. هذا الفصل سيغطى هذه العمليات والتعبيرات بتفصيل أكثر مع إضافة معلومات جديدة.

٤-٢-١ المتغير المنطقى Logic Variable

المتغير المنطقى هو رمز يستخدم لتمثيل كمية منطقية. هذا المتغير لا يأخذ إلا واحدة فقط من قيمتين وهى الصفر (0) أو الواحد (1).

٤-٢-٢ عملية العكس المنطقى Complement

بما أن المتغير المنطقى لا يأخذ إلا واحدة من قيمتين، فإن عملية عكس أى متغير ستكون هى استبدال قيمة المتغير الحالية بالقيمة الأخرى. فإذا كان متغير معين يساوى واحد مثلاً، فإن عكسه سيكون هو جعل هذا المتغير يساوى صفر. والعكس إذا كان أى متغير يساوى صفر، فإن عكسه يكون هو جعل هذا المتغير يساوى واحد. عملية العكس يرمز لها بوضع شرطة أو خط فوق المتغير هكذا $\bar{A}$ ، حيث فى هذه الحالة إذا كان $A=1$ فإن $\bar{A}=0$ والعكس صحيح. هذه العملية تمثلها بوابة النفى Not gate أو العاكس Inverter.

٤-٢-٣ عملية الجمع المنطقى Logic addition

عملية الجمع المنطقى هى عملية الأور OR التى رأيناها فى الفصل الثالث، والتى تعتمد على القوانين الآتية: $0+0=0$ و $0+1=1$ و $1+0=1$ و $1+1=1$. فى الجبر المنطقى تعرف الكمية المجمعة sum term على أنها الكمية المكونة من مجموعة متغيرات مجموعة مع بعضها مثل: $A+B$ أو $\bar{A}+B$ أو $A+B+C$ وهكذا. الكمية المجمعة تكون واحد إذا كان واحد على الأقل من أجزائها يساوى واحد. والكمية المجمعة تكون صفراً فقط إذا كان كل أجزائها تساوى أصفاراً. هذه العملية تمثلها بوابة الأور OR gate.

٤-٢-٤ عملية الضرب المنطقي Logic multiplication

الضرب المنطقي يقابل عملية الأند AND التي رأيناها في الفصل الثالث، والتي تعتمد على القوانين الآتية: $0.0=0$ و $0.1=0$ و $1.0=0$ و $1.1=1$. في الجبر المنطقي تعرف الكمية المضروبة multiplication term على أنها الكمية المكونة من مجموعة متغيرات مضروبة في بعضها مثل: AB و $ABCD$ و $\bar{A}BC$. الكمية المضروبة تكون صفر إذا كان أى واحد من أعضائها يساوى صفر، بينما تكون واحد في حالة واحدة فقط وهي إذا كان كل أعضائها تساوى واحد. البوابة التي تمثل هذه العملية هي بوابة الأند And gate.

مثال ٤-١

ما هي قيمة A, B, C, D التي تجعل كل كمية منطقية فيما يلي تساوى واحد مرة وصفر مرة :
 $\bar{A}B\bar{C}$ و $\bar{A}+B+\bar{C}$
 بفحص الكمية الأولى سنجد أنها لكي تساوى صفر لابد أن يكون $A=1$ و $C=1$ و $B=0$. ولكي تكون واحد هناك أكثر من حالة حيث يكفي أن تكون $B=1$ مثلاً أو $A=0$ أو $C=0$ مهما كانت قيم المتغيرات الأخرى في كل حالة.
 بفحص الكمية الثانية سنجد أنها لكي تكون واحد لابد أن يكون $A=0$ و $B=1$ و $C=0$. ولكي تكون صفراً فإنه يكفي أن تكون $A=1$ أو $B=0$ أو $C=1$ مهما كانت قيم المتغيرات الأخرى في كل حالة.

٤ - ٣ - ٣ قوانين الجبر المنطقي أو البولي

هناك بعض القوانين المهمة التي يجب ألا ننساها كما في العمليات الحسابية العادية. سنقدم في هذا الجزء كل هذه القوانين بالشرح والأمثلة .

٤ - ٣ - ١ قانون التبادل Commutative law

ينص هذا القانون على أنه سواء في حالة الجمع أو حالة الضرب، فإن ترتيب المتغيرات ليس له أى أهمية كما في الأمثلة التالية:

$$A+(B+C)=(A+B)+C \quad (١-٤)$$

$$A.(B.C)=(A.B).C \quad (٢-٤)$$

٤ - ٣ - ٢ قانون الضم أو التجميع Associative law

ينص هذا القانون على أنه عند جمع أو ضرب أى عدد من المتغيرات فإنه يمكن ضم أو تجميع هذه المتغيرات بأى كيفية دون التأثير على النتيجة كما يلي:

$$A+(B+C) = (A+B)+C \quad (٣-٤)$$

$$A.(B.C)=(A.B).C \quad (٤-٤)$$

٤-٣-٣ قانون التوزيع Distributive Law

ينص هذا القانون على أن ضرب أى متغير فى مجموع متغيرين يساوى مجموع حاصل ضرب هذا المتغير فى كل من المتغيرين على حدة ويتضح ذلك من المثال التالى:

$$A(B+C)=AB+AC \quad (٥-٤)$$

جدول ٤-١ يبين ١٢ قانونا مفيدة جدا فى التعامل مع التعبيرات والمعادلات المنطقية. هذه القوانين يمكن إثباتها ببساطة بالتعويض فى كل من طرفى المعادلة بقيم معينة للمتغيرات سواء واحد أو صفر والتأكد من أن كل من طرفى المعادلة يعطى نفس النتيجة. فقط القوانين ١٠ و ١١ و ١٢ فى هذا الجدول هى التى ستحتاج لعملية استنتاج كما يلى:

القانون ١٠

$$\begin{aligned} A+AB &= A(1+B) \\ &= A.1 \\ &= A \end{aligned}$$

ويمكن اثبات ذلك أيضا بعمل جدول حقيقة لكل من طرفى القانون والتأكد من أن طرفى القانون متساويين.

القانون ١١

$$A + \bar{A}B = A + B$$

$$\begin{aligned} A + \bar{A}B &= (A+AB) + B\bar{A} \\ &= (AA+AB) + B\bar{A} \\ &= AA+AB+A\bar{A} + \bar{A}B \\ &= (AA+A\bar{A}) + (AB+\bar{A}B) \\ &= (A+\bar{A})A + (A+\bar{A})B = A+B \end{aligned}$$

حاول اثبات هذا القانون أيضا باستخدام جدول الحقيقة.

القانون ١٢

$$\begin{aligned} (A+B)(A+C) &= A+BC \\ &= AA+AC+AB+BC \\ &= A(1+C)+AB+BC \\ &= A.1+AB+BC \\ &= A(1+B)+BC \\ &= A.1+BC \end{aligned}$$

جدول ٤-١ قوانين
الجبر المنطقى

1	$A+0=A$
2	$A+1=1$
3	$A.0=0$
4	$A.1=A$
5	$A+A=A$
6	$A+\bar{A}=1$
7	$A.A=A$
8	$A.0=\bar{A}$
9	$\bar{\bar{A}}=A$
10	$A+\bar{A}B=A+B$
11	$A+\bar{A}B=A+B$
12	$(A+B)(A+C)=A+BC$

$$=A+BC$$

حاول اثبات هذا القانون أيضا باستخدام جدول الحقيقة.

٤ - ٤ نظريات ديمورجان Demorgans Theorems

ديمورجان هو عالم رياضيات أضاف نظريتين أساسيتين لنظريات الجبر المنطقي. هاتان النظريتان يمكن كتابتهما لمعادلات من متغيرين كما يلي:

$$\overline{XY} = \overline{X} + \overline{Y} \quad (٦-٤)$$

$$\overline{X + Y} = \overline{X} \overline{Y} \quad (٧-٤)$$

تنص هذه النظرية على أن عكس مضروب أى عدد من المتغيرات يساوى مجموع العكس لهذه المتغيرات كما فى المعادلة (٦-٤). كما أن عكس مجموع أى عدد من المتغيرات يساوى مضروب العكس لهذه المتغيرات كما فى المعادلة (٧-٤). يمكن اثبات المعادلتين (٦-٤) و (٧-٤) باستخدام جداول الحقيقة لكل من الطرفين فى كل معادلة. نظريات ديمورجان يمكن تطبيقها على أى عدد من المتغيرات وليست مقتصرة على متغيرين فقط.

مثال ٢-٤

طبق نظريات ديمورجان على التعبيرين $\overline{WXYZ}$ و $\overline{W + X + Y + Z}$. بالنسبة للتعبير الأول يمكن كتابته كما يلي:

$$\overline{WXYZ} = \overline{W} + \overline{X} + \overline{Y} + \overline{Z}$$

وأما التعبير الثانى فيمكن كتابته كما يلي:

$$\overline{W + X + Y + Z} = \overline{W} \cdot \overline{X} \cdot \overline{Y} \cdot \overline{Z}$$

يمكن تطبيق نظريات ديمورجان على تعبيرات أكثر تعقيدا كما فى التعبير التالى:

$$\overline{(AB + C)(A + BC)}$$

يمكن النظر لهذا التعبير على أنه مكون من متغيرين ، الأول هو القوس الأول ، والثانى هو القوس الثانى. بتطبيق نظرية ديمورجان على الأقواس كمتغيرات نحصل على:

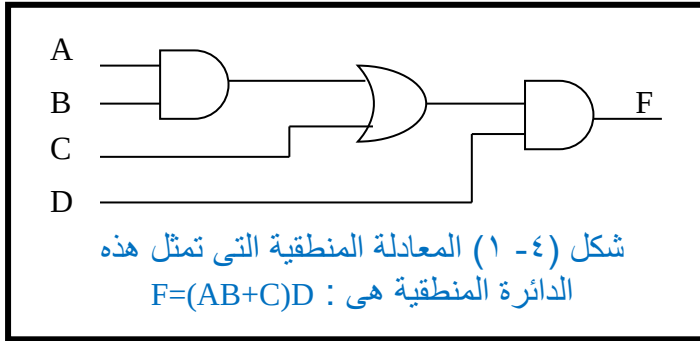
$$\overline{(AB + C)(A + BC)} = \overline{(AB + C)} + \overline{(A + BC)}$$

حيث تم استبدال معكوس حاصل ضرب القوسين بمجموع معكوس كل من القوسين. الآن يمكن تطبيق نظرية ديمورجان على ما بداخل كل قوس حيث كل عملية جمع تستبدل بحاصل ضرب المعكوس، وكل ضرب تستبدل بمجموع المعكوس كما يلي:

$$\overline{(AB + C)} + \overline{(A + BC)} = (\overline{A} + \overline{B}) \cdot \overline{C} + \overline{A} \cdot (\overline{B} + \overline{C})$$

وهذا آخر ما يمكن عمله بنظرية ديمورجان لهذا المثال. بالطبع قد يمكن تبسيط هذا التعبير، ولكن هذا يتم باستخدام طرق سيتم شرحها فى الأجزاء القادمة.

٤-٥ الحصول على المعادلة المنطقية لأي دائرة منطقية



عملية الحصول على المعادلة المنطقية التي تمثل دائرة منطقية معينة تعتبر عملية سهلة. بالنظر للدائرة الموجودة في شكل (٤-١) فإننا نبدأ من أقصى اليسار ونحسب خرج كل بوابة متجهين ناحية اليمين إلى أن نصل إلى الخرج الأخير.

حيث نلاحظ من هذا الشكل أن الخرج F سيكون حاصل ضرب المتغيرين A و B مجموعا مع C والكل مضروبا في المتغير D، ويمكن كتابة الخرج F كما يلي:

$$F = (AB + C)D$$

(٤-٨)

٤-٦ الحصول على جدول الحقيقة من المعادلة المنطقية

جدول ٤-٦ جدول الحقيقة للدائرة الموجودة في شكل (٤-١)

الدخل				الخرج
D	C	B	A	$F = (AB + C)D$
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

بمجرد الحصول على المعادلة المنطقية يمكن وضع جدول الحقيقة لهذه المعادلة أو هذه الدائرة. جدول الحقيقة يمثل في أحد جوانبه جميع الدخول الخاصة بالدائرة وفي الجانب الآخر مخرج الدائرة. للحصول على هذا الجدول يتم تمثيل جميع الحالات الممكنة للمداخل، وفي المقابل لكل حالة يتم حساب الخرج تبعا لقيم المداخل في هذه الحالة. كمثال على ذلك سنكتب جدول الحقيقة للدائرة الموجودة في شكل (٤-١). هذه الدائرة لها ٤ مداخل (A, B, C, D) وخرج واحد هو الخرج F. لذلك فإن جميع الحالات الممكنة لجميع المداخل من واحد وأصفار ستكون $2^4 = 16$ ، أي أن هذا الجدول سيحتوي ١٦ صفا كما في جدول ٤-٦.

٤-٧ تبسيط المعادلات المنطقية

قبل محاولة بناء أو تحقيق أي معادلة منطقية باستخدام البوابات المنطقية المعروفة، لابد من محاولة تبسيط هذه المعادلات فقد توفر الكثير من البوابات، وقد تحصل على دائرة أكثر بساطة. سنرى في هذا الجزء كيفية تبسيط هذه المعادلات باستخدام قوانين ونظريات

الجبر المنطقي التي رأيناها في هذا الفصل. لذلك فإنه لكي نستخدم هذه الطريقة لابد من المعرفة الجيدة لهذه القوانين وهذه النظريات. من عيوب هذه الطريقة أنها ليست خطوات محددة يتم اتباعها بالترتيب، ولكنها كما قلنا تعتمد بالدرجة الأولى

على المعرفة الجيدة بالقوانين السابقة. كما أن هناك عيب آخر وهو أن الصورة المبسطة التي قد تصل إليها ليس هناك أى تأكيد على أنها أبسط صورة، ولكن قد يستطيع شخص آخر الحصول على صورة أبسط لأنه أمهر في استخدام هذه القوانين. لكي نرى كيف تتبع هذه الطريقة سنسوق المثال التالى لنرى من خلاله أهمية تبسيط أى معادلة قبل محاولة بناؤها:

مثال ٤-٣

بسط المعادلة التالية إلى أبسط صورة ممكنة:

$$F = (A \bar{B} (C + BD) + \bar{A} \bar{B}) C$$

١- فك القوس الداخلى باستخدام قانون التوزيع:

$$F = (A \bar{B} C + A \bar{B} BD + \bar{A} \bar{B}) C$$

٢- لاحظ أن الكمية الثانية داخل القوس تحتوى المضروب $B \bar{B}$ وهذه الكمية تبعا للقانون الثامن فى جدول ١ تساوى صفر . لذلك فإن المعادلة تؤول إلى:

$$F = (A \bar{B} C + \bar{A} \bar{B}) C$$

٣- طبق قانون التوزيع مرة أخرى على المعادلة السابقة للتخلص من القوس:

$$F = A \bar{B} CC + \bar{A} \bar{B} C$$

٤- بتطبيق القانون رقم ٧ فى جدول ١ نجد أن $CC = C$ ، لذلك نعيد كتابة المعادلة السابقة كما يلى:

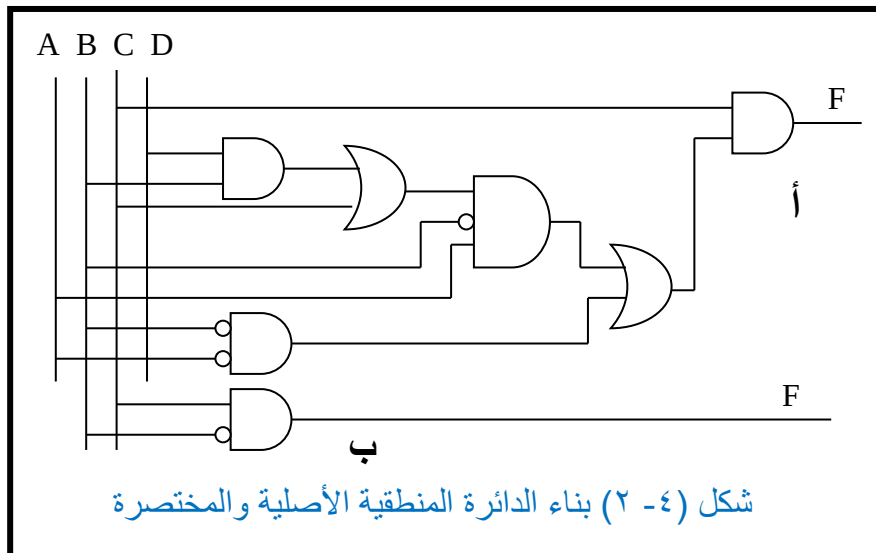
$$F = A \bar{B} C + \bar{A} \bar{B} C$$

٥- من المعادلة السابقة يمكن أن نأخذ الكمية $C \bar{B}$ كعامل مشترك:

$$F = \bar{B} C (A + \bar{A})$$

٦- بتطبيق القانون رقم ٦ فى جدول ١ نجد أن $A + \bar{A} = 1$. وعلى ذلك فإن المعادلة السابقة تؤول إلى الكمية:

$$F = \bar{B} C$$

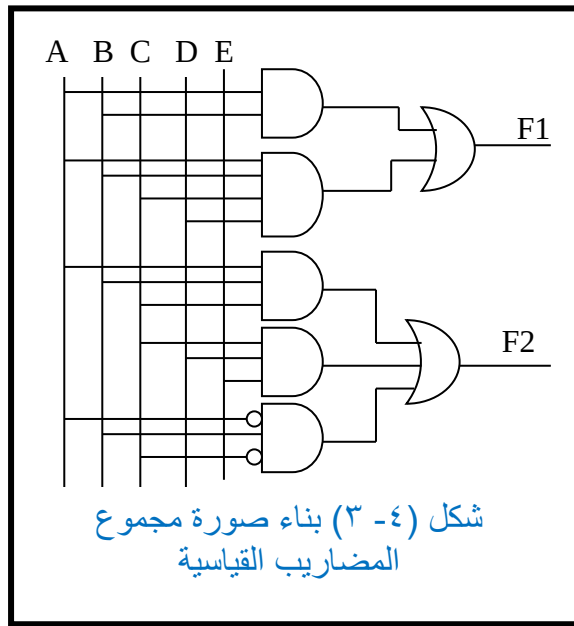


وهذا أقصى ما يمكن الوصول إليه من اختصار، وهذا بالطبع اختصارا كبيرا إذا ما قورن بالمعادلة الأصلية. شكل (٤-٢) و (ب) يبين بناء المعادلة الأصلية (أ) والمعادلة المختصرة (ب) حتى نقدر مدى فائدة محاولة اختصار أى معادلة قبل بناؤها فقد يكون فيها التوفير الكثير كما رأينا. المعادلة المختصرة تحتاج لبوابة AND واحدة، بينما الدائرة الأصلية تحتاج إلى ستة بوابات. هذا مع إهمال بوابات العكس في كل حالة. اكتب جدول الحقيقة لكل من الصورتين الأصلية والمختصرة وتأكد من أنهما سيعطيان نفس النتائج.

٤-٨ الصور القياسية للمعادلات المنطقية

هناك صورتان من الصور القياسية التي يمكن أن نضع أى معادلة منطقية عليها. الصورة الأولى هي صورة مجموع المضارب، والصورة الثانية هي صورة مضروب المجاميع. وضع أى معادلة في واحدة من هذه الصور يسهل عملية اختصار وبناء هذه المعادلات كما سنرى.

٤-٨-١ صورة مجموع المضارب Sum of product form



في هذه الصورة تكون المعادلة في صورة كميات، كل منها عبارة عن مضروب AND لمجموعة متغيرات، وهذه الكميات مجمعة OR مع بعضها. كمثال على ذلك انظر التعبيرات التالية:

$$F1 = AB + ABCD$$

$$F2 = ABC + CDE + \overline{A}\overline{B}\overline{C}$$

عند بناء أى معادلة موضوعة في صورة مجموع مضارب فإن الدائرة المنطقية الناتجة تتكون من مجموعة من بوابات الأند AND كل منها تمثل أحد الكميات المضروبة، وكل هذه البوابات مجمعة في بوابة OR واحدة كما في شكل (٤-٣) الذى يبين بناء كل من المعادلتين السابقتين. الدائرة المبينة في شكل (٤-٣) تسمى دائرة

آند أور AND-OR circuit. باستخدام قوانين ونظريات الجبر المنطقى يمكن وضع أى معادلة في صورة مجموع مضارب. في الصورة القياسية لمجموع المضارب يجب أن تكون كل كمية من الكميات المضروبة ممثلة لكل متغيرات المعادلة. فمثلا المعادلة F1 السابقة ليست معادلة مجموع مضارب قياسية لأن هذه المعادلة مكونة من ٤ متغيرات هي A, B, C, D والكمية الأولى تحتوى متغيرين فقط هما A, B لذلك فهذه المعادلة ليست قياسية كما قلنا. لاحظ أن ما يهمنا هنا هو تمثيل كل المتغيرات في كل الكميات المضروبة، ونعنى بتمثيل المتغير هنا هو إما المتغير أو عكسه. لتحويل أى معادلة إلى الصورة القياسية نضرب الكمية الغير قياسية في مجموع المتغير الناقص وعكسه ثم نفك هذا المجموع إلى كميتين. يتضح ذلك من المثال التالى:

مثال ٤-٤

ضع المعادلة F1 السابقة في صورة معادلة مجموع مضارب قياسية. المعادلة F1 هي:

$$F1 = AB + ABCD$$

الكمية الأولى AB هي الكمية الغير قياسية، حيث أن المتغيرين C و D غير ممثلين فيها. لذلك سنضرب هذه الكمية أولاً في الكمية $C + \bar{C}$ كما يلي: (لاحظ أن الكمية $C + \bar{C} = 1$)

$$F1 = AB(C + \bar{C}) + ABCD$$

ثم نفك القوس فنحصل على المعادلة التالية:

$$F1 = ABC + AB\bar{C} + ABCD$$

هذه المعادلة لازالت غير قياسية لغياب المتغير D في أول كميتين. للحصول على الصورة القياسية نكرر الخطوتين السابقتين كما يلي:

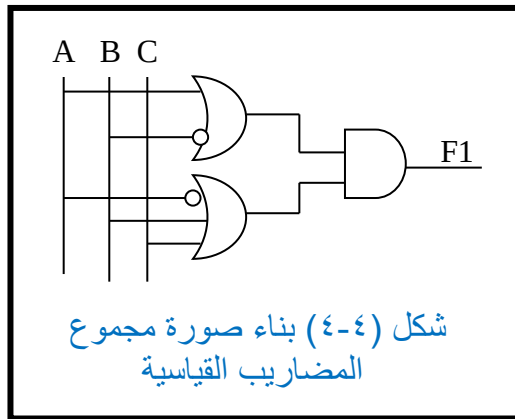
$$F1 = ABC(D + \bar{D}) + AB\bar{C}(D + \bar{D}) + ABCD$$

ومنه نحصل على:

$$F1 = ABCD + ABC\bar{D} + AB\bar{C}D + AB\bar{C}\bar{D} + ABCD$$

وهذه هي صورة مجموع المضارب القياسية التي نبحث عنها للمعادلة F1.

٤-٨-٢ صورة مضروب المجاميع القياسية Product of sum form



في هذه الصورة تكون المعادلة في صورة كميات مضروبة في بعضها (AND)، وكل كمية منها عبارة عن مجموع (OR) لمجموعة متغيرات. كمثال على ذلك انظر التعبيرات التالية:

$$F1 = (A + \bar{B})(\bar{A} + B + C)$$

$$F2 = (\bar{A} + \bar{B} + C)(A + \bar{B} + C + D)$$

عند بناء أى معادلة موضوعة في صورة مضروب مجاميع فإن الدائرة المنطقية الناتجة تتكون من مجموعة من بوابات الأور OR كل منها تمثل أحد الكميات المجموعة، وكل هذه البوابات مجمعة

في بوابة آند AND واحدة كما في شكل (٤-٨) الذى يبين بناء المعادلة الأولى F1. الدائرة المبينة في شكل (٤-٨) تسمى دائرة أور آند OR-AND circuit. باستخدام قوانين ونظريات الجبر المنطقى يمكن وضع أى معادلة في صورة مضروب مجاميع.

في الصورة القياسية لمضروب المجاميع يجب أن تكون كل كمية من الكميات المجمعة ممثلة لكل متغيرات المعادلة. فمثلاً المعادلة F1 السابقة ليست معادلة مضروب مجاميع قياسية لأن هذه المعادلة مكونة من ٣ متغيرات هي A, B, C والكمية الأولى تحتوى متغيرين فقط هما $\bar{A}$ و $\bar{B}$ لذلك فهذه المعادلة ليست قياسية كما قلنا. لاحظ أن ما يهمنا هنا هو تمثيل كل المتغيرات في كل الكميات المجمعة، ونعنى بتمثيل المتغير هنا هو إما المتغير أو عكسه. لتحويل أى معادلة إلى الصورة القياسية نضيف المتغير الناقص مضروباً في عكسه إلى الكمية الغير قياسية وهذا بالطبع لن يؤثر على هذه الكمية لأنه تبعاً

للقانون ٨ في جدول ٤-١ فإن حاصل ضرب أى متغير فى عكسه يساوى صفر. بعد ذلك نستخدم القانون ١٢ فى نفس الجدول الذى ينص على $A+BC=(A+B)(A+C)$ وبذلك تتحول الكمية الغير قياسية إلى كمتين قياسيتين، يتضح ذلك من المثال التالى:

مثال ٤-٥

ضع المعادلة F1 السابقة فى صورة معادلة مضروب مجاميع قياسية. المعادلة F1 هى:

$$F1=(A+\bar{B})(\bar{A}+B+C)$$

الكمية الأولى $A+\bar{B}$ هى الكمية الغير قياسية، حيث أن المتغير C غير ممثل فيها. لذلك سنضيف الكمية $C\bar{C}$ والتى تساوى صفر إلى الكمية الغير قياسية كما يلى:

$$F1=(A+\bar{B}+C\bar{C})(\bar{A}+B+C)$$

ثم نستخدم القانون ١٢ كما ذكرنا لنحصل على المعادلة التالية :

$$F1=(A+\bar{B}+C)(\bar{A}+B+C)$$

وهذه هى صورة مضروب المجاميع القياسية التى نبحث عنها للمعادلة F1 . نكرر ذلك لكل كمية غير قياسية فى المعادلة إن وجد .

٤-٩ جدول الحقيقة والمعادلات المنطقية

جدول الحقيقة هو طريقة شائعة للتعبير عن المعادلات المنطقية. جدول الحقيقة هو استجابة الدائرة المنطقية أو المعادلة المنطقية لجميع الاحتمالات الممكنة لمتغيرات الدخل للدائرة. المثال التالى يوضح ذلك:

مثال ٤-٦

أكتب جدول الحقيقة للمعادلة المنطقية التالية:

$$F=\bar{A}\bar{B}C+A\bar{B}\bar{C}+ABC$$

هذه المعادلة تحتوى ٣ متغيرات، لذلك فإن جدول الحقيقة سيحتوى $2^3=8$ من الصفوف، كل صف يحتوى أحد الحالات الممكنة لمجموعة الدخل. لكل حالة من حالات الدخل نحسب الخرج المقابل كما فى الجدول ٤-٣.

بنفس الطريقة يمكن إيجاد جدول الحقيقة لأى معادلة منطقية سواء كانت قياسية أو غير قياسية أو أى دائرة منطقية .

جدول ٤-٣ جدول الحقيقة للمثال ٤-٦

الدخل			الخرج
A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

٤ - ١٠ الحصول على المعادلة المنطقية القياسية من جدول الحقيقة

في الكثير من التطبيقات نبدأ بالدائرة المنطقية ونحسب لها جدول الحقيقة، فهل يمكن وضع معادلة منطقية (من هذا الجدول) في أحد الصور القياسية لهذه الدائرة ؟

٤-١٠-١ الحصول على المعادلة المنطقية في صورة مجموع المضارب

في هذه الحالة نبحث في جدول الحقيقة عن الكميات التي يكون فيها الخرج يساوى واحد، كل واحد من هذه الكميات يمثل مضروب مجموعة المتغيرات كل على حسب إذا كان صفر أو واحد، وكل هذه المضارب يتم جمعها لتعطي دالة الخرج. فمثلا في جدول الحقيقة في المثال السابق (جدول ٤-٣) نجد أن الخرج $F=1$ عند ثلاثة أماكن في الجدول: المكان الأول عندما $A=0, B=0, C=1$ وهذا يمكن وضعه في صورة الكمية المضروبة $\bar{A}\bar{B}C$. المكان الثاني عندما $A=1, B=0, C=0$ وهذا يمكن وضعه في صورة الكمية المضروبة $A\bar{B}\bar{C}$. المكان الثالث عندما $A=1, B=1, C=1$ وهذا يمكن وضعه في صورة الكمية المضروبة ABC . وعلى ذلك يمكن كتابة المعادلة المنطقية من مجموع هذه الكميات الثلاثة كما يلي:

$$F = \bar{A}\bar{B}C + A\bar{B}\bar{C} + ABC$$

وهذه هي نفس المعادلة المنطقية السابقة. يمكن تطبيق ذلك على أى جدول حقيقة حيث يمكن بناء الدائرة في هذه الحالة في صورة آند أور.

٤-١٠-٢ الحصول على المعادلة المنطقية في صورة مضروب المجاميع

في هذه الحالة نبحث في جدول الحقيقة عن الكميات التي يكون فيها الخرج يساوى صفر، كل واحد من هذه الكميات نكتبه في صورة مضروب مجموعة المتغيرات كل على حسب إذا كان صفر أو واحد، وكل هذه المضارب يتم جمعها لتعطي دالة الخرج المعكوسة بدلا من دالة الخرج الحقيقية كما سبق. فمثلا في جدول الحقيقة في المثال السابق (جدول ٤-٣) نجد أن الخرج $F=0$ عند خمسة أماكن في الجدول: المكان الأول عندما $A=0, B=0, C=0$ وهذا يمكن وضعه في صورة الكمية المضروبة $\bar{A}\bar{B}\bar{C}$ ، المكان الثاني عندما $A=0, B=1, C=0$ وهذا يمكن وضعه في صورة الكمية المضروبة $\bar{A}B\bar{C}$ ، وهكذا يمكن كتابة باقى الخمسة كميات. في النهاية يمكن كتابة المعادلة المنطقية لمعكوس الخرج كما يلي:

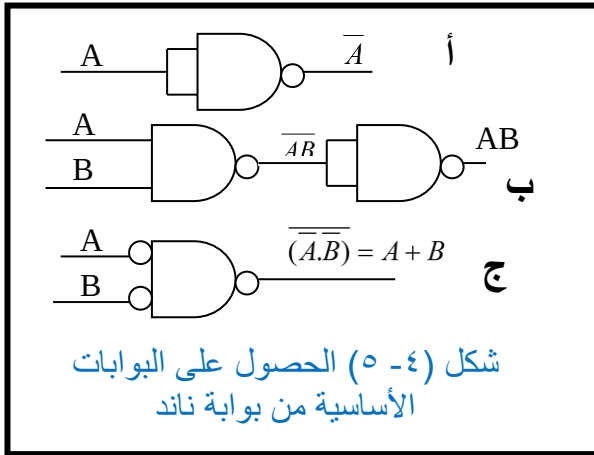
$$\bar{F} = \bar{A}\bar{B}\bar{C} + \bar{A}B\bar{C} + \bar{A}BC + A\bar{B}\bar{C} + ABC$$

لاحظ أن الذى حصلنا عليه هو معكوس الخرج وليس الخرج الحقيقى. للحصول على الخرج الحقيقى F نعكس كل من طرفي المعادلة السابقة كما يلي:

$$F = \overline{(\bar{A}\bar{B}\bar{C} + \bar{A}B\bar{C} + \bar{A}BC + A\bar{B}\bar{C} + ABC)}$$

عكس الطرف الأيسر مرتين كما سبق يعطى الخرج الحقيقى F ، بينما عكس الطرف الأيمن يمكن تطبيق نظرية ديمورجان عليه لنحصل على المعادلة في صورة مضروب مجاميع كما يلي:

$$F = (A+B+C)(A+\bar{B}+C)(A+\bar{B}+\bar{C})(\bar{A}+B+\bar{C})(\bar{A}+\bar{B}+C)$$

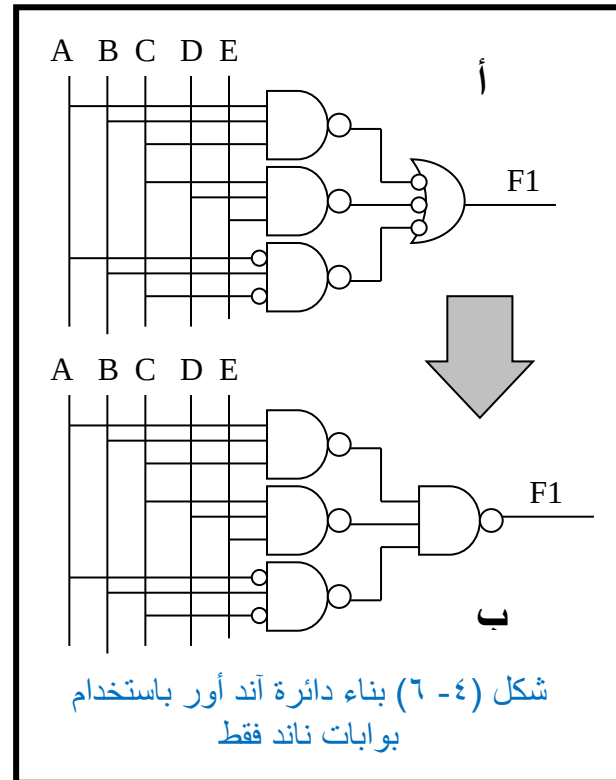


وهي الصورة التي نبحث عنها حيث يمكن بناء الدائرة في صورة أور آند.

٤ - ١١ بناء الدوائر المنطقية

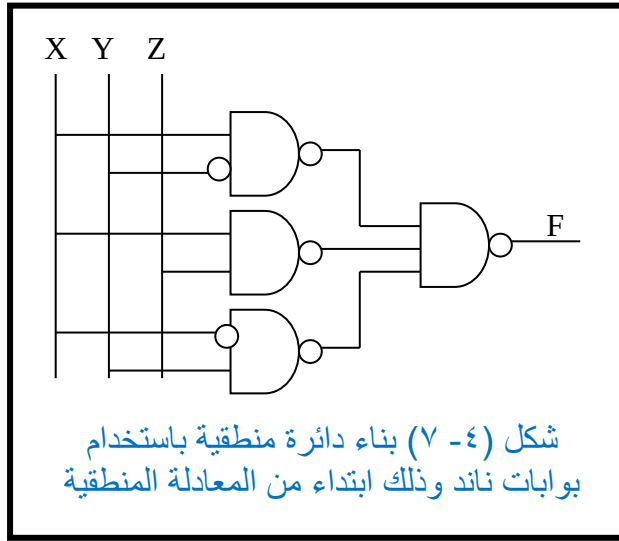
باستخدام بوابات ناند فقط

في الكثير من الدوائر العملية، وبالذات في تصنيع الدوائر التكاملية المنطقية يكون في العادة من المفيد بناء كل الدائرة أو كل النظام المنطقي من نوع واحد من البوابات. سنرى في هذا الجزء كيف نستخدم بوابات ناند فقط لبناء الدائرة المنطقية بالكامل. شكل (٤-٥) يبين كيفية الحصول على البوابات الأساسية، العاكس، وأند، وأور باستخدام بوابة ناند فقط. كما في شكل (٤-٥أ) فإن العاكس يمكن الحصول عليه بتوصيل دخلى البوابة ناند مع بعضهما فيكون خرج البوابة في هذه الحالة هو: $\overline{AA} = \overline{A}$ حيث كما نعلم فإن عملية الأند على نفس المتغير تعطى المتغير نفسه كما سبق. شكل (٤-٥ب) يبين كيفية الحصول على بوابة آند من ناند حيث الدخلين الأساسيين يدخلان على بوابة ناند فنحصل من خرجها على $\overline{AB}$ ، بإدخال هذا الخرج على بوابة ناند تعمل كعاكس نحصل في الخرج النهائي



على AB الذى يمثل خرج بوابة آند. شكل (٤-٥ج) يبين كيفية الحصول على بوابة أور من ناند. دخل البوابة ناند الأولى هو معكوس المتغيرين الأساسيين، فيكون خرج البوابة ناند الأولى هو $\overline{(A.B)}$. هذا الخرج يمكن تطبيق نظرية دي مورجان عليه فنحصل على $A+B$ التى تمثل خرج بوابة أور.

يمكن تحويل أى دائرة مبنية بنظام آند أور، أى مجموع مضارب، إلى دائرة مبنية باستخدام بوابات ناند فقط وذلك بوضع عاكسين على خرج كل بوابة آند كما في شكل (٤-٦أ). العاكس الأول مع كل بوابة آند يعطى بوابة ناند. باقى العواكس فى دخل بوابة الأور، مع بوابة الأور، تكافئ بوابة ناند حسب قوانين الجبر المنطقى. بذلك تصبح الدائرة كلها مبنية باستخدام بوابات الناند كما في شكل (٤-٦ب).



في الكثير من الأحيان يكون الرسم المنطقي للدائرة غير متاح، وحتى جدول الحقيقة من الممكن أن يأخذ وقتاً طويلاً في حالة إعداده بالذات إذا كانت المعادلة المنطقية معقدة. لذلك سنقدم في هذا الجزء طريقة سهلة في عدة خطوات ثابتة يمكن بعدها تحويل أى معادلة منطقية إلى الصورة المناسبة للبناء باستخدام بوابات الناند. هذه الخطوات كما يلي:

١ - ضع المعادلة المنطقية في صورة مجموع مضارب كما يلي:

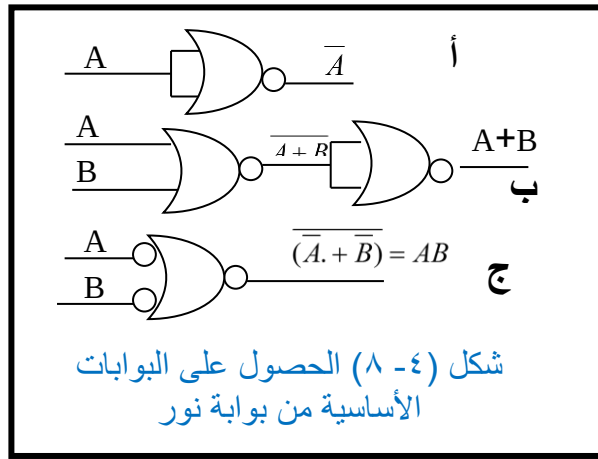
$$F = X(\bar{Y} + Z) + \bar{X}Y$$

$$F = X\bar{Y} + XZ + \bar{X}Y$$

٢ - إعكس الطرف الأيمن للمعادلة مرتين، حيث سيكون ليس هناك أى تأثير نتيجة هذا العكس المزدوج. في هذه الحالة ستكون المعادلة السابقة كما يلي:

$$F = \overline{\overline{X\bar{Y} + XZ + \bar{X}Y}}$$

٣ - طبق نظرية ديمورجان على عملية العكس الداخلية، وعلى عمليات الجمع فقط دون عمليات الضرب. في هذه الحالة ستكون المعادلة السابقة كما يلي:



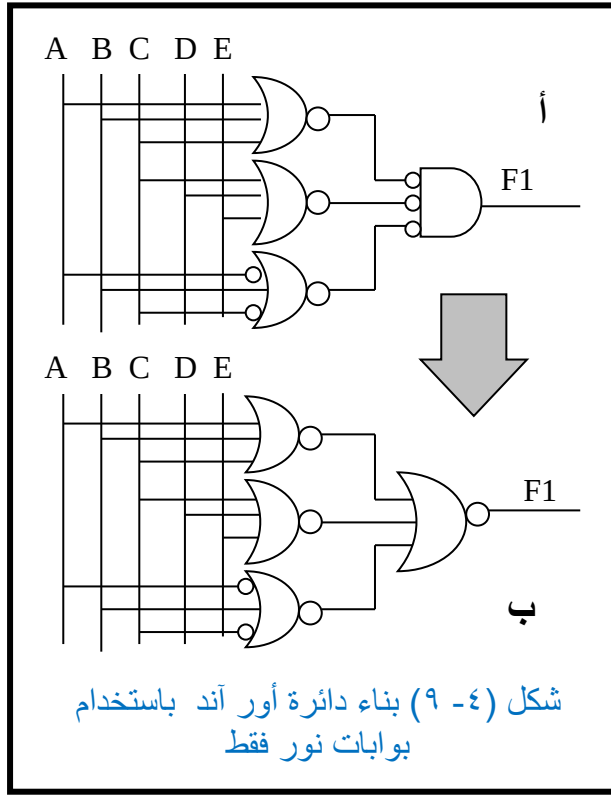
$$F = \overline{\overline{(X\bar{Y})(XZ)(\bar{X}Y)}}$$

وهذه كما نرى عبارة عن بوابات ناند (عدها ثلاثة) كلها مجمعة على بوابة ناند. شكل (٧ - ٤) يبين هذه الدائرة.

٤ - ١٢ بناء الدوائر المنطقية باستخدام بوابات نور فقط

سنرى في هذا الجزء كيف نستخدم بوابات نور فقط لبناء الدائرة المنطقية بالكامل كما فعلنا مع بوابات الناند. شكل (٤ - ٨) يبين كيفية الحصول على البوابات الأساسية، العاكس، وأور، وأند باستخدام بوابة نور فقط. كما في شكل (٨ - ٤) فإن العاكس يمكن الحصول عليه بتوصيل دخلى البوابة نور مع بعضهما فيكون خرج البوابة في هذه الحالة هو: $\overline{A + A} = \bar{A}$ حيث كما نعلم فإن عملية الأور على نفس المتغير تعطى المتغير نفسه كما سبق. شكل (٤ - ٨) ب) يبين كيفية الحصول على بوابة أور من نور حيث الدخيلين الأساسيين يدخلان على بوابة نور فنحصل من خرجها على الصورة $\overline{A + B}$ ، بإدخال هذا الخرج على بوابة نور تعمل كعاكس نحصل في الخرج النهائي على الصورة $A + B$ الذى يمثل خرج

بوابة أور. شكل (٤ - ٨ ج) يبين كيفية الحصول على بوابة آند من نور. دخل البوابة نور الأول هو معكوس المتغيرين الأساسيين، فيكون خرج البوابة نور الأول هو $(\overline{A} + \overline{B})$. هذا الخرج يمكن تطبيق نظرية ديمورجان عليه فنحصل على AB التي تمثل خرج بوابة آند.

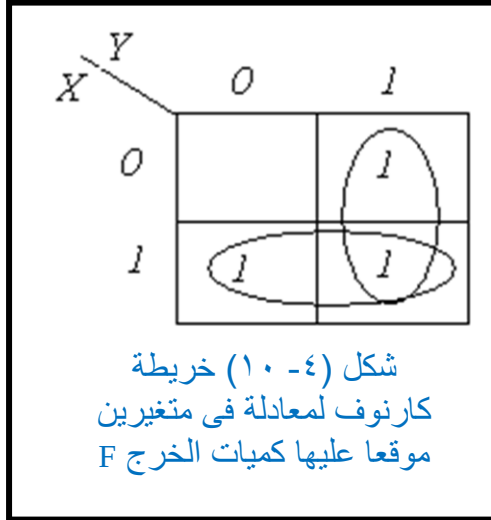


يمكن تحويل أى دائرة مبنية بنظام أور آند، أى مضروب مجاميع، إلى دائرة مبنية باستخدام بوابات نور فقط وذلك بوضع عاكسين على خرج كل بوابة أور كما فى شكل (٤ - ٩ أ). العاكس الأول مع كل بوابة أور يعطى بوابة نور. باقى العواكس فى دخل بوابة الآند، مع بوابة الآند، تكافئ بوابة نور حسب قوانين الجبر المنطقى. بذلك تصبح الدائرة كلها مبنية باستخدام بوابات نور كما فى شكل (٤ - ٩ ب). فى الكثير من الأحيان يكون الرسم المنطقى للدائرة غير متاح، وحتى جدول الحقيقة من الممكن أن يأخذ وقتا طويلا فى حالة إعداداته بالذات إذا كانت المعادلة المنطقية معقدة. لذلك سنقدم فى هذا الجزء طريقة سهلة فى عدة خطوات ثابتة يمكن بعدها تحويل أى معادلة منطقية إلى الصورة المناسبة للبناء باستخدام بوابات النور. هذه الخطوات كما يلى:

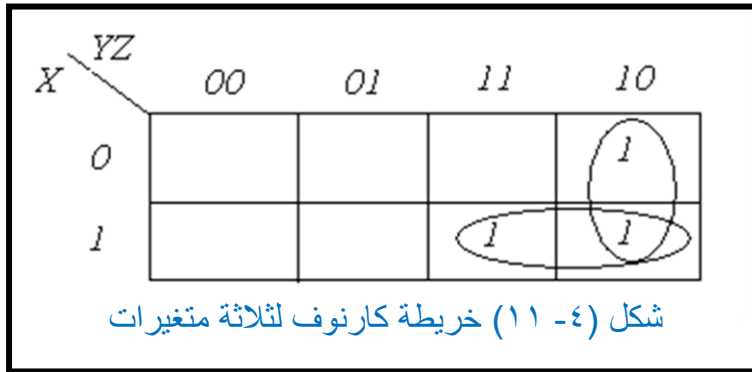
- ١ - ضع المعادلة المنطقية فى صورة مضروب مجاميع.
- ٢ - إعكس الطرف الأيمن للمعادلة مرتين، حيث سيكون هناك أى تأثير نتيجة هذا العكس المزدوج.
- ٣ - طبق نظرية ديمورجان على عملية العكس الداخلية، وعلى عمليات الضرب فقط دون عمليات الجمع فتحصل على دائرة مبنية باستخدام بوابات نور فقط. حاول تطبيق ذلك على مثال من عندك.

٤- ١٣ اختصار الدوال المنطقية (خريطة كارنوف)

Karnaugh Map

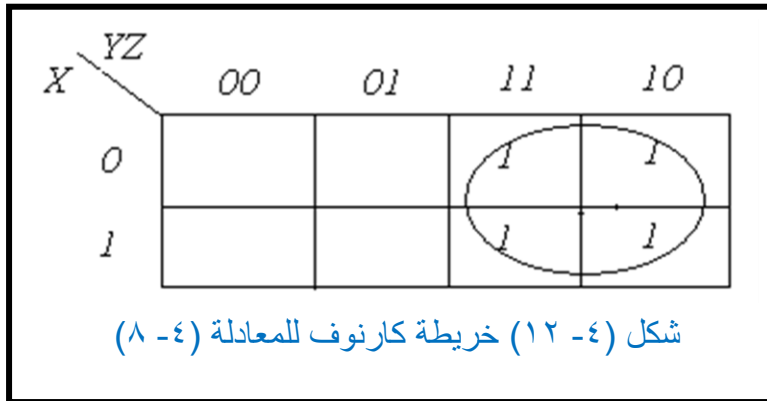


لقد رأينا في جزء سابق كيفية استخدام قوانين ونظريات الجبر المنطقي في اختصار الدوال أو الدوائر المنطقية. مثل هذه الطريقة كما أشرنا سابقاً لا تعطى أى تأكيد على أن الصورة النهائية التي تم الحصول عليها للمعادلة المنطقية هي الصورة المثلى ولا يمكن اختصارها أكثر من ذلك لأن الصورة النهائية التي سنصل إليها تعتمد بدرجة كبيرة على مهارة مستخدم هذه القوانين والنظريات. سنقدم هنا طريقة بسيطة لاختصار أى معادلة منطقية ووضعها في الصورة المثلى التي لا يمكن إجراء أى اختصار عليها أكثر من ذلك. ميزة هذه الطريقة أنها خطوات مرتبة في صورة أشكال توضيحية مثل جدول الحقيقة كما سنرى. هذه الطريقة تسمى



طريقة أو خريطة كارنوف لتبسيط المعادلات المنطقية.

طريقة كارنوف تشبه تماماً جدول الحقيقة في تمثيل المعادلة المنطقية. حيث أنها تعرض جميع الحالات الممكنة لمتغيرات الدخل، وكذلك الخرج المقابل لهذا الدخل. بدلاً من

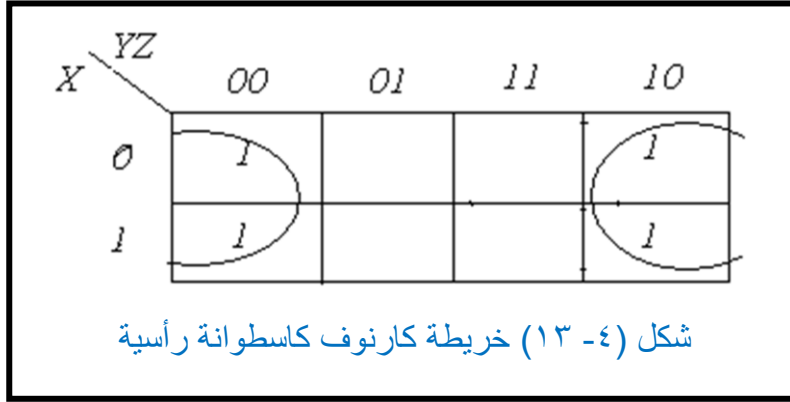


استخدام الصفوف والأعمدة كما في جدول الحقيقة، فإن خريطة كارنوف تستخدم مصفوفة من الخلايا، حيث كل خلية من هذه الخلايا تمثل واحدة من حالات الدخل الممكنة. يتم ترتيب هذه الخلايا بطريقة تسمح بتبسيط الدالة المنطقية عن طريق تجميع

بعض هذه الخلايا مع بعضها بطريقة معينة. يمكن استخدام هذه الخريطة لتبسيط المعادلات ذات المتغيرين والثلاثة والأربعة وحتى الخمسة متغيرات، ولكن مع زيادة عدد متغيرات المعادلة عن خمسة فإن التعامل مع الخريطة يكون صعباً ومتعباً. في هذه الحالة (زيادة عدد المتغيرات عن خمسة) نلجأ لطريقة أخرى تسمى طريقة كوين مكلوسكي Quine McClusky، وهذه الطريقة خارج نطاق هذا الكتاب. سنقدم هنا أمثلة على استخدام خرائط كارنوف ذات المتغيرين والثلاثة والأربعة. سنفترض أولاً معادلة منطقية في متغيرين كما يلي :

$$F = X\bar{Y} + XY + \bar{X}Y$$

شكل (٤ - ١٠) يبين خريطة كارنوف للمتغيرين.



نلاحظ أن هذه الخريطة مكونة من ٤ خلايا مرتبة في صفين وعمودين. الصف الأول يمثل عكس المتغير الأول $\bar{X}$ والصف الثاني يمثل المتغير نفسه X . كذلك العمود الأول يساراً يمثل عكس المتغير الثاني $\bar{Y}$ والعمود الثاني يمثل نفس المتغير Y . وعلى

ذلك فإن ترتيب الخلايا من حيث تقاطع الصفوف مع الأعمدة سيجعل الخلية الأولى (أعلى يسار) تمثل الكمية $\bar{X}\bar{Y}$ ، والخلية الثانية (أعلى يمين) تمثل الكمية $Y\bar{X}$ ، والخلية الثالثة (أسفل يسار) تمثل الكمية $X\bar{Y}$ ، والخلية الرابعة (أسفل يمين) تمثل الكمية XY . أى أن الخريطة تحتوى ٤ خلايا تمثل جميع الاحتمالات الممكنة لمتغيرات الدخل X و Y . الخطوة التالية بعد رسم الخريطة هى مقارنة الكميات الموجودة فى المعادلة المراد تبسيطها ثم وضع واحد فى كل خلية من خلايا الخريطة يقابلها كمية فى المعادلة. وحيث أن المعادلة تحتوى ٣ كميات فقد تم توقيع ٣ وحيد فى الخريطة كما هو موضح فى شكل (٤ - ١٠). الخطوة التالية هى تجميع كل خليتين متجاورتين أفقياً أو رأسياً وكل منهما تحتوى واحد. الخلايا المجمعة والمتجاورة بهذا الشكل يمكن تبسيطها إلى المتغيرات الثابتة فى هذا التجميع فقط. فمثلاً التجميع الرأسية تحتوى الخلية الثانية والرابعة، ومجموع هاتين الخليتين هو $XY + \bar{X}Y$. فى هذه المجموعة المتغير Y ثابت لم يتغير فى كل من الكميتين، بينما المتغير X كان فى الكمية الأولى حقيقى ومعكوس فى الكمية الثانية. لذلك فإن هذه المجموعة تقول إلى الكمية Y فقط. وهذا فى الحقيقة يمكن اثباته من قوانين الجبر المنطقى حيث يمكن أن نأخذ المتغير Y مشتركاً فى هذه المجموعة ويتبقى المتغير X مجموعاً مع معكوسه وهذا يساوى واحد حسب قوانين الجبر المنطقى. الآن ننتقل إلى المجموعة الأفقية التى تحتوى الخلية الثالثة مع الخلية الرابعة. فى هذه الخلية المتغير X ثابت بينما المتغير Y ليس ثابتاً فى الخليتين. لذلك فإن هذه المجموعة تقول إلى المتغير X فقط. لذلك فإن الصورة المبسطة للمعادلة F ستكون ناتج هاتين المجموعتين كما يلى:

$$F = X + Y$$

وهذا هو أبسط ما يمكن الوصول إليه فى هذه المعادلة .

سنفترض الآن معادلة فى ثلاثة متغيرات كما يلى:

$$F = \bar{X}Y\bar{Z} + XY\bar{Z} + XYZ$$

شكل (٤ - ١١) يبين خريطة كارنوف لثلاث متغيرات موقعا عليها الكميات الموجودة فى المعادلة السابقة. من هذه الخريطة يمكن كتابة الصورة المبسطة للمعادلة كما يلى:

$$F = XY + Y\bar{Z}$$

لاحظ طريقة ترتيب الخلايا أفقيا من خلال المتغيرين Y و Z. نلاحظ أنه بالانتقال من عمود للتالى له فإن متغير واحد فقط هو الذى يغير حالته من حقيقى إلى معكوس. فتجد العمود الأيسر مثلا ممثلا بالكمية $YZ=00$ ، والعمود التالى له $YZ=01$ المتغير Z فقط تغير من صفر لواحد، يأتى بعد ذلك العمود $YZ=11$ تجد أن الفرق بينه وبين العمود السابق أن المتغير Y تغير من صفر إلى واحد، وهكذا. المهم أنه عند الانتقال من خلية لخلية مجاورة لها أن يتغير واحد فقط من المتغيرات من صفر إلى واحد أو العكس.

ما زلنا مع المعادلات ثلاثية المتغيرات حيث نعرض المعادلة التالية:

$$F = \bar{X} \bar{Y} \bar{Z} + X \bar{Y} \bar{Z} + X Y \bar{Z} + \bar{X} Y \bar{Z}$$

(٨-٤)

XW \ YZ	YZ			
	00	01	11	10
00	1			1
01				
11				
10	1			1

شكل (٤-١٤) خريطة كارنوف فى ٤ متغيرات

هذه المعادلة بها أربع كميات بعد توضعها على خريطة كارنوف المناسبة جاءت الأربع كميات فى أربع خلايا متجاورة كما فى شكل (٤-١٢). معنى ذلك أن هناك متغيرين سيتم تبسيطهم ، ويبقى متغير واحد فقط وهو المتغير Y الذى لم يتغير فى الأربع خلايا. معنى ذلك أن هذه المعادلة يمكن تبسيطها إلى متغير واحد فقط كما يلي:

$$F = Y$$

من خواص خريطة كارنوف أنها يمكن أن تلف على نفسها حول محور رأسى

لتكون اسطوانة رأسية أو تلف على نفسها حول محور أفقى لتكون اسطوانة أفقية. سنقوم بتبسيط المعادلة التالية لنوضح هذه الخاصية:

$$F = \bar{X} \bar{Y} \bar{Z} + X \bar{Y} \bar{Z} + \bar{X} Y \bar{Z} + X Y \bar{Z}$$

هذه المعادلة تم توضعها على خريطة كارنوف كما فى شكل (٤-١٣) حيث أمكن تبسيطها إلى الصورة التالية: $F = \bar{Z}$ شكل (٤-١٤) يبين خريطة كارنوف فى ٤ متغيرات، وهذا المثال يبين أيضا خاصية الالتفاف الأفقى والرأسى للخريطة. المعادلة قبل التبسيط كما يلي:

$$F = \bar{X} \bar{W} \bar{Y} \bar{Z} + \bar{X} \bar{W} Y \bar{Z} + X \bar{W} \bar{Y} \bar{Z} + X \bar{W} Y \bar{Z}$$

وهذه المعادلة كما نرى يمكن تبسيطها إلى ما يلي:

$$F = \bar{W} \bar{Z}$$

لقد سقنا العديد من الأمثلة التى تبين كيفية استخدام خريطة كارنوف لتبسيط الدوائر المنطقية حتى ٤ متغيرات، وكما قلنا من قبل يمكن تعميم ذلك لدوائر فى أكثر من ٤ متغيرات ولكن الخريطة ستكون أكثر تعقيدا، ولذلك فنحن نكتفى بهذا القدر من الأمثلة. لاحظ أنه من الممكن أن تكون هناك كميات أو خلايا لا يمكن أن تؤخذ فى مجموعات لتحقيق عملية

التبسيط. تخيل مثلاً أن المعادلة السابقة كانت تحتوى الكمية $XWYZ$. في هذه الحالة فإن الخلية المقابلة لهذه الكمية لا يمكن أن تؤخذ في مجموعة مع أى خلية أخرى، لذلك فإن الصورة النهائية للمعادلة في هذه الحالة ستكون:

$$F = \overline{W} \overline{Z} + WXYZ$$

٤ - ١٤ تمارين

- ١- ما هي قيمة كل من A, B, C التي تجعل كل من التعبيرات التالية مرة واحد ومرة صفر:
 - a) AB b) $\overline{AB}$ c) $A+B$ d) $\overline{A} + \overline{B} + \overline{C}$ e) $\overline{ABC}$
- ٢- أكتب جدول الحقيقة لكل من المعادلات التالية:
 - a) $X=(A+B)C+B$ b) $X=(\overline{A+B})C$ c) $X=(A+BC)(\overline{B} + \overline{C})$
- ٣- طبق نظرية ديمورجان على كل من التعبيرات التالية:
 - a) $\overline{A+B}$ b) $\overline{\overline{AB}}$ c) $\overline{AB+CD}$ d) $\overline{AB(C+D)}$ e) $\overline{AB(CD+EF)}$
 - f) $\overline{(A+\overline{B}+C+\overline{D})+ABCD}$ g) $\overline{\overline{(ABC)(EFG)}+\overline{(HIJ)(KLM)}}$
- ٤- ارسم الدائرة المنطقية لكل واحد من التعبيرات الموجودة في تمرين ١ وتمرين ٢.
- ٥- استخدم الجبر البوليني في تبسيط كل من التعبيرات التالية:
 - a) $BD + B(D+E) + D(D+F)$ b) $AB + \overline{ABC} + A$
 - c) $\overline{AB} + \overline{ABC} + \overline{ABCD} + \overline{ABCD}E$ d) $(A+\overline{A})(AB+\overline{ABC})$
 - e) $ABC(AB+\overline{C}(BC+AC))$ f) $ABCD + AB(\overline{CD}) + (\overline{AB})CD$
- ٧- ضع كل من التعبيرات التالية في صورة مجموع المضارب SOP القياسية:
 - a) $(A+B)(C+\overline{B})$ b) $(A+\overline{B}C)C$ c) $(A+C)(AB+AC)$
 - d) $AB + CD(AB+AC)$ e) $A+B(AC+(B+C)D)$
- ٨- أكتب جدول الحقيقة لكل واحد من التعبيرات الموجودة في تمرين ٧.
- ٩- أرسم خريطة كارنوف لاثنتين وثلاثة وأربع متغيرات ثم ضع رقم لكل خلية تبعا لقيمة المتغيرات التي تمثلها هذه الخلية.
- ١٠- استخدم خريطة كارنوف لتبسيط كل واحد من التعبيرات الموجودة في تمرين ٥.
- ١١- أكتب المعادلة المنطقية للخروج الموجود في جدول الحقيقة في شكل (٤-١١) في صورة مجموع مضارب SOP.
- ١٢- ارسم الدائرة المنطقية للخروج في تمرين ١١.

الدخل				الخرج
D	C	B	A	F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

شكل (٤-ت ١١)

١٣- ارسم الدائرة الناتجة في تمرين ١٢ مستخدما بوابات الناند فقط.

١٤- بسط المعادلة الناتجة في تمرين ١١ مستخدما خريطة كارنوف.

١٥- أكتب المعادلة المنطقية للخروج الموجود في جدول الحقيقة في شكل (٤-ت ١١) في صورة مضروب مجاميع POS.

١٦- ارسم الدائرة المنطقية للخروج في تمرين ١٥.

١٧- ارسم الدائرة الناتجة في تمرين ١٦ مستخدما بوابات نور فقط.

١٨- بسط المعادلة الناتجة في تمرين ١٥ مستخدما خريطة كارنوف.

١٩- صمم دائرة منطقية لها ٣ مداخل بحيث يكون خرجها يساوى واحد إذا كان الدخل يمثل رقما فرديا. أكتب جدول الحقيقة ثم استنتج المعادلة المنطقية ثم بسطها باستخدام خريطة كارنوف ثم ارسم الدائرة.

٢٠- صمم دائرة منطقية لها ٤ مداخل بحيث يكون الخرج يساوى واحد إذا كان هناك ٣ أو أكثر من المداخل يساوى واحد (دائرة الأغلبية). اتبع نفس الخطوات الموضحة في تمرين ١٩.

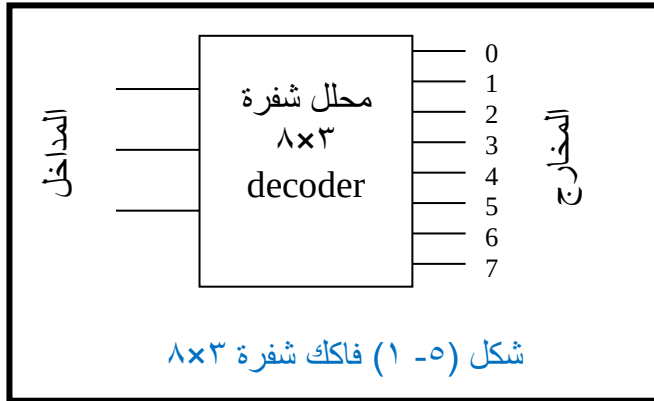
الفصل الخامس



محللات الشفرة والمشفرات

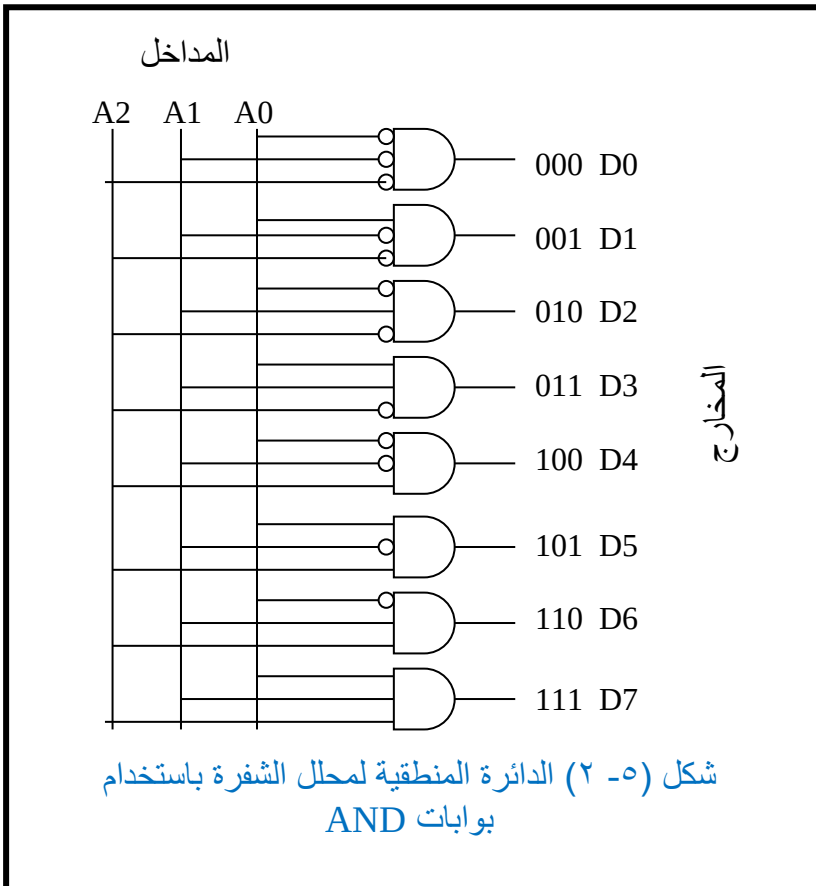
Decoders And Encoders

٥- ١ محلات الشفرة Decoders



يتم تمثيل البيانات في الحاسبات في صورة مقاطع من الشفرات الثنائية تتكون كل شفرة منها من عدد n من البتات. أى شفرة تتكون من n من البتات يمكن أن تمثل بها حتى عدد 2^n من العناصر المختلفة أو الشفرات المختلفة، حيث كل شفرة ستمثل أحد هذه العناصر. إن شفرة مكونة مثلاً من ٢ بت يمكنها تمثيل عدد $2^2=4$ من الشفرات كالتالى: 00، 01، 10، 11. بينما شفرة مكونة من ٣ بتات يمكنها أن تمثل عدد ٨ من الشفرات الثنائية

كالتالى: 000، 001، 010، 011، 100، 101، 110، 111. محلل الشفرة الذى له n من الدخول يكون عبارة عن دائرة توافقية combinational تختار واحد فقط من المخرجات التى عددها 2^n وتنشطه بينما تخمد باقى المخرجات. هذا المخرج يتم اختياره على حسب الشفرة المدخلة أو الموجودة على دخل المشفر. شكل (٥- ١) يبين رسماً صندوقياً لمحلل شفرة له ٣ دخول، وبالطبع ٨ مخرجات. هذه المخرجات تبدأ بالمخرج رقم صفر وتنتهى بالمخرج رقم ٧. عند وضع الشفرة 000 على الدخل فإن المخرج رقم 0 ينشط أو يتم اختياره، وعند وضع الشفرة 011 مثلاً على الدخل فإن المخرج رقم ٣ ينشط، . . . وهكذا . عامة فإن محلل الشفرة الذى له n من المدخل، يكون له عدد $m=2^n$ من المخرجات التى يتم اختيار أو تنشيط أحدها على حسب الشفرة الموجودة على الدخل.



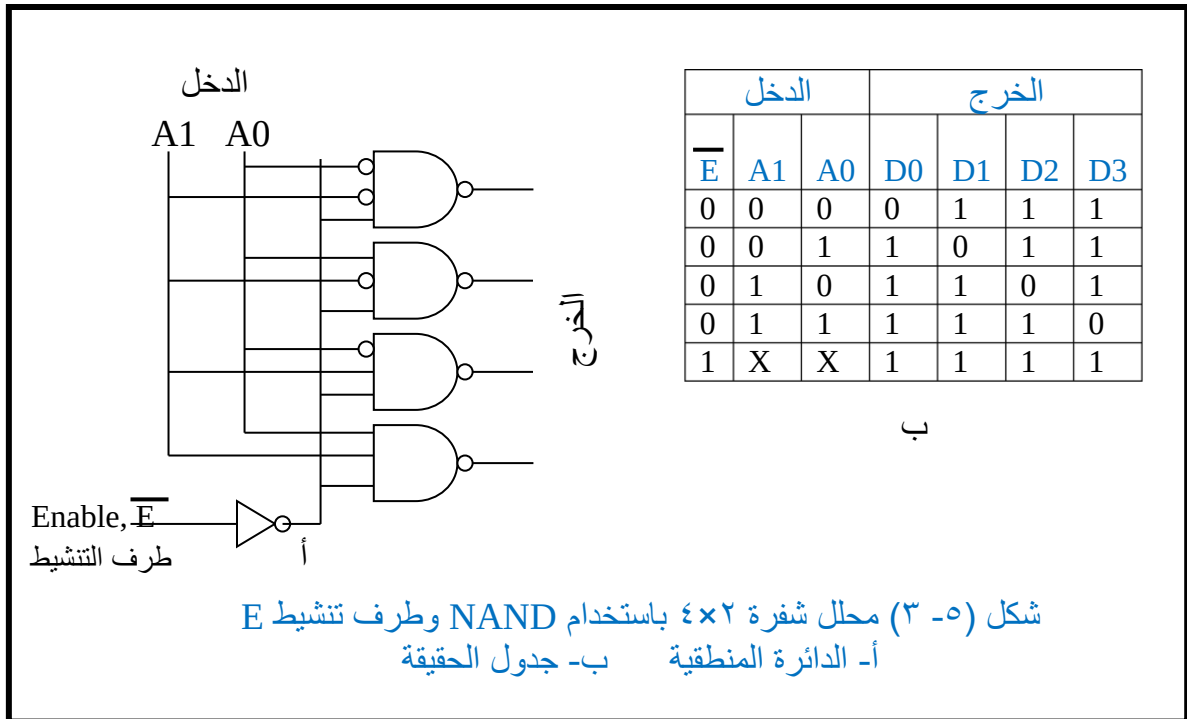
شكل (٥- ٢) يبين الدائرة المنطقية التى يتكون منها محلل الشفرة. هذه الدائرة عبارة عن مجموعة من بوابات AND التى يكون خرجها واحد عند شفرة معينة ووحيدة من شفرات الدخل. لاحظ استخدام العواكس inverters عند مدخل بوابات ال AND لاختيار الشفرة المناسبة التى سينشط عندها هذا المخرج. فمثلاً المخرج D3 سيكون واحد فقط إذا كان $A0=1$ ، $A2=0$ ، $A1=1$ وذلك من خلال استخدام عاكس على الدخل A2 حتى نضمن أن D3 ستكون واحد عند وجود الشفرة 011 على الدخل كما فى الشكل.

الدخل			الخرج							
A2	A1	A0	D0	D1	D2	D3	D4	D5	D6	D7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

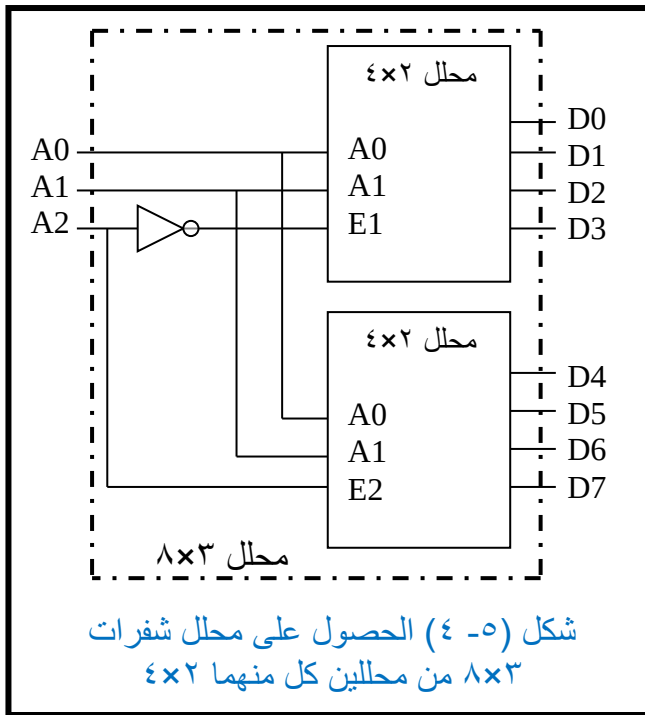
جدول ١-٥ جدول الحقيقة لفالك الشفرة ٨×٣

جدول ١-٥ يبين جدول الحقيقة للمشفّر ٨×٣. نلاحظ من هذا الجدول أن الخرج الفعّال يكون واحد وباقي الخرج تكون أصفاراً. بنفس الطريقة يمكن تصميم أى محلل شفرة مثل المحلل ٤×٢ أو المحلل ١٦×٤ أو حتى المحلل ٢٥٦×٨.

محلل الشفرة الموجود في شكل (١-٥) يسمى المحلل الثماني لأنه يحول الشفرات الثلاثية إلى خرج ثماني. ليس بالضرورة أن يتم فك جميع الشفرات المتاحة في الخرج. وعلى ذلك فإنه يمكننا مثلاً استخدام العشرة خروج الأولى من المحلل ١٦×٤ لتمثل المحلل العشري الذي يحول الشفرات الثنائية الرباعية إلى خرج عشري، أى عشرة خروج فقط. إننا في هذه الحالة نحول الشفرات العشرية المكودة ثنائياً BCD, binary coded decimal إلى خرج عشري، وهناك الكثير من التطبيقات التي تستخدم ذلك .

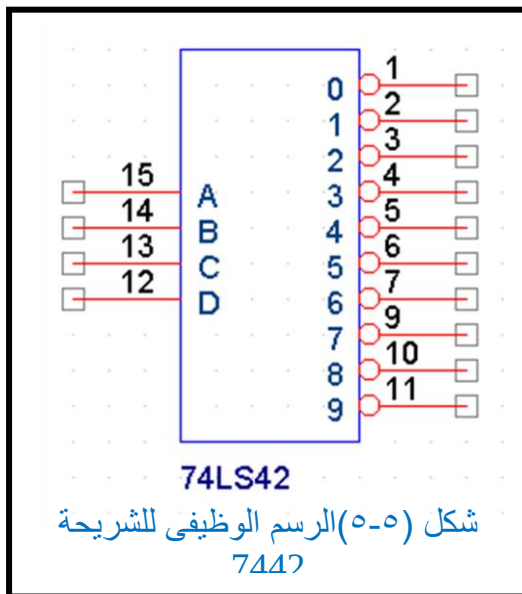


إن الشرائح العملية المتاحة في الأسواق تحتوى في العادة طرف تنشيط واحد أو أكثر لمحلل الشفرة حيث تكون كل الخرج في هذه الحالة غير فعالة إذا كان أى واحد من هذه الأطراف غير نشط. أحيانا تكون أطراف التنشيط هذه فعالة عندما تكون واحد وأحيانا تكون فعالة عندما تكون صفرا حيث في الحالة الثانية يوضع أمام دخل التنشيط دائرة أو توضع على رمزه شرطة مثل طرف التنشيط. يمكن استخدام بوابات ال NAND بدلا من بوابات ال AND في بناء محلل الشفرة. في هذه الحالة سيكون الخرج الفعال أو المختار يساوى صفر وباقي الخطوط غير النشطة أو الغير مختارة تساوى واحد. هناك الكثير من التطبيقات التى تحتاج النوع الأول وأيضا الكثير من التطبيقات التى تحتاج النوع الثانى. شكل (٥-٣) يبين محلل شفرة 4×2 له طرف تنشيط E ومبنى باستخدام البوابات NAND. لاحظ في هذا الشكل أنه عندما كان طرف التنشيط $E=1$ فإن جميع الخرج كانت غير نشطة أى تساوى واحد مهما كان الدخل.



من فوائد وجود أطراف التنشيط هو استخدامها في الحصول على محلل شفرة بإمكانيات أكبر باستخدام عدد من المحللات ذات الإمكانات البسيطة. شكل (٥-٤) يبين استخدام محللين 4×2 للحصول على محلل 8×3 . لاحظ من هذا الشكل أن الدخلين $A0$ و $A1$ تم توصيلهم على كل المحللات بينما الدخل $A2$ فتم توصيله على طرف التنشيط للمحلل الأول $E1$ من خلال عاكس وعلى طرف التنشيط للمحلل الثانى $E2$ مباشرة. لاحظ أن كل من طرفي التنشيط $E1$ و $E2$ يكون فعالا عندما يكون واحد. بذلك نرى أنه عندما يكون $A2=0$ فإن المحلل الأول يكون نشط وبذلك سيتم تنشيط واحد من المخارج $D0$ إلى $D3$ على حسب الشفرة الموجودة على الدخلين $A0$ و $A1$. بينما عندما يكون $A2=1$ فإن

المحلل الثانى سيكون فعالا ويتم تنشيط واحد من المخارج $D4$ إلى $D7$ على حسب الشفرة الموجودة على كل من $A0$ و $A1$. بنفس الطريقة يمكن الحصول على محللات ذات إمكانات عالية من عدد من المحللات الصغيرة.



٥-٢ الشريحة 74LS42 و 7442 محلل شفرات عشرية مكودة ثنائيا إلى عشرية BCD to Decimal Decoder

هذه الشريحة لها ٤ دخول عالية الفعالية يوضع عليها الكود الثنائي للأرقام من صفر إلى عشرة كما في شكل (٥-٥) الذى يوضح الرسم الوظيفي للشريحة. طرف القدرة هو الطرف ١٦ بينما الطرف ٨ هو الأرضى. على ضوء الكود المدخل تقوم الشريحة بتنشيط واحد فقط من مخرجها العشرة. هذه المخارج منخفضة الفعالية، أى أن الخرج النشط يكون صفرا. إذا كان الكود الموجود على الدخل أكبر من تسعة (1001) فإن جميع الخرج تكون وحيد ، أى غير فعالة . زمن التأخير للشريحة 7442 هو ١٥ نانوثانية وتيار القدرة لها ٢٨ مللي أمبير بينما للشريحة 74LS42 فإن زمن التأخير يساوى ١٨ نانوثانية بينما تيار القدرة يساوى ٧ مللي أمبير. يمكن استخدام هذه الشريحة كمحلل ٨×٣ حيث سيكون الطرف D فى هذه الحالة طرف تنشيط. جدول (٥-١) يبين جدول الحقيقة لهذه الشريحة .

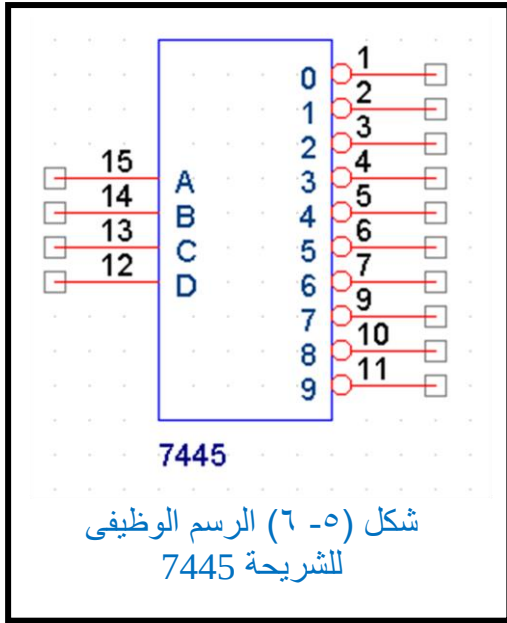
الدخل				الخرج									
D	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7	Y8	Y9
0	0	0	0	0	1	1	1	1	1	1	1	1	1
0	0	0	1	1	0	1	1	1	1	1	1	1	1
0	0	1	0	1	1	0	1	1	1	1	1	1	1
0	0	1	1	1	1	1	0	1	1	1	1	1	1
0	1	0	0	1	1	1	1	0	1	1	1	1	1
0	1	0	1	1	1	1	1	1	0	1	1	1	1
0	1	1	0	1	1	1	1	1	1	0	1	1	1
0	1	1	1	1	1	1	1	1	1	1	0	1	1
1	0	0	0	1	1	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0

جدول ٥-٢ جدول الحقيقة للشريحة 7442

٥-٣ الشريحة 7445 محلل شفرات عشرية مكودة ثنائيا

إلى عشرية/دافع تيار BCD to Decimal Decoder/Driver

هذه الشريحة لها ٤ دخول عالية الفعالية يوضع عليها الكود الثنائي للأرقام من صفر إلى عشرة. على ضوء هذا الكود تقوم الشريحة بتنشيط واحد فقط من مخرجها العشرة كما في شكل (٥-٦). الطرف ١٦ هو طرف القدرة والأرضى على طرف ٨. جدول ٥-٣ يبين جدول الحقيقة لهذه الشريحة. هذه المخارج منخفضة الفعالية، أى أن الخرج النشط يكون صفرا. إذا كان الكود الموجود على الدخل أكبر من تسعة (1001) فإن جميع الخرج تكون وحيد ، أى غير فعالة. تيار القدرة لهذه الشريحة ٢٨ مللي أمبير. يمكن استخدام هذه الشريحة كمحلل ٨×٣ حيث سيكون الطرف D فى هذه الحالة طرف تنشيط. ميزة هذه الشريحة أنها يمكنها أن تبلع حتى ٨٠ مللي أمبير من أطراف الخرج النشطة لذلك يمكن استخدامها لإدارة ملفات solenoid أو إنارة لمبات LEDs.



الدخل				الخرج									
D	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7	Y8	Y9
0	0	0	0	0	1	1	1	1	1	1	1	1	1
0	0	0	1	1	0	1	1	1	1	1	1	1	1
0	0	1	0	1	1	0	1	1	1	1	1	1	1
0	0	1	1	1	1	1	0	1	1	1	1	1	1
0	1	0	0	1	1	1	1	0	1	1	1	1	1
0	1	0	1	1	1	1	1	1	0	1	1	1	1
0	1	1	0	1	1	1	1	1	1	0	1	1	1
0	1	1	1	1	1	1	1	1	1	1	0	1	1
1	0	0	0	1	1	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0

جدول ٥-٣ جدول الحقيقة للشريحة 7445

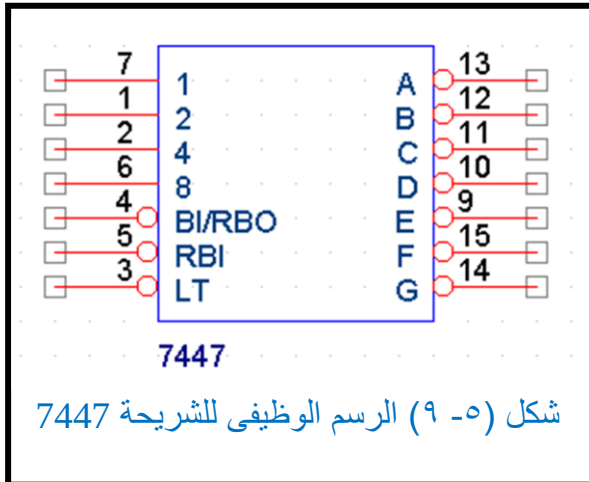
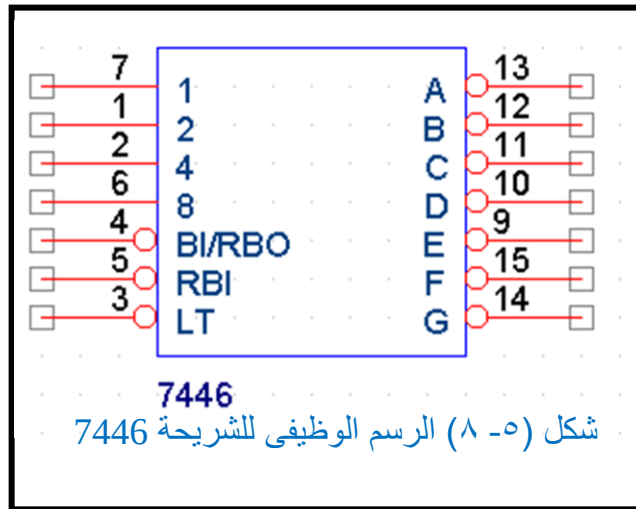
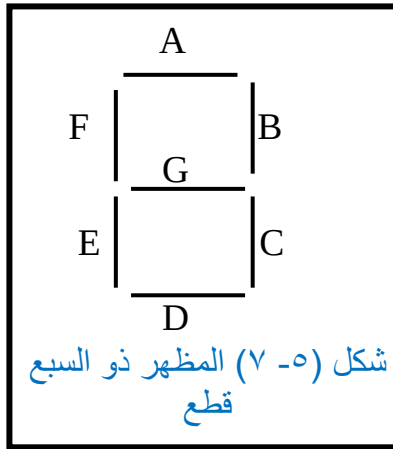
٥-٤ الشرائح 7446 و 7447 و 7448 و 7449 محلل شفرات عشرية مكودة ثنائيا إلى

شفرات المظهرات ذات ٧ قطع/دافع تيار

BCD to 7 segment Decoder/Driver

هذه الشرائح لها ٤ مداخل يتم إدخال شفرات عشرية مكودة ثنائيا BCD عليها، فتقوم بتحويل هذه الشفرات إلى شفرات سباعية مناسبة لإنارة المظهرات ذات السبع قطع كالموضحة في شكل (٥-٧). هذا يعني أن هذه الشرائح سيكون لها ٧ مخارج يرمز لها بالرموز A و B و C و D و E و F و G وهذه تقابل القطع المعينة على المظهر. شكل (٥-٨) يبين الرسم الوظيفي للشريحة ٧٤٤٦. طرف القدرة لهذه الشريحة هو ١٦ والأرضى هو الطرف ٨. جميع مخارج الشريحة منخفضة الفعالية، بمعنى أن المخرج النشط

سيكون جهده منخفض (0) وفي هذه الحالة فإن القطعة المناظرة له ستضيء. هذه الشرائح يمكنها أن تبتلع sink حتى ٤٠ مللى أمبير. الطرف ١٦ هو طرف القدرة والطرف ٨ هو الأرضي لكل هذه الشرائح.

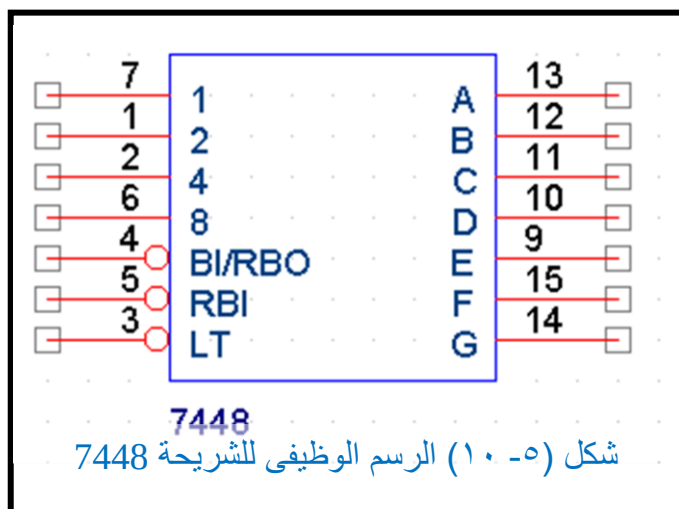


تحتوى الشريحة ٧٤٤٦ على ٣ خطوط تحكم يمكن أن نفهم وظيفة كل منها بالنظر إلى جدول الحقيقة. فمثلا الدخل Ripple Blanking Input, RBI منخفض الفعالية وعندما يكون فعال (0) فإن جميع الخرج تظلم وتكون في الحالة العالية وذلك بشرط أن تكون كل المداخل الأخرى أصفارا. ولكي تعمل الشريحة في الوضع العادى فإن هذا الدخل يخمد بوضعه يساوى واحد. هناك أيضا الدخل Lamp Test, LT المنخفض الفعالية الذى حينما يكون صفرا فإن جميع المخارج تكون فعالة وتضئ المظاهرات المقابلة لها مهما كانت المداخل الأخرى وهذا الخط يستخدم لاختبار اللمبات هل تعمل أم لا.

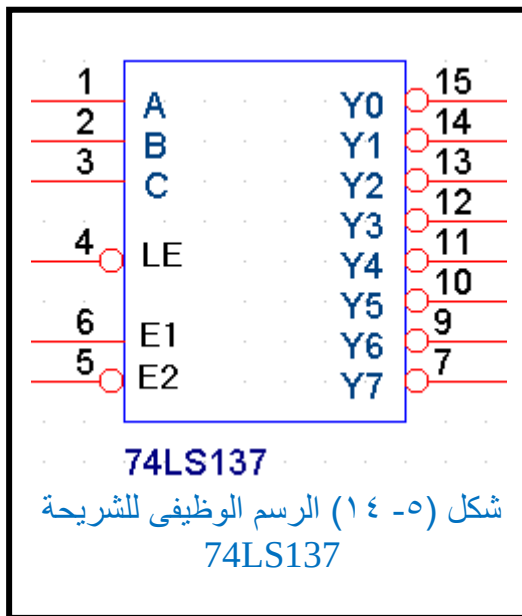
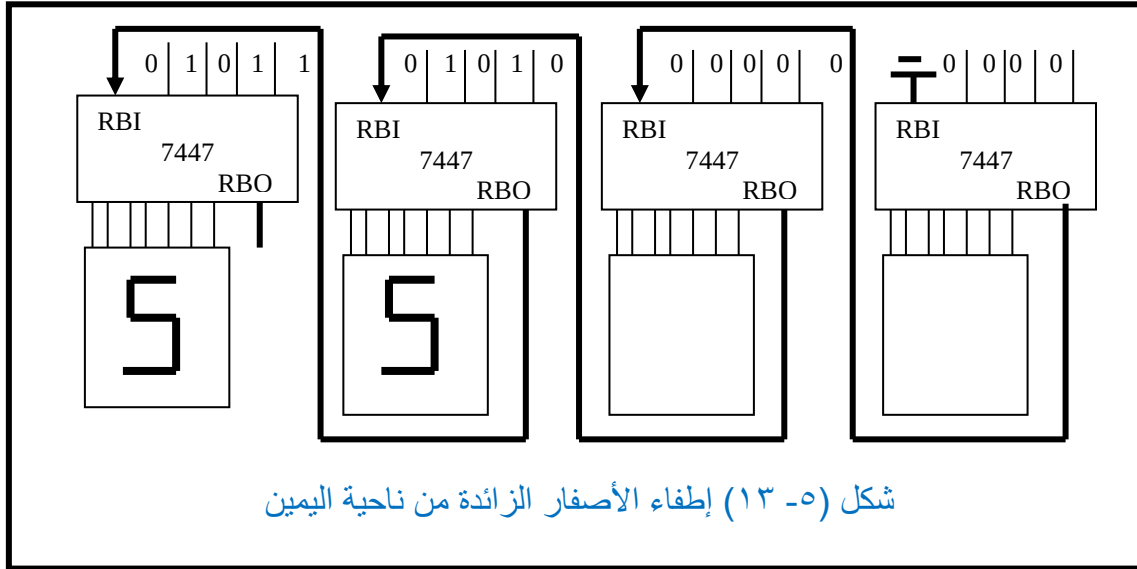
الدخل الأخير من هذه المداخل هو الدخل Blanking Input, BI/Ripple Blanking Output, RBO وهو منخفض الفعالية أيضا وحينما يكون فعالا فإن جميع المخارج تكون مخدمة (1) ولن تضئ المقاطع المناظرة لها مهما كانت المداخل الأخرى، والخط في هذه الحالة يمثل دخل للشريحة. هذا الخط يمثل أيضا إشارة خرج RBO تكون صفر إذا كانت جميع مداخل الشريحة أصفارا. شكل (٥-٩) يبين الرسم الوظيفي للشريحة ٧٤٤٧. جدول ٥-٤ يبين جدول الحقيقة للشريحتين ٧٤٤٦ و ٧٤٤٧ حيث نرى أن الخرج الفعال يكون منخفضا وهذا يعنى أن هاتين الشريحتين تستخدمان لتشغيل المظاهرات ذات الأنود الواحد الذى يوصل على الجهد العالى Vcc.

	الدخل							الخروج						
	LT	RBI	8	4	2	1	RBO	A	B	C	D	E	F	G
0	H	X	L	L	L	L	H	L	L	L	L	L	L	H
1	H	X	L	L	L	H	H	H	L	L	H	H	H	H
2	H	X	L	L	H	L	H	L	L	H	L	L	H	L
3	H	X	L	L	H	H	H	L	L	L	L	H	H	L
4	H	X	L	H	L	L	H	H	L	L	H	H	L	L
5	H	X	L	H	L	H	H	L	H	L	L	H	L	L
6	H	X	L	H	H	L	H	H	H	L	L	L	L	L
7	H	X	L	H	H	H	H	L	L	L	H	H	H	H
8	H	X	H	L	L	L	H	L	L	L	L	L	L	L
9	H	X	H	L	L	H	H	L	L	L	H	H	L	L
10	H	X	H	L	H	L	H	H	H	H	L	L	H	L
11	H	X	H	L	H	H	H	H	H	L	L	H	H	L
12	H	X	H	H	L	L	H	H	L	H	H	H	L	L
13	H	X	H	H	L	H	H	L	H	H	L	H	L	L
14	H	X	H	H	H	L	H	H	H	H	L	L	L	L
15	H	X	H	H	H	H	H	H	H	H	H	H	H	H
	X	X	X	X	X	X	L	H	H	H	H	H	H	H
	H	L	L	L	L	L	L	H	H	H	H	H	H	H
	L	X	X	X	X	X	H	L	L	L	L	L	L	L

جدول ٥-٤ جدول الحقيقة للشريحتين 7446 و 7447



الشريحة 7448 لها نفس وظيفة الشريحة 7446 أو 7447 سوى أن خرجها على الفعالية كما في شكل (٥-١٠). أى أن الخرج الفعال يكون جهده على (١). لذلك فإن هذه الشريحة تستخدم لإدارة المظهرات ذات الكثود الموحد. يتضح ذلك من الرسم الوظيفي للشريحة حيث لا يوجد عواكس على الخرج كما في الشرائح السابقة.



٥-٥ الشريحة 74LS137 محل شفرة ٨/٣ ،

موزع بيانات ٨/١

مع ماسك للدخل

3 to 8 Decoder/1 of 8

Demultiplexer with input latch

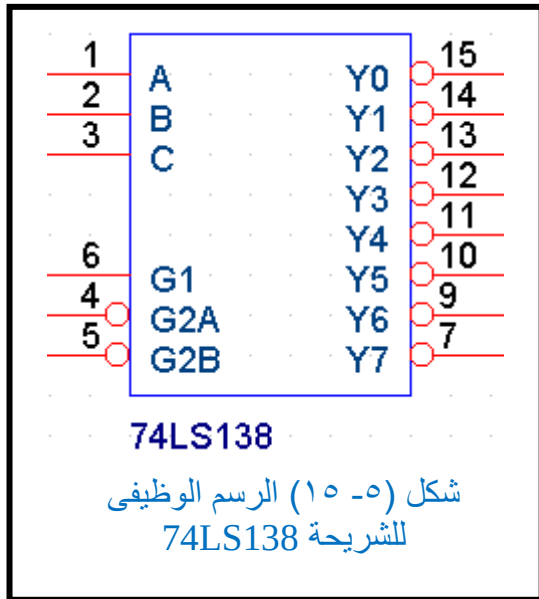
هذه الشريحة عبارة عن محل شفرة له ٣ دخول A و B و C وثمان خروج Y0 حتى Y7. جميع الخرج منخفضة الفعالية، أى أن أى خرج يكون فعالا عندما يكون صفرا (0). شكل (٥-١٤) يبين الرسم الوظيفي لهذه الشريحة. الطرف ١٦ هو طرف القدرة والطرف

٨ هو الأرضى. على حسب الشفرة الموجودة على الدخول الثلاثة يتم تنشيط واحد من الخرج على حسب جدول الحقيقة المبين في جدول ٥-٥. الشريحة لها خطى تنشيط، أحدهما منخفض الفعالية وهو الخط $\overline{E2}$ على الطرف ٥ للشريحة والثاني على الفعالية وهو الخط E1 على الطرف ٦. أى أن الشريحة لن تعمل إلا إذا كان E2=0 و E1=1. الشريحة لها خط تحكم آخر وهو الخط Latch Enable, LE حيث عند انتقال الإشارة على هذا الخط من صفر لواحد فإن العناوين الموجودة على خطوط الدخل A و B و C يتم مسكها. لذلك فإن هذه الشريحة مفيدة عند الاستخدام لتشفير خطوط العناوين من معالج أو ميكروكمبيوتر. بوضع بيانات على الطرف E1 العالى الفعالية يمكن للشريحة أن تعمل كموزع بيانات Demultiplexer يرسل البيانات الموجودة على الخط E1 إلى الخرج الذى يتم اختياره عن طريق خطوط الدخل A و B و C. سيأتى شرح موزع البيانات فيما بعد.

الدخل Input						الخروج Output							
$\overline{LE}$	$\overline{E2}$	E2	C	B	A	$\overline{Y0}$	$\overline{Y1}$	$\overline{Y2}$	$\overline{Y3}$	$\overline{Y4}$	$\overline{Y5}$	$\overline{Y6}$	$\overline{Y7}$
H	L	H	X	X	X	S	S	S	S	S	S	S	S
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	L	X	X	X	H	H	H	H	H	H	H	H
L	L	H	L	L	L	L	H	H	H	H	H	H	H
L	L	H	L	L	H	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	L	H	H	H	H	H
L	L	H	L	H	H	H	H	H	L	H	H	H	H
L	L	H	H	L	L	H	H	H	H	L	H	H	H
L	L	H	H	L	H	H	H	H	H	H	L	H	H
L	L	H	H	H	L	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	L

X = غير مهم Don't care L = صفر Low H = واحد High S = مستقر Stable

جدول ٥-٥ جدول الحقيقة لمحلل الشفرات 74LS137



٥-٦ الشريحة 74LS138 محلل شفرة ٨/٣ ،

موزع بيانات ٨/١

3 to 8 Decoder/1 of 8

Demultiplexer

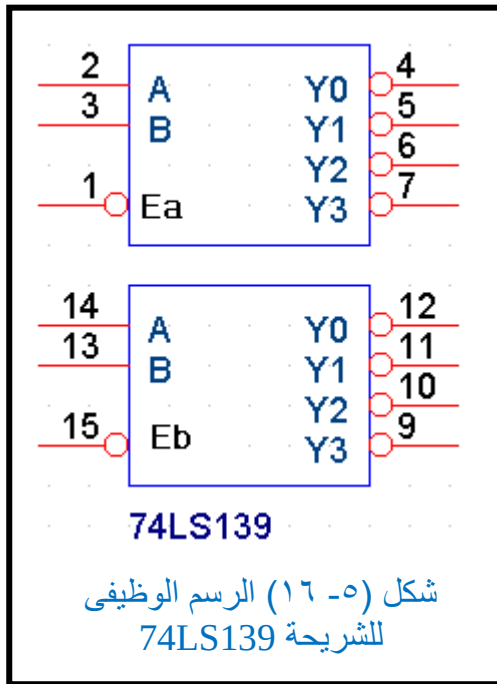
هذه الشريحة عبارة عن فاكك شفرة له ٣ دخول A و B و C وثمان خروج Y0 حتى Y7. جميع الخرج منخفضة الفعالية، أى أن أى خرج يكون فعال عندما يكون صفراً (0). شكل (٥-١٥) يبين الرسم الوظيفي لهذه الشريحة. الطرف ١٦ هو طرف القدرة والطرف ٨ هو الأرضى. على حسب الشفرة الموجودة على الدخول الثلاثة يتم تنشيط

واحد من الخرج على حسب جدول الحقيقة المبين فى جدول ٥-٦. الشريحة لها ٣ خطوط تنشيط، اثنان منهما منخفضا الفعالية وهما G2A و G2B والثالث على الفعالية وهو الخط G1. أى أن الشريحة لن تعمل إلا إذا كان كل من G2A و G2B يساوى صفر و G1 يساوى واحد. يمكن للشريحة أن تعمل كموزع بيانات Demultiplexer يرسل البيانات الموجودة على الخط G2A أو الخط G2B إلى الخرج الذى يتم اختياره عن طريق خطوط الدخل A و B و C. الإصدار 74LS138 له زمن مرور (تأخير) Propagation delay مقداره ٢٠ نانوثانية ، وتيار قدرة مقداره ٦,٣ مللى أمبير. بينما الإصدار 74S138 له زمن مرور مقداره ٧ نانوثانية وتيار مصدر القدرة مقداره ٤٩ مللى أمبير.

الدخل Input						الخروج Output							
$\overline{G2A}$	$\overline{G2B}$	G1	C	B	A	$\overline{Y0}$	$\overline{Y1}$	$\overline{Y2}$	$\overline{Y3}$	$\overline{Y4}$	$\overline{Y5}$	$\overline{Y6}$	$\overline{Y7}$
H	X	X	X	X	X	H	H	H	H	H	H	H	H
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	L	X	X	X	H	H	H	H	H	H	H	H
L	L	H	L	L	L	L	H	H	H	H	H	H	H
L	L	H	L	L	H	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	L	H	H	H	H	H
L	L	H	L	H	H	H	H	H	L	H	H	H	H
L	L	H	H	L	L	H	H	H	H	L	H	H	H
L	L	H	H	L	H	H	H	H	H	H	L	H	H
L	L	H	H	H	L	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	L

. High واحد = H Low صفر = L Don't care مهم = X

جدول ٦-٥ الحقيقة لمحلل الشفرات 74LS138



٥-٧ الشريحة 74LS139 اثنان محلل شفرة ٢/٤ ،

موزع بيانات ١/٤

Dual 2 to 4 Decoder/1 of 4

Demultiplexer

هذه الشريحة تحتوي اثنان محلل شفرة كل منهما له ٢ دخل A و B وأربع مخرج Y0 حتى Y3. جميع المخرج منخفضة الفعالية، أى أن أى خرج يكون فعالاً عندما يكون صفراً (0). شكل (٥-١٦) يبين الرسم الوظيفي لهذه الشريحة. الطرف ١٦ هو طرف القدرة والطرف ٨ هو الأرضى. على حسب الشفرة الموجودة على الدخلين يتم تنشيط واحد من المخرج على حسب جدول الحقيقة المبين في جدول ٥-٧. كل محلل شفرة له خط تنشيط واحد E ، وهذا الخط منخفض الفعالية. أى أن الشريحة لن تعمل

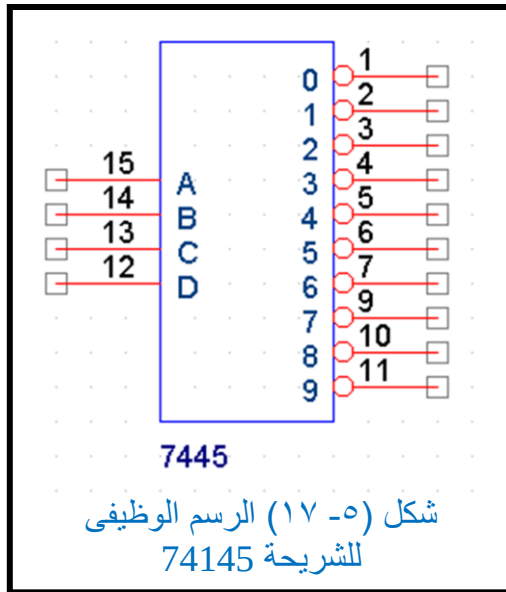
إلا إذا كان هذا الخط يساوى صفر. يمكن للشريحة أن تعمل كموزع بيانات Demultiplexer يرسل البيانات الموجودة على طرف التنشيط E إلى المخرج الذى يتم اختياره عن طريق خطوط الدخل A و B. الإصدار 74LS139 له زمن مرور (تأخير) Propagation delay مقداره ١٩ نانوثانية، وتيار قدرة مقداره ٦,٨ مللى أمبير. بينما الإصدار 74S139 له زمن مرور مقداره ٦ نانوثانية وتيار مصدر القدرة مقداره ٦٠ مللى أمبير.

الدخل Input			الخروج Output			
$\bar{E}$	B	A	$\bar{Y0}$	$\bar{Y1}$	$\bar{Y2}$	$\bar{Y3}$
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L

جدول ٧-٥ جدول الحقيقة لمحلل الشفرات 74LS139

٨-٥ الشريحة 74145 محلل شفرات عشرية مكودة ثنائيا إلى عشرية/دافع تيار (مجمع مفتوح)

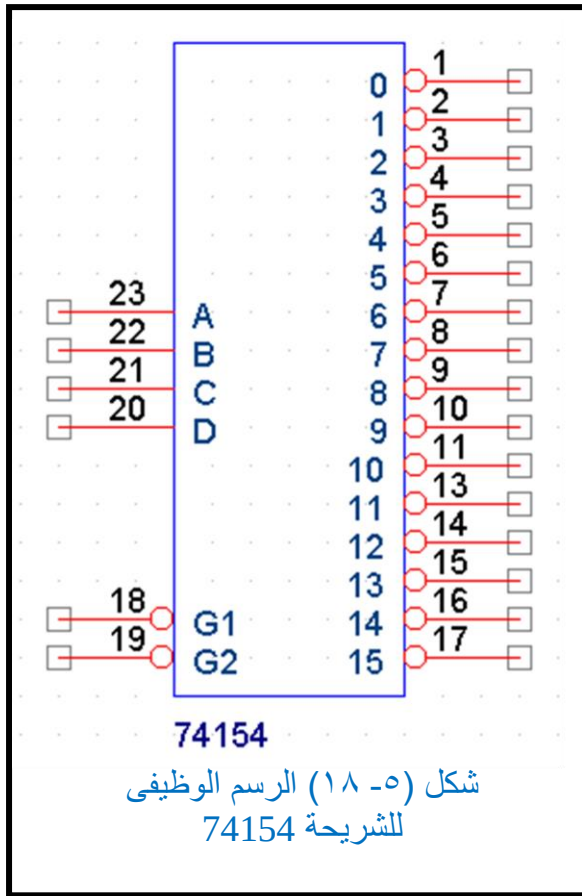
BCD to Decimal Decoder/Driver (Open Collector)



هذه الشريحة لها ٤ دخول عالية الفعالية A و B و C و D يوضع عليها الكود الثنائي للأرقام من صفر إلى عشرة. على ضوء هذا الكود تقوم الشريحة بتنشيط واحد فقط من مخرجها العشرة. هذه المخرج منخفضة الفعالية، أى أن المخرج النشط يكون صفرا. إذا كان الكود الموجود على الدخل أكبر من تسعة (1001) فإن جميع المخرج تكون وحيدة، أى غير فعالة. تيار القدرة لهذه الشريحة ٤٣ مللي أمبير وزمن التأخير لها ٢٤ نانوثانية. شكل (٥-١٧) يبين الرسم الوظيفي لهذه الشريحة. الطرف ١٦ هو طرف القدرة والطرف ٨ هو الأرضى. يمكن استخدام هذه الشريحة كمحلل ٨×٣ حيث سيكون الطرف D في هذه الحالة طرف تنشيط. ميزة هذه الشريحة أنها يمكن استخدامها لإدارة ملفات solenoid أو إنارة لمبات حيث أن مخرجها على مجمع مفتوح. الشريحة متوافقة تماما من حيث الأطراف مع الشريحة 7445 التي سبق شرحها.

٥-٩ الشريحة 74154 و 74LS154 محلل الشفرات ٤/١٦ ، موزع بيانات ١٦/١

4 to 16 Decoders/Demultiplexers,



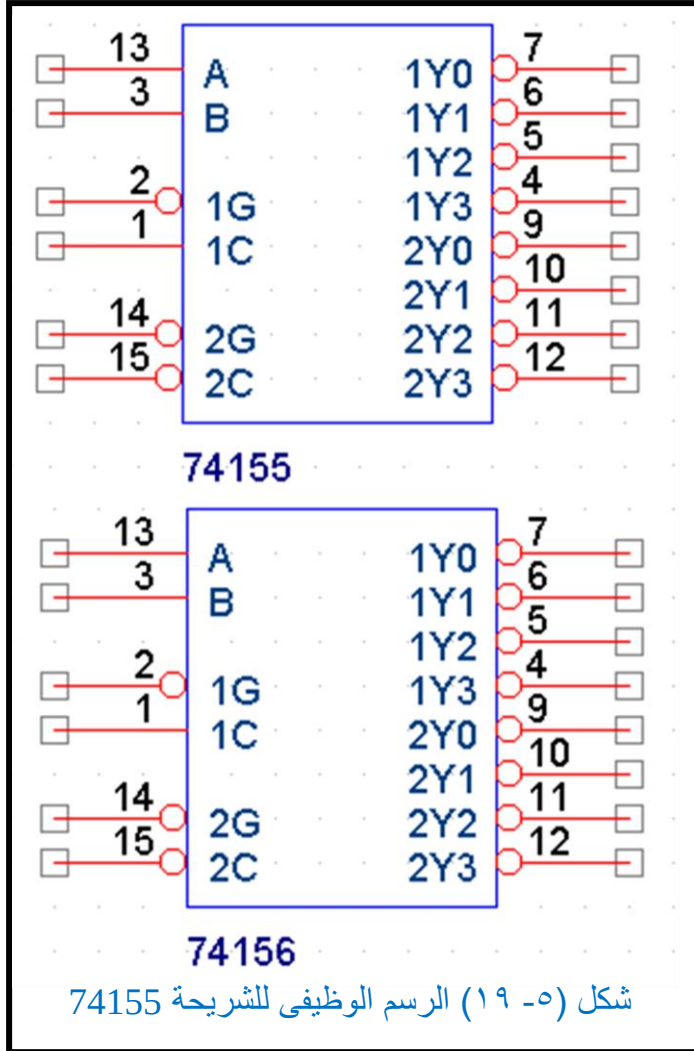
هذه الشريحة لها ٤ دخول عالية الفعالية A و B و C و D يوضع عليها الكود الثنائي للأرقام من صفر إلى ١٥. على ضوء هذا الكود تقوم الشريحة بتنشيط واحد فقط من مخرجها الستة عشرة. هذه المخرج منخفضة الفعالية، أى أن الخرج النشط يكون صفراً. شكل (٥-١٨) يبين الرسم الوظيفي لهذه الشريحة. الطرف ٢٤ هو طرف القدرة والطرف ١٢ هو الأرضى. الشريحة لها طرفي تنشيط G1 و G2 منخفضى الفعالية، أى أنه عند عدم تنشيط أحد هذه الأطراف (1) فإن مخرج الشريحة ستكون كلها غير فعالة (1). يمكن استخدام هذين الطرفين للحصول على محلات شفرة أكبر. يمكن استخدام الشريحة كموزع للبيانات demultiplexer حيث يتم إدخال البيانات على أحد خطى التنشيط، وعندما يكون الخط الآخر صفر فإن البيانات يتم استقبالها على المخرج المحدد بالشفرة الموجودة على المداخل. زمن التأخير للشريحة 74154 هو ٢١ نانوثانية وتيار القدرة لها هو ٣٤ مللى أمبير. بالنسبة للشريحة 74LS154 فإن زمن التأخير لها هو ١٥ نانوثانية وتيار القدرة هو ٩ مللى أمبير.

٥-١٠ الشريحة 74155 ٢ محلل شفرة ٢/٤ ، موزع بيانات ٤/١

الشريحة 74155 تحتوى ٢ محلل شفرة كل منهم له ٤ مخرج كما فى شكل (٥-١٩). محلل الشفرة الأول مخرجه هي 1Y0 إلى 1Y3، وأما المحلل الثانى فمخرجه هي 2Y0 إلى 2Y3. كل هذه المخرج منخفضة الفعالية. المحلل الأول له خطى تنشيط هما 1G وهو منخفض الفعالية و 1C وهو مرتفع الفعالية. المحلل الثانى له خطى تنشيط 2G و 2C وكلاهما منخفض الفعالية. المحللان لهما نفس الدخلين A و B حيث سيتم تنشيط خط الخرج المناسب من أحد المحللين الذى يتم تنشيطه وعلى حسب الشفرة الموجودة على الدخلين A و B. زمن التأخير للشريحة 74155 هو ١٨ نانوثانية وتيار المصدر لها هو ٢٥ مللى أمبير. طرف القدرة هو الطرف ١٦ والأرضى هو الطرف ٨. هناك أيضا الشريحة 74LS155 التى لها زمن تأخير مقداره ١٧ نانوثانية وتيار المصدر مقداره ٦ مللى أمبير. عندما تكون خطوط تنشيط أى واحد من المحللين غير فعالة فإن كل مخرجه ستكون غير فعالة أيضا، أى وحيد.

٥-١١ الشريحة 74156 و 74LS156

٢ محلل شفرة ٤/٢ ، موزع بيانات ٤/١ مجمع مفتوح



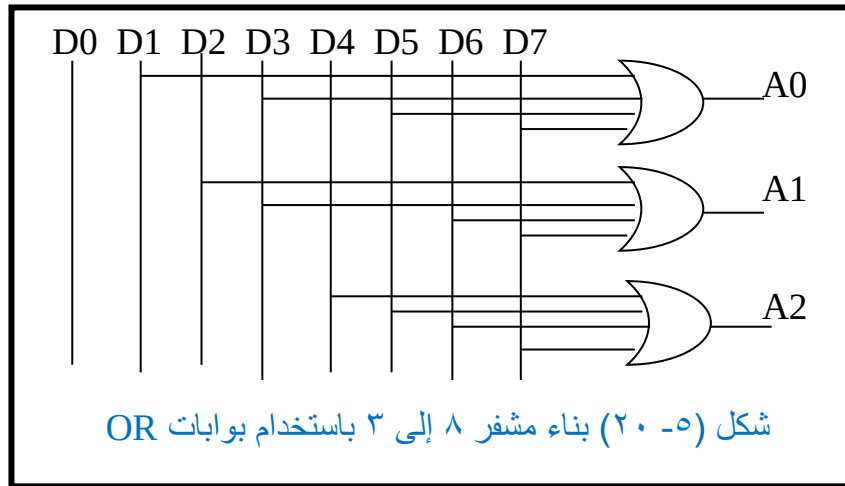
الشريحتان 74156 و 74LS156 لهما نفس الخواص للشريحة 74155 تماما ومتوافقة معها في الأطراف كما في شكل (٥-١٩) سوى أن الخرج مفتوح Open Collector. إن ذلك يعني أنه عند استعمال أى واحد من هذه المخارج لابد من توصيله أولاً على مصدر القدرة V_{cc} من خلال مقاومة مقدارها ٤,٧ كيلو أوم تقريباً. الشريحة 74156 لها زمن تأخير مقداره ٢٠ نانوثانية و تيار مصدر مقداره ٢٥ مللى أمبير. الشريحة 74LS156 لها زمن تأخير مقداره ٣١ نانوثانية، و تيار مصدر مقداره ٦ مللى أمبير.

٥-١٢ المشفرات Encoders

تقوم المشفرات بالوظيفة العكسية لمحللات الشفرة. فإذا كان محلل الشفرة يقوم بتنشيط واحد من خطوط الخرج على حسب الشفرة الموجودة على خطوط الدخل، فإن المشفر يقوم بتوليد شفرة ثنائية معينة على خطوط الخرج وذلك عند تنشيط واحد فقط من خطوط الدخل. لذلك إذا كان عدد خطوط الخرج هو n فإن عدد خطوط الدخل سيكون 2^n . لذلك فإن جدول الحقيقة لمشفر ٨ إلى ٣ سيكون كما في جدول ٥-٨ حيث ٨ هي عدد خطوط الدخل بينما ٣ هي عدد خطوط الخرج التي ستظهر عليها الشفرة الثنائية للدخل النشط.

الدخل								الخروج		
D7	D6	D5	D4	D3	D2	D1	D0	A2	A1	A0
0	0	0	0	0	0	0	1	0	0	0
0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	1	0	0	0	1	0
0	0	0	0	1	0	0	0	0	1	1
0	0	0	1	0	0	0	0	1	0	0
0	0	1	0	0	0	0	0	1	0	1
0	1	0	0	0	0	0	0	1	1	0
1	0	0	0	0	0	0	0	1	1	1

جدول ٨-٥ جدول الحقيقة لمشفّر ٨ إلى ٣



يمكن بناء المشفر باستخدام بوابات OR وذلك من جدول الحقيقة مباشرة حيث يمكن كتابة الخرج كما يلي:

$$A0 = D1 + D3 + D5 + D7$$

$$A1 = D2 + D3 + D6 + D7$$

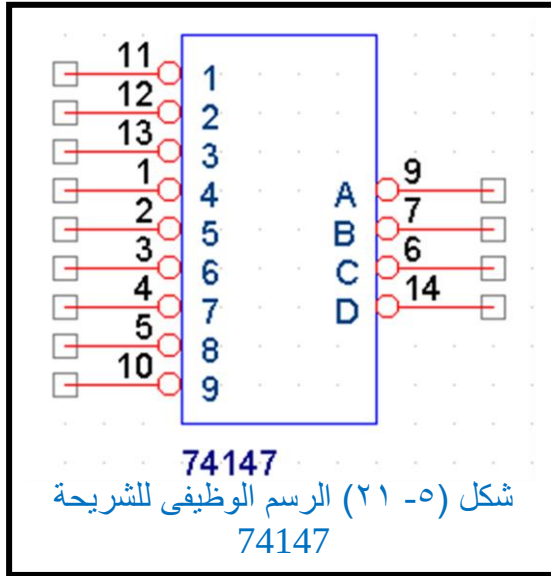
$$A2 = D4 + D5 + D6 + D7$$

وهذه المعادلات يمكن بناؤها كما في شكل (٥- ٢٠). وفيما يلي بعض شرائح المشفرات الشائعة.

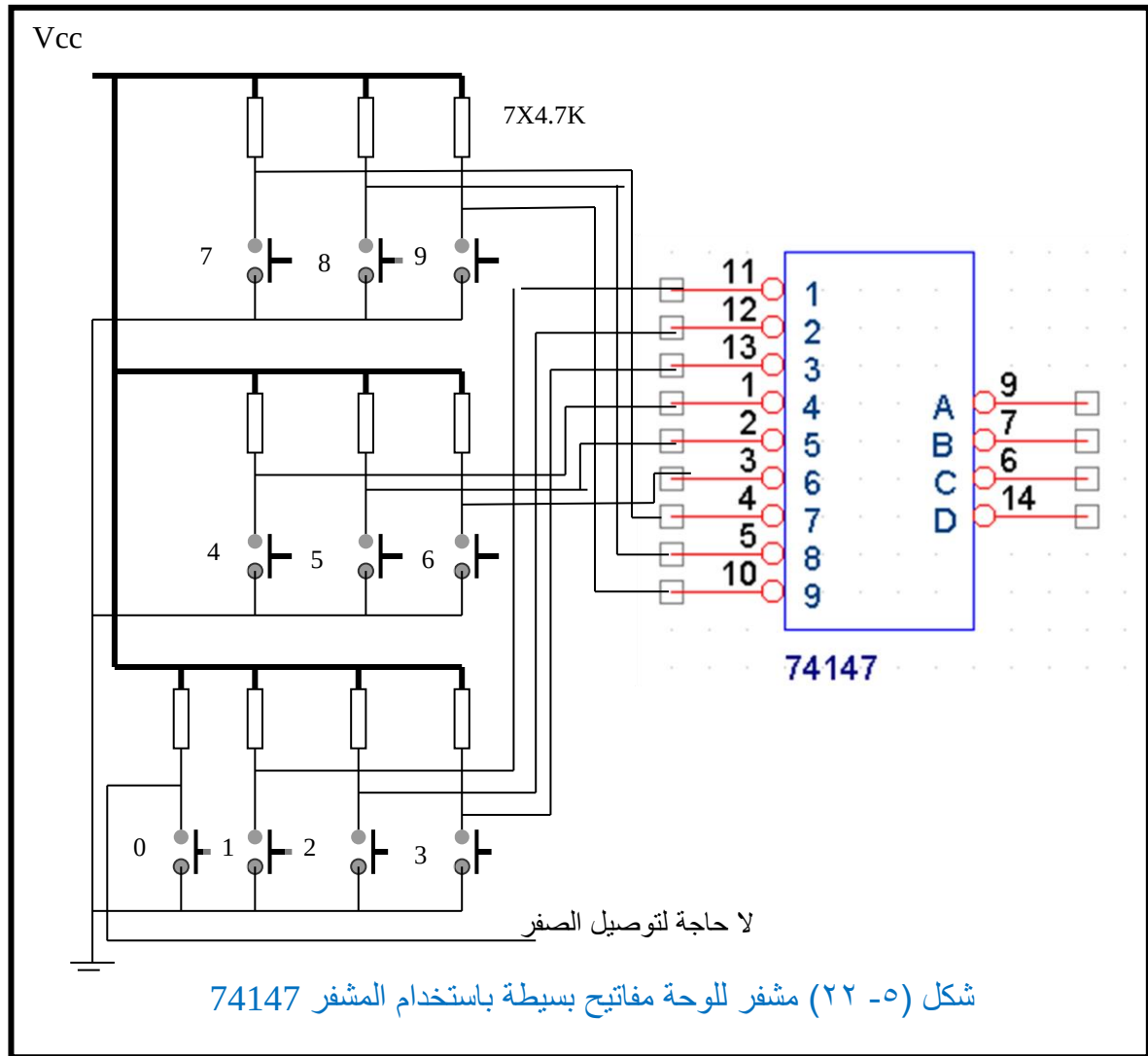
٥-١٣ الشريحة 74147 مشفر ١٠ إلى ٤ مع الأولوية

10 to 4 lines priority encoder

هذه الشريحة لها ٩ مداخل كلها منخفضة الفعالية، ولها أيضا ٤ مخارج كلها أيضا منخفضة الفعالية كما في شكل (٥- ٢١). عند تنشيط أى واحد من خطوط الدخل أى جعله يساوى صفر فإن الشفرة الثنائية العكسية لهذا الدخل ستظهر على خطوط الخرج الأربعة. كمثال على ذلك ، عندما $I1=0$ فإن الخرج سيكون 1110 وهى الشفرة الثنائية العكسية للرقم العشرى واحد. لاحظ أن هناك ٩ مداخل فقط لأن الخرج الأول هو $I0$ وهو موجود ضمنا عندما تكون جميع الدخول غير نشطة أى كلها تساوى واحد فإن ذلك يكافئ الدخل رقم صفر وفى هذه الحالة فإن الشفرة الموجودة على الخرج ستكون 1111 التى هى شفرة الرقم صفر فى هذه الحالة. هذه الشريحة بها خاصية الأولوية، بمعنى أنه عند تنشيط أكثر من دخل فى نفس الوقت فإن الدخل ذو الأولوية الأعلى هو



الذى ستظهر شفرته على الخرج ، والشريحة مجهزة بالدوائر التى تيسر هذه العملية. الخط I9 له أكبر أولوية يليه الدخل I8 وهكذا إلى أول دخل I0 الذى سيكون له أقل أولوية. طرف القدرة هو الطرف ١٦ والأرضى هو الطرف ٨. شكل (٢٢ - ٥) يبين استخدام المشفر 74147 فى عمل لوحة مفاتيح مبسطة مكونة من عشرة مفاتيح، وعند الضغط على أى واحد من المفاتيح فإن المشفر يخرج شفرة رباعية لهذا المفتاح يمكن قراءتها عن طريق المعالج أو عن طريق الحاسب.

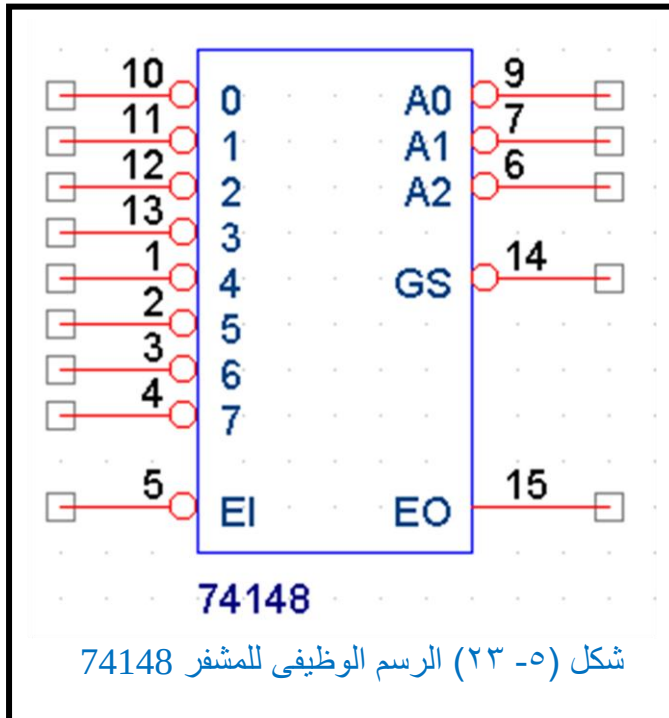


الدخل									الخروج			
1	2	3	4	5	6	7	8	9	D	C	B	A
H	H	H	H	H	H	H	H	H	H	H	H	H
X	X	X	X	X	X	X	X	L	L	H	H	L
X	X	X	X	X	X	X	L	H	L	H	H	H
X	X	X	X	X	X	L	H	H	H	L	L	L
X	X	X	X	X	L	H	H	H	H	L	L	H
X	X	X	X	L	H	H	H	H	H	L	H	L
X	X	X	L	H	H	H	H	H	H	L	H	H
X	X	L	H	H	H	H	H	H	H	H	L	L
X	L	H	H	H	H	H	H	H	H	H	L	H
L	H	H	H	H	H	H	H	H	H	H	H	L

جدول ٥- ٩ جدول الحقيقة للشريحة 74147. X تعنى لا يهم

٥-١٤ الشريحة 74148 مشفر ٨ إلى ٣ مع الأولوية

Encoder 8 to 3 with priority



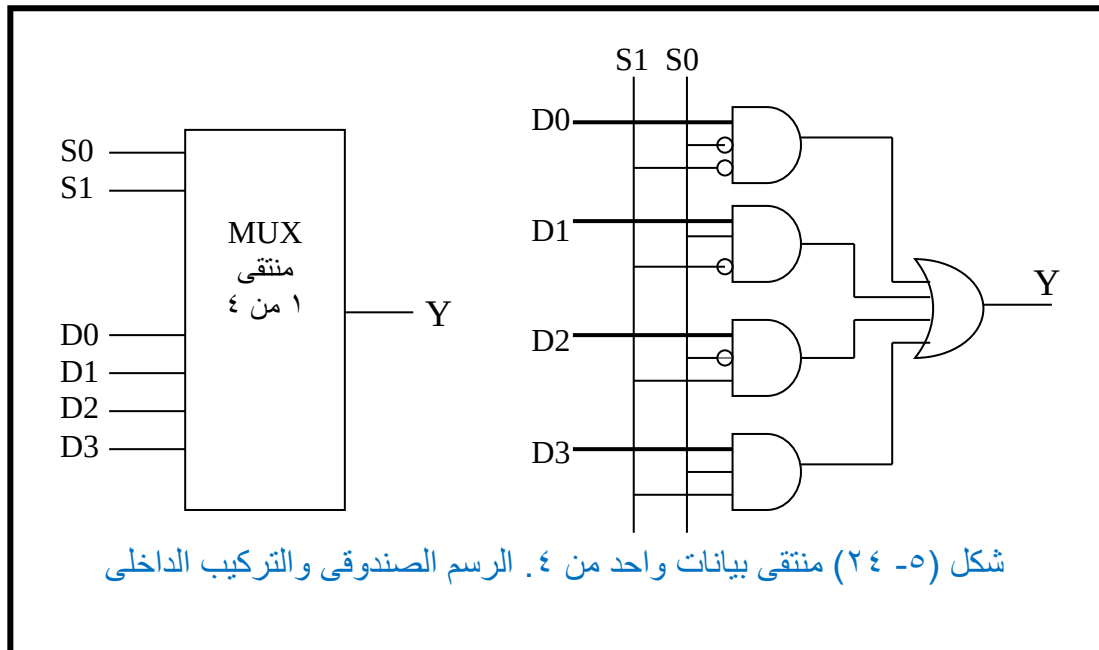
الشريحة 74148 لها ٨ مدخل كلها منخفضة الفعالية، تعطى الشفرة المقابلة لأى واحد من هذه المدخل على الثلاثة مخارج A0 و A1 و A2، وهذه المخارج منخفضة الفعالية أيضا كما فى شكل (٥-٢٣). الشريحة بها خاصية الأولوية حيث الدخل الأخير 7 يملك أعلى أولوية والدخل الأول 0 له أقل أولوية. الشريحة لها خط تنشيط EI حينما يكون فعالا (0) فإن كل خروج الشريحة تكون غير فعالة (1). طرف تنشيط الخرج EO يكون فعال (0) حينما تكون كل المدخل غير فعاله (1)، بينما الطرف Group Signal, GS فيكون فعالا (0) إذا كان أى واحد من المدخل فعال (0). تستخدم هذه الخطوط فى الحفاظ على خاصية الأولوية عند توصيل أكثر من شريحة للحصول على مشفرات أكبر. جدول الحقيقة لهذه الشريحة مبين فى جدول ٥-١٠.

الدخل									الخروج				
$\overline{E1}$	$\overline{0}$	$\overline{1}$	$\overline{2}$	$\overline{3}$	$\overline{4}$	$\overline{5}$	$\overline{6}$	$\overline{7}$	$\overline{Gs}$	$\overline{A2}$	$\overline{A1}$	$\overline{A0}$	$\overline{EO}$
H	X	X	X	X	X	X	X	X	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	X	X	X	X	X	X	X	L	L	L	L	L	H
L	X	X	X	X	X	X	L	H	L	L	L	H	H
L	X	X	X	X	X	L	H	H	L	L	H	L	H
L	X	X	X	X	L	H	H	H	L	L	H	H	H
L	X	X	X	L	H	H	H	H	L	H	L	L	H
L	X	X	L	H	H	H	H	H	L	H	L	H	H
L	X	L	H	H	H	H	H	H	L	H	H	L	H
L	L	H	H	H	H	H	H	H	L	H	H	H	H

جدول ١٠-٥ جدول الحقيقة للشريحة 74148

١٥-٥ منتقى البيانات Multiplexers/Data selector

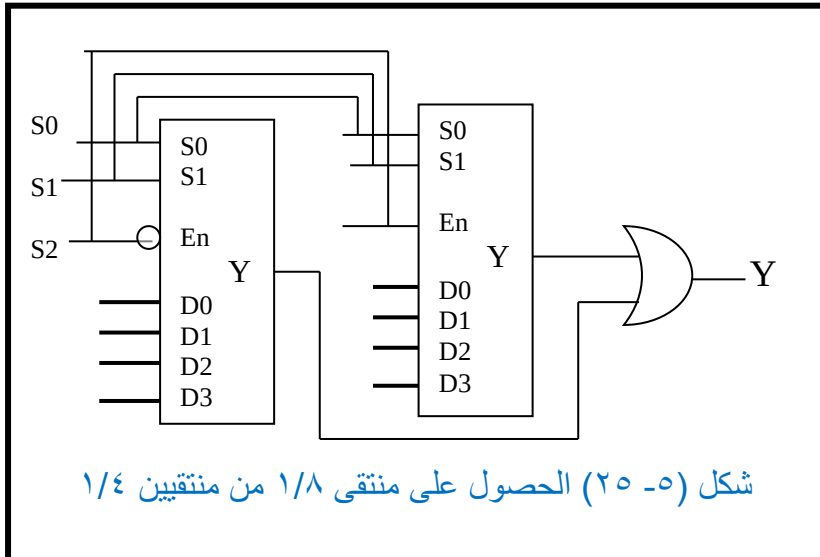
منتقى البيانات MUX هو دائرة تنتقى واحد من المداخل المتعددة وتوجه البيانات الموجودة عليه إلى خرج الدائرة الوحيد. عملية اختيار أحد المداخل تتم عن طريق استخدام خطوط اختيار select lines. إذا كان عدد خطوط الاختيار هو n فإن خطوط الدخل يكون عددها هو 2^n . شكل (٥-٢٤) يبين الرسم الصندوقي والتركيب الداخلي لمنتقى واحد من أربعة. هذا المنتقى يختار



شكل (٥-٢٤) منتقى بيانات واحد من ٤. الرسم الصندوقي والتركيب الداخلي

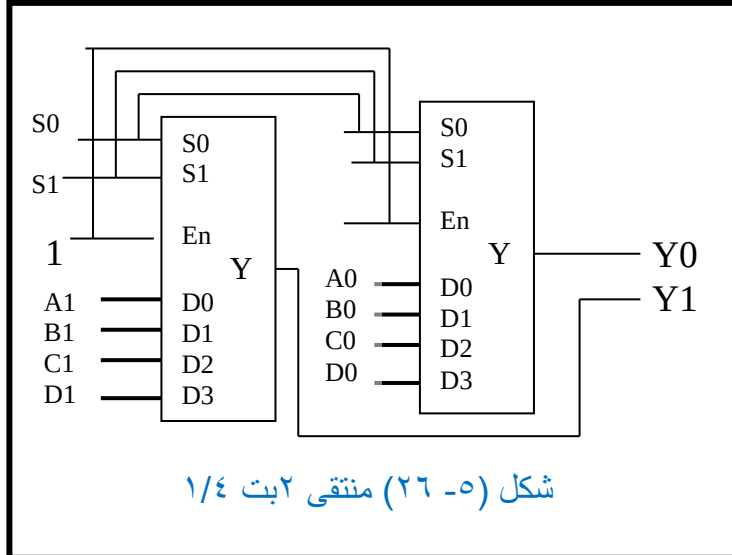
واحد من الأربعة مداخل D0 إلى D3 ويرسل البيانات الموجودة عليه إلى الخرج. تتم عملية اختيار أحد المداخل باستخدام خطي الاختيار S0 و S1.

يمكن استخدام أكثر من منتقى بإمكانيات أقل للحصول على منتقى بإمكانيات أعلى. فمثلا يمكن الحصول على منتقى واحد من ثمانية باستخدام ٢ منتقى كل منهما واحد من أربعة كما في شكل (٥-٢٥). الشرط هو أن يكون كل من المنتقين له طرف تنشيط Enable, En حيث يدخل خرج كل من المنتقين على بوابة OR كما في الشكل. لاحظ من هذا الشكل أنه عندما يكون S2=0 فإن المنتقى الأيسر ينشط



والثاني يكون خاملا وعلى ذلك فإن الخرج سيكون واحد من الإشارات الداخلة على هذا المنتقى. عندما يكون S2=1 ينشط المنتقى الأيمن ويخمد الأيسر ويكون الخرج مساويا لأحد مداخل المنتقى الأيمن. لاحظ استخدام بوابة OR لتمرير خرج المنتقى الأول أو الثاني.

بتعديل بسيط يمكن استخدام الدائرة السابقة لاختيار واحد من أربعة أرقام



A و B و C و D كل منها مكون من ٢ بت وتقريره إلى الخرج المكون من ٢ بت أيضا. يتم ذلك بالاستغناء عن البوابة OR وجعل كل من المنتقين نشط في نفس الوقت بحيث يختار المنتقى الأيمن البت الأولى من الرقم ويختار المنتقى الأيسر البت الثانية من نفس الرقم كما في شكل (٥-٢٦). بنفس الطريقة يمكن التعامل مع منتقيات ٣ و ٤ وأي عدد من البتات.

يعتبر المنتقى دائرة عامة universal circuit بمعنى أنه يمكن اشتقاق الكثير من الدوائر

الأخرى من هذه الدائرة. سنرى الآن كيفية اشتقاق بوابات AND و OR و NOT و XOR من دائرة المنتقى. كمثال على ذلك سنكتب المعادلة المنطقية لخرج المنتقى ١/٤ كما يلي :

$$Y = \overline{S_0}\overline{S_1}D_0 + S_0\overline{S_1}D_1 + \overline{S_0}S_1D_2 + S_0S_1D_3$$

من هذه المعادلة إذا وضعنا $D0=D1=D2=0$ و $D3=1$ ، فإن الخرج سيكون:

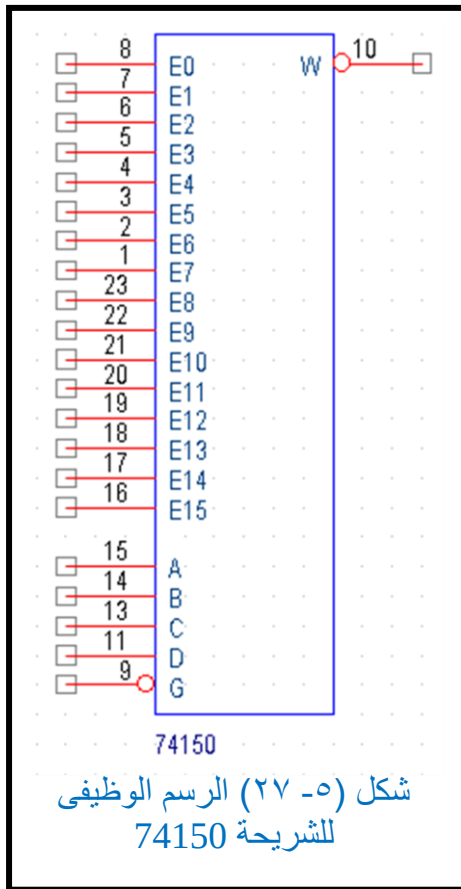
$$Y = S0S1$$

وهذا يمثل عملية AND على الإشارتين $S0$ و $S1$. بوضع $D0=0$ و $D1=D2=D3=1$ ، فإن الخرج سيكون:

$$Y = S0\overline{S1} + \overline{S0}S1 + S0S1$$

$$= S0 + S1$$

وهذا يمثل عملية OR على الإشارتين $S0$ و $S1$.



بوضع $D0=D2=1$ و $D1=D3=0$ ، فإن الخرج سيكون :

$$Y = \overline{S0}\overline{S1} + S0\overline{S1}$$

$$= \overline{S1}$$

وهذا يمثل عملية عكس للإشارة $S1$. بنفس الطريقة يمكن عكس الإشارة $S0$ أيضا.

بوضع $D0=D3=0$ و $D1=D2=1$ فإن الخرج سيكون:

$$Y = \overline{S0}S1 + S0\overline{S1}$$

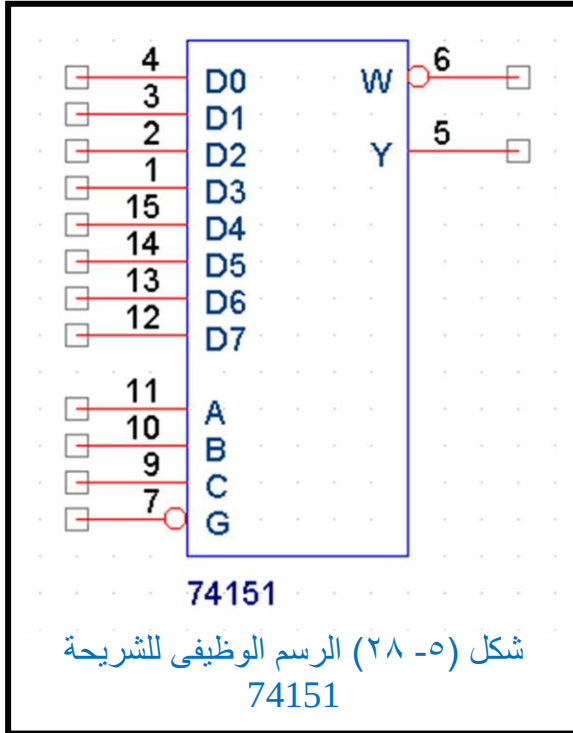
وهذا يمثل بوابة XOR. بنفس الطريقة يمكن الحصول على باقى البوابات. هذه ميزة مهمة فى المنتقى حيث يمكن بذلك استخدامه كعنصر أساسى فى الكثير من الدوائر المنطقية. سنبدأ الآن فى تقديم بعض شرائح المنتقى الشائعة.

٥-١٦ الشريحة 74150 منتقى ١/١٦

هذا المنتقى له ١٦ دخل $E0$ إلى $E15$ وأربع خطوط اختيار هى A و B و C و D وخرج واحد هو W وهو منخفض الفعالية، بمعنى أن البيانات عليه تكون عكس البيانات الموجودة على الخط المختار كما فى شكل (٥-٢٧). الشريحة لها أيضا خط تنشيط $\overline{G}$ منخفض الفعالية لا تعمل إلا إذا كان هذا الخط نشط (0)، وعندما يكون هذا الخط واحد فإن الخرج يكون واحد مهما كانت الإشارة الموجودة على خطوط الدخل أو خطوط الاختيار. زمن التأخير للشريحة هو ١٧ نانوثانية وتيار القدرة هو ٤٠ مللى أمبير. الطرف ٢٤ هو طرف القدرة والطرف ١٢ هو الأرضى.

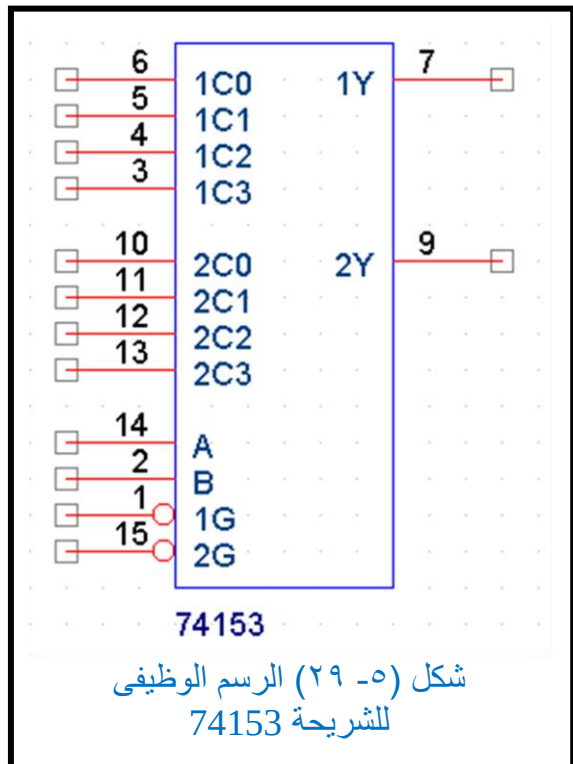
٥-١٧ الشريحة 74151 منتقى ١/٨

الشريحة 74151 بكل إصداراتها عبارة عن منتقى ١/٨ له ٨ مدخل D0 إلى D7 وثلاث خطوط اختيار هي A و B و C، وخط



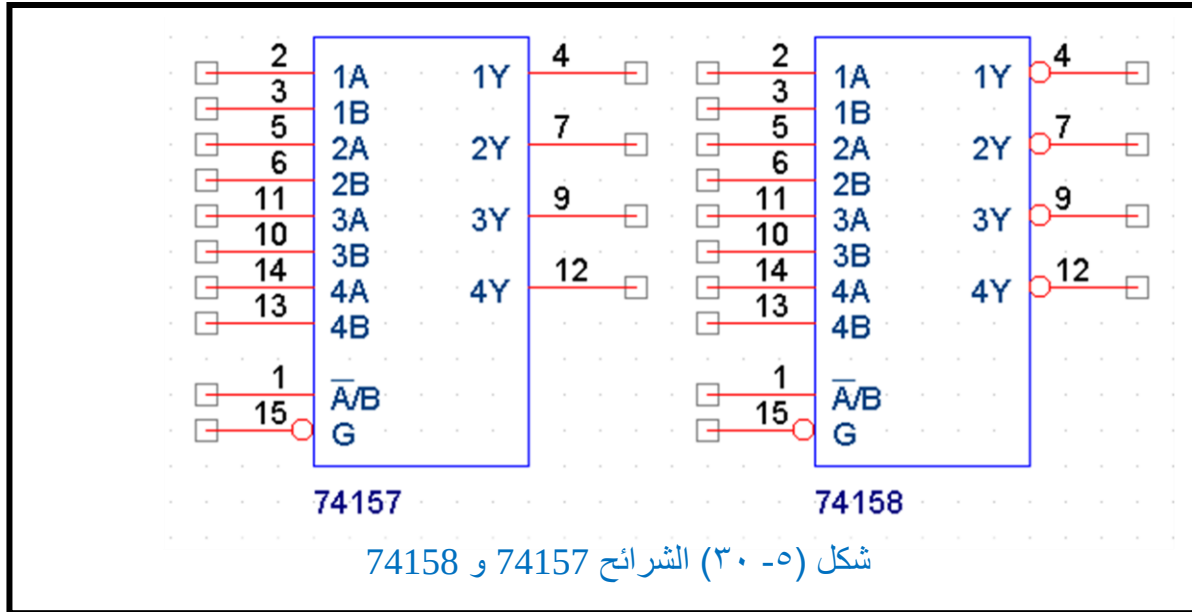
تنشيط واحد G منخفض الفعالية، وخرجان أحدهما منخفض الفعالية W والآخر على الفعالية Y كما في شكل (٥-٢٨). عندما يكون خط التنشيط غير فعال (1) فإن $Y=0$ و $W=1$ أى أن كل منهما يكون غير فعال مهما كان الدخل. الشريحة 74151 لها زمن تأخير مقداره ١٨ نانوثانية وتيار قدرة مقداره ٢٩ مللي أمبير. الشريحة 74LS151 لها زمن تأخير مقداره ١٢ نانوثانية وتيار قدرة مقداره ٦ مللي أمبير. الشريحة 74S151 لها زمن تأخير مقداره ٩ نانوثانية وتيار قدره مقداره ٤٥ مللي أمبير. كعادة معظم شرائح TTL فإن الطرف ٨ هو الأرضى GND والطرف ١٦ هو V_{cc} .

٥-١٨ الشريحة 74153 ، ٢ منتقى ١/٤



هذه الشريحة تحتوى ٢ منتقى كل منهما ١/٤ الأول خرج هو 1Y ومدخله هي 1C0 إلى 1C3 وله خط تنشيط 1G منخفض الفعالية. المنتقى الثانى خرج هو 2Y ومدخله هي 2C0 إلى 2C3 وله خط تنشيط 2G منخفض الفعالية. خطوط الاختيار لكل من المنتقين هما A و B. شكل (٥-٢٩) يبين الرسم الوظيفي لهذه الشريحة. يمكن تنشيط كل من المنتقين فى نفس الوقت $1G=2G=0$ وفى هذه الحالة يمكن اعتبار الخرج مكونا من ٢ بت وفى هذه الحالة تعتبر المداخل كما لو كانت ٤ مدخل كل منهم ٢ بت، الدخل الأول هو 1C0 و 2C0 والدخل الثانى هو 1C1 و 2C1 وهكذا. الطرف ٨ هو الأرضى والطرف ١٦ هو V_{cc} . الشريحة 74153 لها زمن تأخير مقداره ١٨ نانوثانية وتيار قدره مقداره ٣٦ مللي أمبير. الشريحة 74LS153 لها زمن تأخير مقداره ١٨ نانوثانية وتيار قدره مقداره ٦ مللي أمبير. أما الشريحة 74S153 فلها زمن تأخير مقداره ٩ نانوثانية وتيار قدرة مقداره ٤٥ مللي أمبير.

١٩-٥ الشرائح 74157 و 74158 أربعة منتقى ١/٢



الدخل			الخرج
A2	A1	A0	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

جدول ١١-٥ جدول الحقيقة لدالة المثال ١-٥

تحتوى الشريحة 74157 كما فى شكل (٥-٣٠) على ٤ منتقيات كل منها ١/٢، الأول دخله هو 1A و 1B وخرجه هو 1Y، والثانى دخله هو 2A و 2B وخرجه هو 2Y، والثالث دخله هو 3A و 3B وخرجه هو 3Y، وأما المنتقى الرابع فدخله هو 4A و 4B وخرجه هو 4Y. جميع المنتقيات لها خط اختيار واحد A/B عندما يكون صفر يتم اختيار الدخل A من كل المنتقيات الأربعة وعندما يكون واحد يتم اختيار الدخل B. الشريحة لها خط تنشيط $\bar{G}$ منخفض الفعالية، وجميع الخرجات عالية الفعالية. الشريحة 74158 مثل الشريحة 74157 تماما فيما عدا أن مخارجها منخفضة الفعالية وهذا هو الفرق الوحيد بين الشريحتين. الطرف ٨ هو الأرضى والطرف ١٦ هو Vcc فى الشريحتين.

من مميزات المنتقى كما رأينا سابقا أنه يمكن استخدامه فى بناء أى دالة منطقية توافقية يكون عدد متغيراتها مساوى أو أقل من خطوط اختيار هذا المنتقى. ولقد رأينا كيفية بناء البوابات AND و OR وغيرها وسنرى الآن كيفية بناء بعض الدوال الأكثر تعقيدا من خلال المثال التالى:

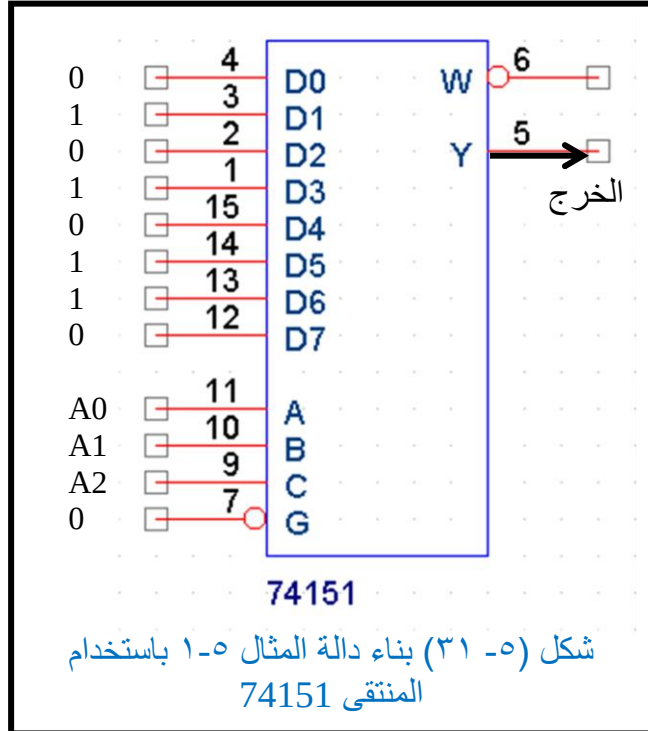
مثال ١-٥

مطلوب استخدام الشريحة 74151 فى بناء الدالة المنطقية التى تحقق جدول الحقيقة الموضح فى جدول ١١-٥.

لعمل ذلك نقوم بتوصيل متغيرات الدالة A0 و A1 و A2 على خطوط المنتقى، وأما خرج المنتقى فسيكون هو خرج الدالة كما فى الشكل التالى. معادلة خرج المنتقى يمكن كتابتها كما يلى:

$$Y = \overline{A}\overline{B}\overline{C}D0 + \overline{A}\overline{B}CD1 + \overline{A}B\overline{C}D2 + \overline{A}BCD3 + A\overline{B}\overline{C}D4 + A\overline{B}CD5 + ABC\overline{D}6 + ABCD7$$

بوضع $D0=D2=D4=D7=0$ وفي نفس الوقت $D1=D3=D5=D6=1$ وتوصيل خطوط الاختيار في المنتقى A و B و C على خطوط الدالة A0 و A1 و A2 كما في الشكل فإن الخرج Y سيمثل الدالة الموجودة في جدول الحقيقة. لا ننسى وضع 0 على خط تنشيط الشريحة $\overline{G}$.



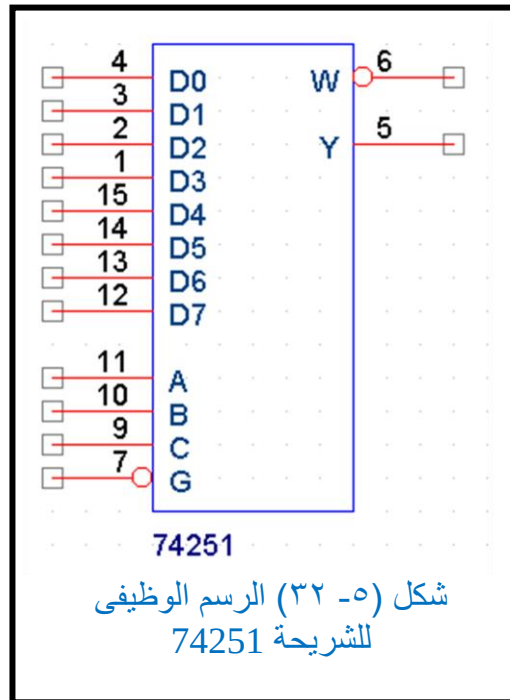
٥-٢٠ الشريحة 74251 منتقى بيانات

١/٨ بخرج ثلاثي المنطق

8 input Multiplexers (3 state output)

هذه الشريحة تكافئ نظيرتها الشريحة 74151 من حيث الأداء الوظيفي فلها ٨ مداخل D0 إلى D7 يتم اختيار واحد منهم وإرسال ما عليه من بيانات إلى أحد الخرجين Y و W، المخرج الأول Y يخرج البيانات كما هي، والمخرج الآخر W يعكس البيانات قبل إخراجها، ويتم اختيار الخرج عن طريق ٣ خطوط اختيار A و B و C. الجديد في هذه الشريحة أن الخرج ثلاثي المنطق، بمعنى أنه

عندما يكون طرف التنشيط $\overline{G}$ المنخفض الفعالية غير فعال، أى واحد، فإن كل من الخرجين يكون في الحالة الثالثة وهي حالة المقاومة العالية high impedance. الطرف ١٦ هو طرف القدرة والطرف ٨ هو الأرضى. شكل (٥-٣٢) يبين الرسم الوظيفي لهذه الشريحة.



الدخل												الخرج	
$\bar{G}$	$\bar{C}$	B	A	D0	D1	D2	D3	D4	D5	D6	D7	$\bar{W}$	Y
H	X	X	X	X	X	X	X	X	X	X	X	Z	Z
L	L	L	L	L	X	X	X	X	X	X	X	H	L
L	L	L	L	H	X	X	X	X	X	X	X	L	H
L	L	L	H	X	L	X	X	X	X	X	X	H	L
L	L	L	H	X	H	X	X	X	X	X	X	L	H
L	L	H	L	X	X	L	X	X	X	X	X	H	L
L	L	H	L	X	X	H	X	X	X	X	X	L	H
L	L	H	H	X	X	X	L	X	X	X	X	H	L
L	L	H	H	X	X	X	H	X	X	X	X	L	H
L	H	L	L	X	X	X	X	L	X	X	X	H	L
L	H	L	L	X	X	X	X	H	X	X	X	L	H
L	H	L	H	X	X	X	X	X	L	X	X	H	L
L	H	L	H	X	X	X	X	X	H	X	X	L	H
L	H	H	L	X	X	X	X	X	X	L	X	H	L
L	H	H	L	X	X	X	X	X	X	H	X	L	H
L	H	H	H	X	X	X	X	X	X	X	L	H	L
L	H	H	H	X	X	X	X	X	X	X	H	L	H

جدول ١٢-٥ جدول الحقيقة للشريحة 74251
Z تعنى مقاومة عالية high impedance

٥-٢١ الشريحة 74253 ، ٢ منتقى بيانات ١/٤ بخرج ثلاثى المنطق

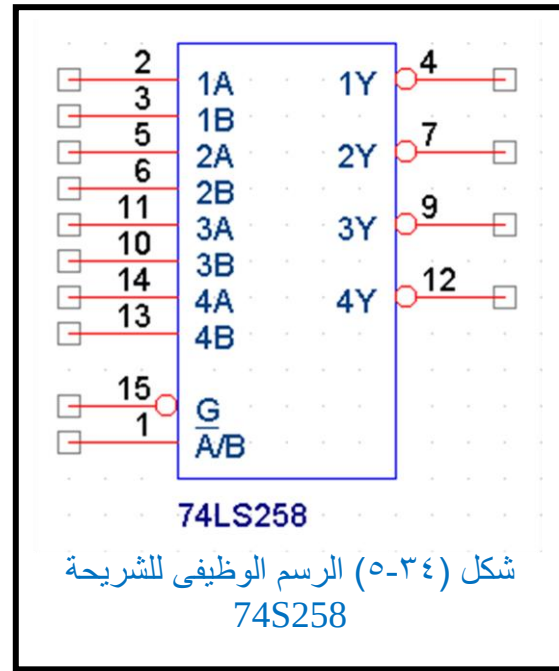
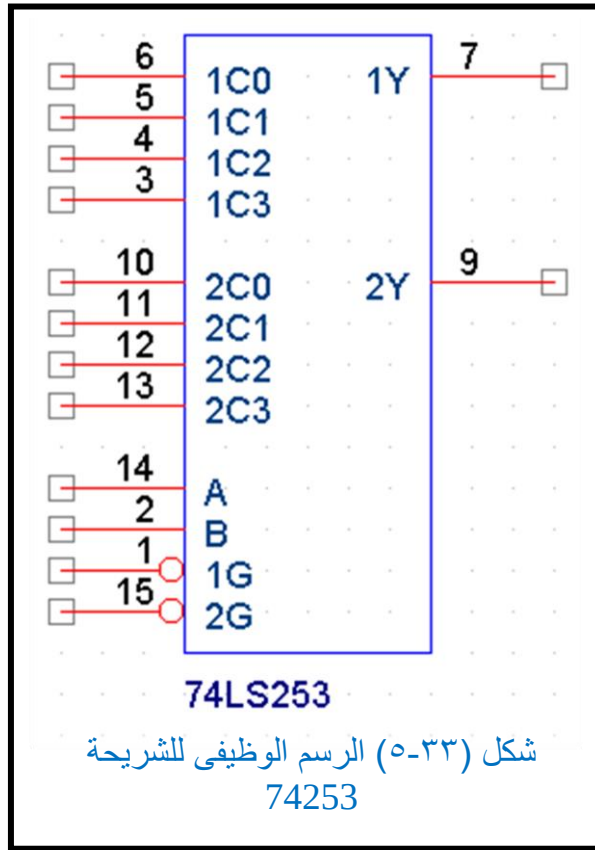
Dual 4 input multiplexers (3 state output)

هذا المنتقى يشبه تماما نظيره 74153 سوى أن الخرجين 1Y و 2Y في هذه الشريحة كل منهما ثلاثى المنطق. بمعنى أن الخرج يكون مقاومة عالية high impedance عندما يكون خط التنشيط 1G أو 2G غير فعال. راجع شرح الشريحة 74153. الشريحة ١٦ طرف، الطرف ٨ هو الأرضى والطرف ١٦ هو Vcc. شكل (٣٣-٥) يبين الرسم الوظيفى لهذه الشريحة.

٥-٢٢ الشريحة 74S258 ، ٤ منتقى بيانات ١/٢ بخرج ثلاثى المنطق

Quad 2 input multiplexers (3 state output)

هذه الشريحة كما في شكل (٣٤-٥) تشبه نظيرتها 74158 تماما سوى أن المخارج للمنتقيات الأربعة ثلاثية المنطق، بمعنى أنه عندما يكون خط التنشيط للشريحة $\bar{G}$ غير فعال (1) فإن كل المخارج تكون في حالة المقاومة العالية high impedance. راجع شرح الشريحة 74158 لمزيد من المعلومات التفصيلية عن الشريحة. الشريحة ١٦ طرف ، الطرف ٨ هو الأرضى، والطرف ١٦ هو Vcc.

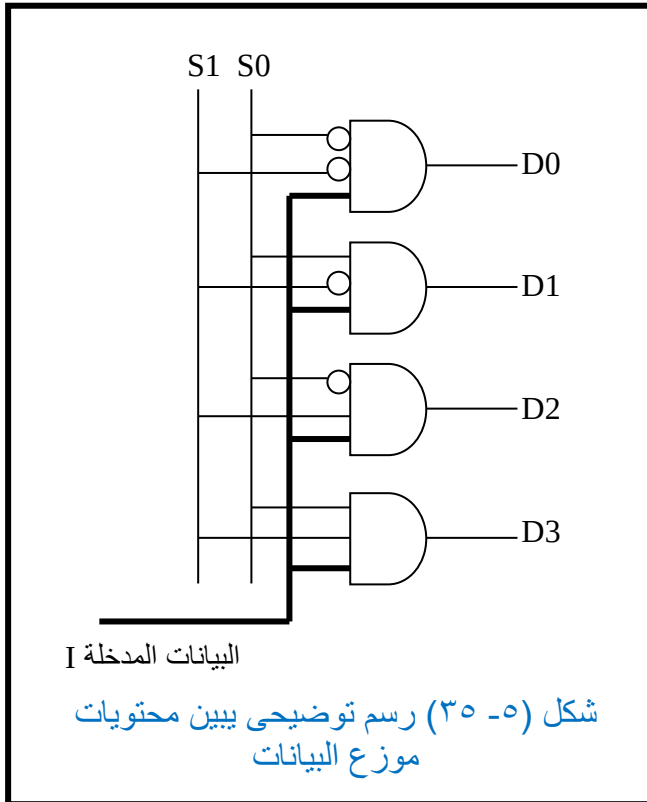


٢٣-٥ موزع البيانات Demultiplexer/Data distributor

يقوم موزع البيانات بالعملية العكسية لمتتقى البيانات. فإذا كان المنتقى ينتقى أحد المدخلات ويرسل البيانات الموجودة عليه إلى الخرج الوحيد، فإن موزع البيانات يأخذ البيانات الموجودة على الدخل الوحيد ويوزعها على واحد من المخارج المتعددة. يتم اختيار هذا المخرج الذي ستخرج عليه البيانات عن طريق خطوط اختيار. إذا كان عدد خطوط الاختيار هو n فإن عدد المخارج التي سيتم اختيار أحدها هو 2^n . شكل (٥-٣٥) يبين موزع $4/1$ له ٤ مخارج $D0$ و $D1$ و $D2$ و $D3$ ومدخل واحد I . نلاحظ في هذا الشكل أن خط الدخل I موصل إلى جميع بوابات ال AND ، ويتم تنشيط بوابة واحدة فقط عن طريق خطوط الاختيار $S0$ و $S1$. البوابة النشطة هي فقط التي ستخرج عليها البيانات I كما في الشكل.

بالنظر لشكل (٥-٣٥) يمكننا أن نلاحظ أن موزع البيانات يعتبر محلل شفرة مضافا إليه خط الدخل I . كذلك يمكن النظر لموزع البيانات على أنه محلل شفرة له خط تنشيط هو الخط I لأنه بوضع $I=0$ فإن جميع المخارج ستكون غير فعالة أى أصفار. من ذلك نخرج بنتيجة مهمة وهي أن أى محلل شفرة يمكن استخدامه كموزع بيانات إذا كان له خط تنشيط حيث توضع البيانات المراد توزيعها على المخارج المختلفة على خط التنشيط بينما تكون خطوط الدخل محلل الشفرة تمثل خطوط الاختيار للموزع.

شكل (٥-٣٦) يبين استخدام محلل الشفرة 74154 كموزع بيانات حيث تم وضع البيانات المدخلة على أحد خطى التنشيط $G1$ ، بينما خط التنشيط الآخر وضع يساوى صفر، أما خطوط الدخل الأربعة فيتم استخدامها كخطوط اختيار نختار بها الخرج



المطلوب. وعلى ذلك فإن أى محلل شفرة به خط تنشيط يمكن استخدامه كموزع بيانات. كل شرائح محلات الشفرة التي سبق شرحها تقريبا يمكن استخدامها كموزع بيانات. من هذه الشرائح ما يلي حيث لن نعيد شرحها مرة ثانية: 74137 و 74138 و 74139 و 74154 و 74155 و 74156 ويمكن مراجعتها للنظر في كيفية استخدامها كموزعات للبيانات.

٢٤-٥ تمارين

- ١- شكل (٥-ت-١) يحتوي ٥ بوابات AND ، فما هي الشفرة التي توضع على دخل الدائرة لتجعل خرج كل بوابة يساوي واحد على حده؟
- ٢- ارسم طريقة تشفير كل من الشفرات التالية: 0000 و 1100 و 1001 و 1110100 و 11001100 و 101010 مطلوب أن يكون الخرج على

الفعالية؟

- ٣- أعد التمرين السابق ولكن مع جعل الخرج منخفض الفعالية؟

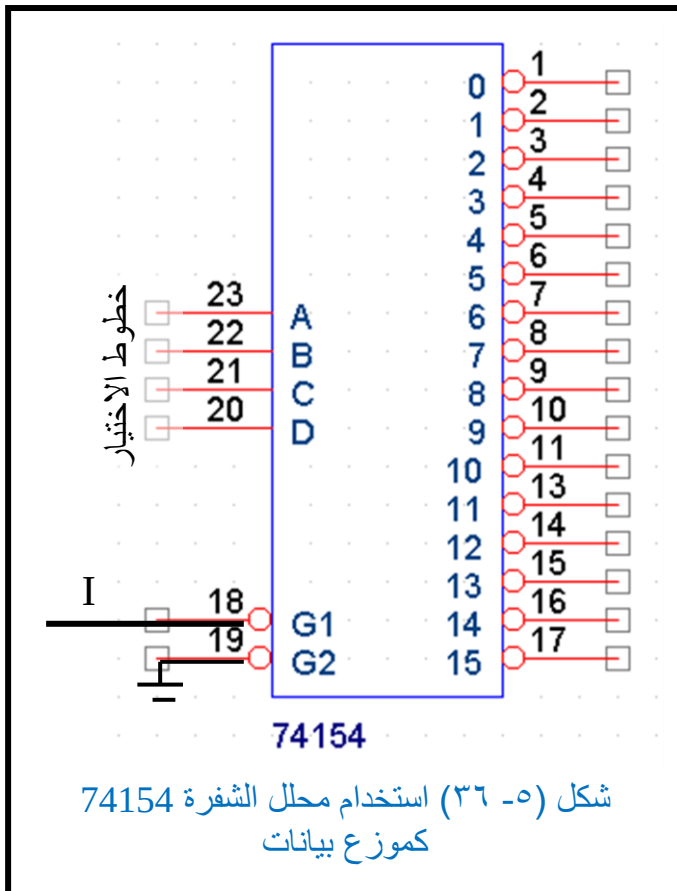
- ٤- مطلوب التعرف على وجود الشفرات التالية على دخل إحدى الدوائر : 1010, 1100, 0011, 0000. صمم دائرة منطقية بخرج واحد يكون واحد عند وجود أحد هذه الشفرات على الدخل. استخدم أقل عدد من البوابات.

- ٥- ارسم شكل الجهد على خرج محلل الشفرة الموجود في شكل (٥-ت-٤) إذا كان شكل الإشارة على المدخل كالموضح في نفس الشكل؟

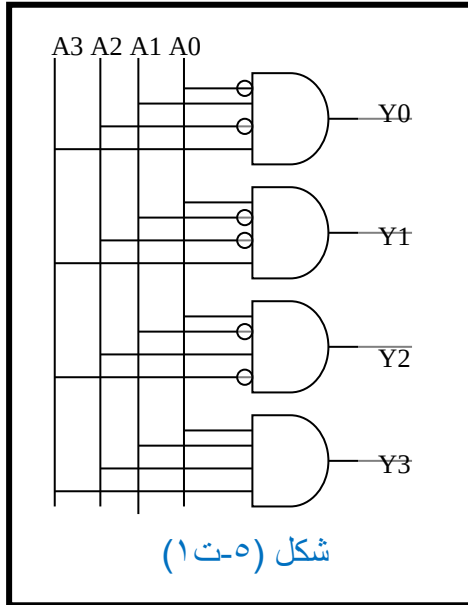
- ٦- ارسم شكل الخرج على مخارج محلل الشفرة 7442 العشرة التي تظهر بالتوافق مع إشارة كالموجودة على المداخل الأربعة في شكل (٥-ت-٦)؟

- ٧- شكل (٥-ت-٦) يبين الإشارة الموجودة على الأربع مداخل الخاصة بالشريحة 7447 (مغذية المظهر

ذو ٧ قطع). ما هو تتابع الأرقام الناتج عن هذه الإشارات والذي سيظهر على المظهر؟



٨- استخدم ٤ من محلل الشفرات ٨/٣ الذى له طرف تنشيط E، ومحلل شفرة واحد من النوع ٤/٢ للحصول على محلل شفرة ٣٢/٥. وضح باستخدام الرسم الصندوقى؟



٩- أعد السؤال السابع مستخدماً شرائح حقيقية؟

١٠- ارسم دائرة محلل الشفرات ٤/٢ مرة باستخدام بوابات AND فقط

وأخرى باستخدام بوابات NOR فقط؟

١١- ارسم الدائرة الكاملة لمشفر ٤/١٦ واكتب جدول الحقيقة الخاص به؟

١٢- ارسم منتقى بيانات ١/١٦ مستخدماً اثنين من منتقى البيانات ١/٨

ومنتقى بيانات واحد من النوع ١/٢، وضح باستخدام الرسم الصندوقى؟

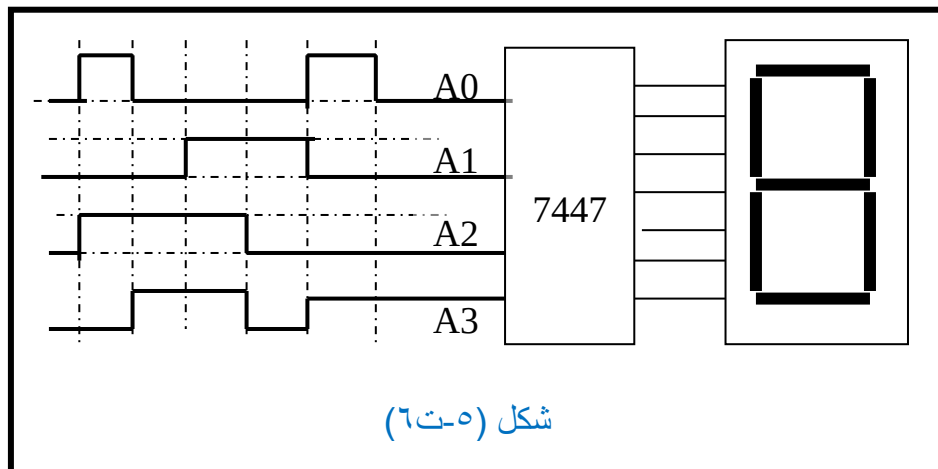
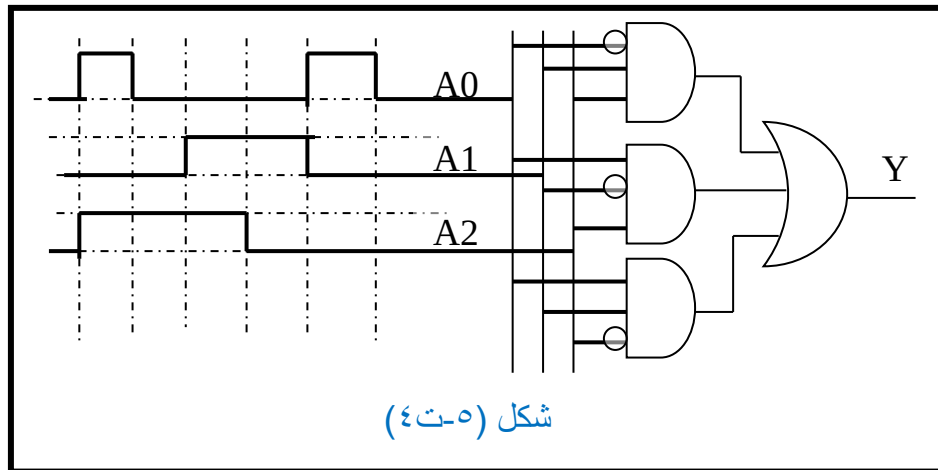
١٣- أعد السؤال ١١ مستخدماً شرائح حقيقية؟

١٤- ارسم الدائرة المنطقية لمنتقى بيانات ١/٤، واكتب المعادلة المنطقية له ثم

ضع جدول الحقيقة له أيضاً؟

١٥- بين كيف تستخدم منتقى بيانات ١/٨ لبناء المعادلة المنطقية التالية :

$$Y = \overline{A}BC + A\overline{B}C + A\overline{B}\overline{C} + ABC$$



الفصل السادس

٦

دوائر الحساب

Arithmetic Circuits

٦-١ مقدمة

تتضمن دوائر الحساب الكثير من الدوائر المنطقية المختلفة التي تستخدم في إجراء العمليات الحسابية الأساسية. من دوائر الحساب الأساسية المجمع أو الجامع والذي يقوم بإجراء عملية الجمع على رقمين، ومنه سنرى أنه يمكن استخدام هذا المجمع كطرح أيضا. هناك الكثير من الدوائر التكاملية المستخدمة في هذا المجال وسنقوم بشرحها بالتفصيل. من دوائر الحساب أيضا، دوائر المقارنة وسنقدم أيضا شرحا تفصيليا للشرائح المستخدمة في ذلك.

٦-٢ دوائر الحساب Arithmetic circuits

مثال ٦-١

المثال التالي يبين كيفية جمع الرقم $A = a_3a_2a_1a_0 = 1101$ مع الرقم $B = b_3b_2b_1b_0 = 1011$:

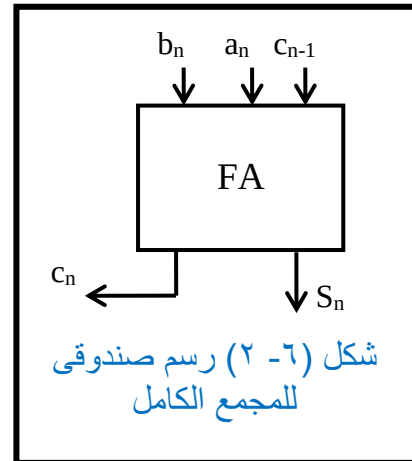
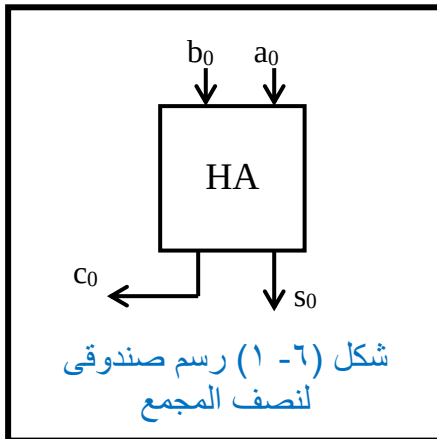
الحمل من كل مرحلة ← 1111

$$A = 1101$$

$$B = 1011 +$$

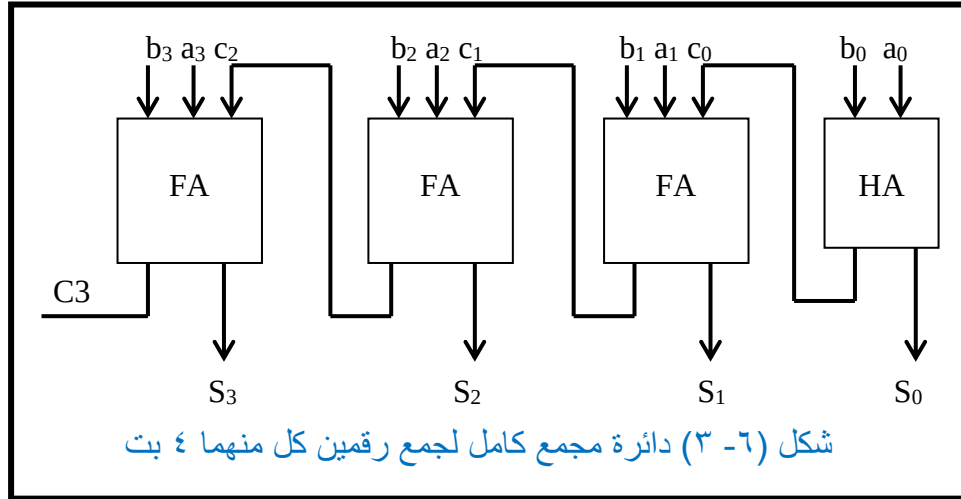
$$11000 \leftarrow \text{النتيجة}$$

الحمل الأخير



من هذا المثال نرى أن عملية جمع رقمين كل منهم ٤ بت تمت على ٤ مراحل، المرحلة الأولى، تم فيها جمع البت الأولى من A وهي $a_0 = 1$ مع البت الأولى من B وهي $b_0 = 1$ ، وكانت نتيجة الجمع هي $s_0 = 0$ وهناك حمل من هذه المرحلة وهو $c_0 = 1$ سيتم جمعه مع المرحلة الثانية. الدائرة المطلوبة لإجراء هذه العملية سيكون لها دخلان a_0 و b_0 ويخرج منها خرجان هما المجموع s_0 والحمل الذي سيذهب للمرحلة التالية c_0 . هذه الدائرة التي تقوم بجمع ٢ بت هي أبسط دوائر الجمع وتسمى دائرة نصف المجمع، Half Adder, HA. شكل (٦-١) يبين رسما صندوقيا لدائرة نصف المجمع، وأما الرسم التفصيلي لها فسنراه بعد قليل.

كما نرى من المثال السابق فإن أى مرحلة n بعد المرحلة الأولى ستقوم بجمع الحمل من المرحلة السابقة c_{n-1} مع البت رقم n من A وهى a_n مع البت رقم n من B وهى b_n وستكون النتيجة هى S_n التى تمثل المجموع و c_n التى تمثل الحمل للمرحلة التالية. أى أن الدائرة التى ستقوم بهذه العملية سيكون لها ٣ دخول c_{n-1} و a_n و b_n وسيكون لها خرجان هما S_n و c_n . هذه الدائرة تسمى دائرة مجمع كامل Full Adder, FA. شكل (٦-٢) يبين رسماً صندوقياً للمجمع الكامل وسيتم شرحه بالتفصيل بعد شرح دائرة نصف المجمع.



من ذلك نرى أنه لإتمام عملية جمع رقمين A مع B كما فى المثال السابق فإنه يلزم عدد واحد نصف مجمع لجمع أول ٢ بت ثم عدد ٣ مجمع كامل لجمع الثلاث بتات التالية. شكل (٦-٣) يبين الدائرة الكاملة لجمع الرقمين A و B والتى تتكون من نصف مجمع وعدد ٣ مجمع كامل كما ذكرنا وطريقة التوصيل بينها. سنرى فيما يلى طريقة بناء كل من دائرة نصف المجمع ودائرة المجمع الكامل. وسنرى الشرائح الموجودة التى تمثل كل منهما.

٦-٣ دائرة نصف المجمع Half Adder circuit

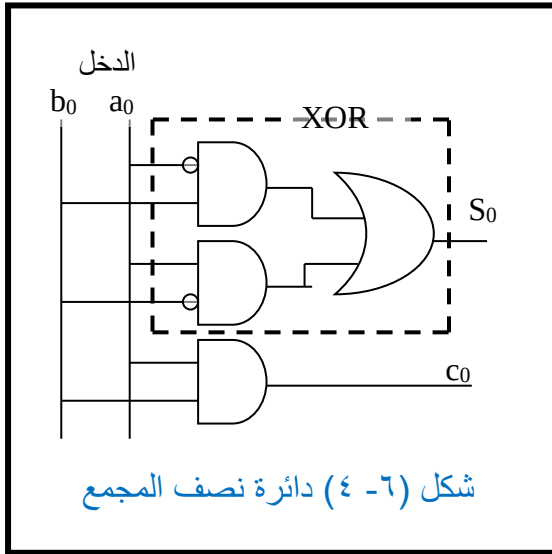
مهمة نصف المجمع كما رأينا هى جمع رقمين كل منهما يتكون من بت واحدة a_0 و b_0 ويعطى فى الخرج ناتج الجمع s_0 وحمل إلى المرحلة التالية c_0 . أنظر إلى جدول الحقيقة لنصف المجمع كما فى جدول ٦-١ وحاول التحقق من جميع الحالات الموجودة به. من جدول الحقيقة يمكن كتابة المعادلات المنطقية لخرجه كما يلى:

$$S_0 = \overline{a_0}b_0 + a_0\overline{b_0} \quad (٦-١)$$

$$= a_0 \oplus b_0$$

$$c_0 = a_0b_0 \quad (٦-٢)$$

حيث العملية $\oplus$ تمثل عملية الإكس أو XOR. من المعادلتين (٦-١) و (٦-٢) يمكن رسم الدائرة المنطقية لنصف المجمع كما فى شكل (٦-٤). لاحظ أن S_0 يمكن تمثيلها ببوابة إكس أو XOR كما هو موضح فى نفس الشكل لأن S_0 تكون واحد إذا كان الدخيلين مختلفين وصفر إذا كان الدخيلين متشابهين كما فى الجدول ٦-١ السابق وهذه هى وظيفة البوابة إكس أو XOR. لاحظ أن c_0 عبارة عن بوابة آند AND واحدة لأن c_0 تكون واحد فقط إذا كان كل من الدخيلين وحيداً.



الدخل		الخرج	
b_0	a_0	S_0	C_0
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

جدول ٦-١ جدول الحقيقة لنصف المجمع

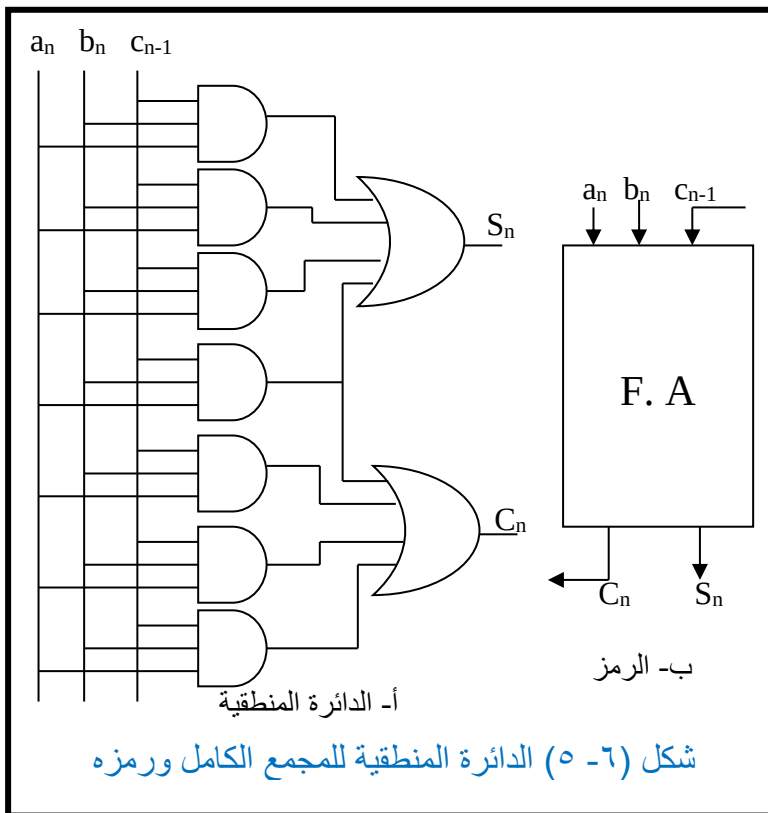
٦-٤ دائرة المجمع الكامل Full Adder, FA

دائرة المجمع الكامل قادرة على جمع ثلاثة بتات في الدخل c_{n-1} و a_n و b_n حيث تخرج المجموع S_n وحمل c_n للمرحلة التالية. جدول الحقيقة لدائرة المجمع الكامل موضح في جدول ٦-٢، حاول دراسة جميع حالات هذا الجدول. من هذا الجدول يمكن استنتاج المعادلة المنطقية للمجموع S_n والحمل c_n كما يلي:

$$\overline{S_n} = a_n \overline{b_n} \overline{c_{n-1}} + \overline{a_n} \overline{b_n} c_{n-1} + \overline{a_n} b_n \overline{c_{n-1}} + a_n b_n c_{n-1} \quad (٦-٣)$$

$$c_n = a_n b_n \overline{c_{n-1}} + a_n \overline{b_n} c_{n-1} + \overline{a_n} b_n c_{n-1} + a_n b_n c_{n-1} \quad (٦-٤)$$

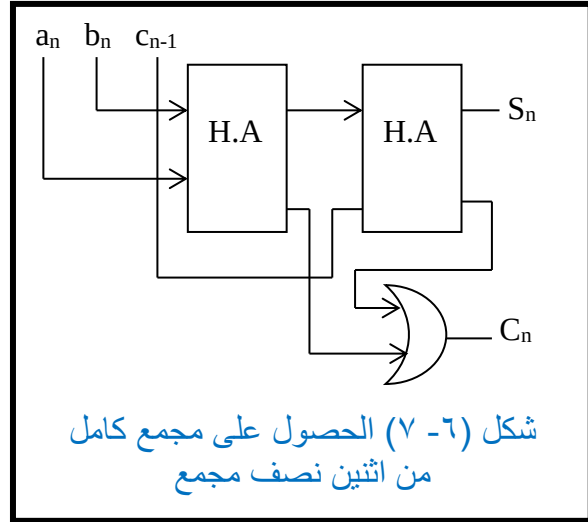
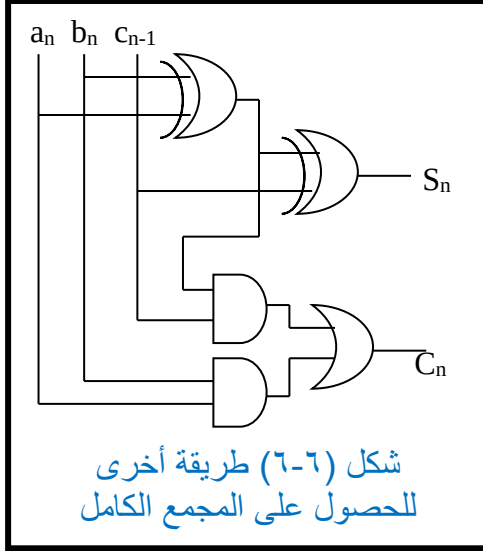
من المعادلتين (٦-٣) و (٦-٤) يمكن استنتاج الدائرة المنطقية للمجمع الكامل كما في شكل (٦-٥).



الدخل			الخرج	
C_{n-1}	b_n	a_n	S_n	C_n
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

جدول ٦-٢ ، جدول الحقيقة للمجمع الكامل

لقد رأينا في المعادلة (٦-١) أن خرج المجموع S_n لنصف المجموع هو خرج بوابة إكس أو XOR التي دخلها a_0 و b_0 . الآن بما أن المجموع الكامل له نفس الدخلين بالإضافة إلى الدخل الثالث c_{n-1} فإن خرج المجموع S_n للمجموع الكامل يمكن الحصول عليه من بوابتين إكس أو XOR كما في شكل (٦-٦) حيث البوابة الأولى يكون دخلها a_n و b_n وخرجها هو $a_n \oplus b_n$ وأما البوابة الثانية فيكون دخلها $a_n \oplus b_n$ و c_{n-1} خرج البوابة السابقة مع الدخل c_{n-1} . خرج المجموع S_n للمجموع الكامل في هذه الحالة يمكن كتابته كما يلي:



$$S_n = (a_n \oplus b_n) \oplus c_{n-1} \quad (٦-٥)$$

بالنظر إلى جدول ٦-٢ وشكل (٦-٦) سنجد أنه يمكننا كتابة خرج الحمل c_n للمجموع الكامل كما يلي:

$$C_n = a_n b_n + (a_n \oplus b_n) c_{n-1} \quad (٦-٦)$$

حاول التحقق من هذه المعادلة.

بالنظر إلى شكل (٦-٦) سنجد أنه عبارة عن اثنين نصف مجموع يمكن إعادة رسمهما كما في شكل (٦-٧) الذي يبين كيفية الحصول على مجموع كامل باستخدام اثنين نصف مجموع. لاحظ أن خرج الحمل من كل من نصفي المجموعين يدخلان على بوابة أو OR التي يمثل خرجها الحمل c_n للمجموع الكامل.

٥-٦ الطرح الثنائي Binary subtraction

لإجراء عمليات الطرح فإنه يتم عادة تحويل عملية الطرح إلى عملية جمع وبعد ذلك يمكن استخدام المجموع الذي سبق شرحه لإجراء عملية الطرح. لتحويل عملية الطرح إلى عملية جمع انظر إلى المثال التالي:

مثال ٦-٢

افترض أن لدينا الرقم $A=1101$. المعكوس أو المتمم الأحادي ones complement لهذا الرقم هو $\bar{A} = 0010$ ويتم ذلك عن طريق عكس كل واحد إلى صفر وكل صفر إلى واحد في الرقم الأصلي. الآن ماذا يحدث لو جمعنا العدد الأصلي مع متممه الأحادي ثم جمعنا عليهم واحد آخر كما يلي:

$$A=1101$$

$$\bar{A}=0010$$

$$\begin{array}{r} 1 + \\ \hline 1\ 0000 \\ \uparrow \\ \text{الحمل} \end{array}$$

النتيجة كما رأينا ستكون دائما صفر مع حمل واحد، ولذلك فإنه بإهمال هذا الحمل يمكننا كتابة المعادلة التالية:

$$A + \bar{A} + 1 = 0 \quad (٧-٦)$$

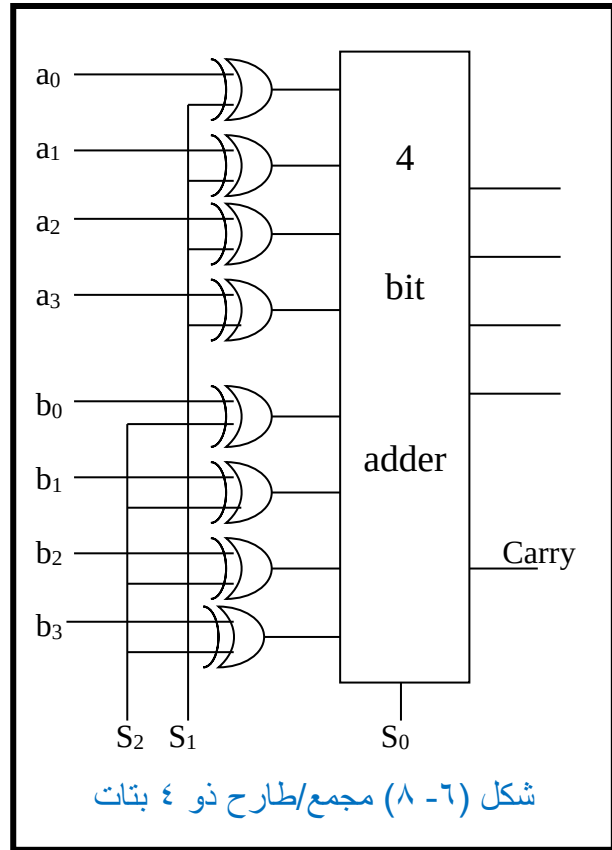
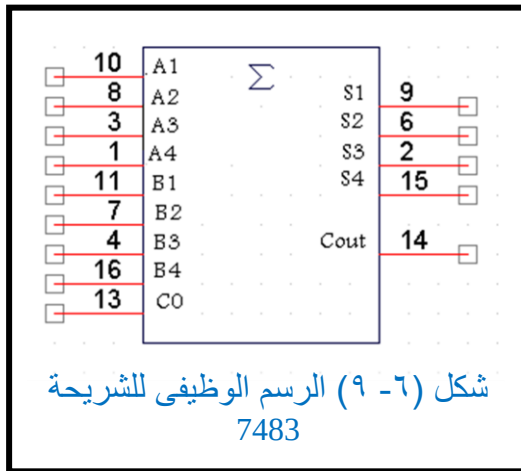
من هذه المعادلة يمكن كتابة الرقم A - كما يلي:

$$-A = \bar{A} + 1 \quad (٨-٦)$$

وعلى ذلك يمكننا أن نرى من المعادلة (٦-٨) أن أى عملية طرح يمكن تحويلها إلى عملية جمع عن طريق استبدال المطروح بتممه الثنائي (المتمم الأحادي + ١). كمثال على ذلك انظر إلى عمليات الطرح التالية وكيف حولناها إلى عمليات جمع:

$$A - B = A + \bar{B} + 1 \quad (٩-٦)$$

$$B - C = B + \bar{C} + 1 \quad (١٠-٦)$$



بذلك نستطيع القول أنه يمكننا استخدام دائرة المجمع التي سبق شرحها في تنفيذ عمليات الطرح بعد إجراء بعض التعديلات الطفيفة عليها. شكل (٦-٨) يبين دائرة مجمع ذو ٤ بت يمكن استخدامها لإجراء عمليات الجمع أو الطرح على الدخيلين A و B اللذان يتكون كل منهما من ٤ بتات عن طريق ٣ خطوط تحكم S_0 و S_1 و S_2 .

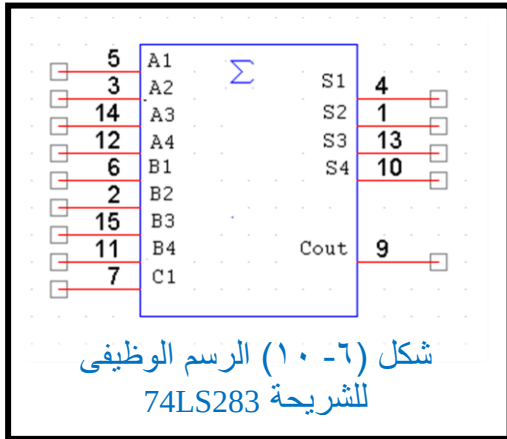
كما نعلم فإنه من خواص البوابة إكس أور XOR أن لها دخلان، عندما يكون أحدهما يساوى واحد فإن الخرج يساوى عكس الدخل الآخر، بينما إذا كان أحد الدخيلين يساوى صفر فإن الخرج يساوى الدخل الآخر. وعلى ذلك فالخط S_1 في شكل (٦-٨) يمثل خط تحكم يسمح إما بعبور المتغير A كما هو إذا كان $S_1=0$ ، أو أن المتغير A سيغير معكوسا إذا كانت $S_1=1$. بنفس الطريقة يستخدم الخط S_2 ليسمح بعبور المتغير B كما هو ($S_2=0$) أو معكوسا ($S_2=1$). المجمع في نفس الشكل يجمع الدخل من A مع الدخل من B مع S_0 التي تكون إما واحد أو صفر. فمثلا عندما $S_2=S_1=S_0=0$ فإن المجمع في هذه الحالة سيجمع الدخيلين $A+B$. بينما إذا كانت $S_2=S_0=1$ و $S_1=0$ فإن المجمع في هذه الحالة سيجمع $A+\bar{B}+1$.

بذلك نستطيع القول أنه يمكننا استخدام دائرة المجمع التي سبق شرحها في تنفيذ عمليات الطرح بعد إجراء بعض التعديلات الطفيفة عليها. شكل (٦-٨) يبين دائرة مجمع ذو ٤ بت يمكن استخدامها لإجراء عمليات الجمع أو الطرح على الدخيلين A و B اللذان يتكون كل منهما من ٤ بتات عن طريق ٣ خطوط تحكم S_0 و S_1 و S_2 . كما نعلم فإنه من خواص البوابة إكس أور XOR أن لها دخلان، عندما يكون أحدهما يساوى واحد فإن الخرج يساوى عكس الدخل الآخر، بينما إذا كان أحد الدخيلين يساوى صفر فإن الخرج يساوى الدخل الآخر. وعلى ذلك فالخط S_1 في شكل (٦-٨) يمثل خط تحكم يسمح إما بعبور المتغير A كما هو إذا كان $S_1=0$ ، أو أن المتغير A سيغير معكوسا إذا كانت $S_1=1$. بنفس الطريقة يستخدم الخط S_2 ليسمح بعبور المتغير B كما هو ($S_2=0$) أو معكوسا ($S_2=1$). المجمع في نفس الشكل يجمع الدخل من A مع الدخل من B مع S_0 التي تكون إما واحد أو صفر. فمثلا عندما $S_2=S_1=S_0=0$ فإن المجمع في هذه الحالة سيجمع الدخيلين $A+B$. بينما إذا كانت $S_2=S_0=1$ و $S_1=0$ فإن المجمع في هذه الحالة سيجمع $A+\bar{B}+1$.

والتي تكافئ كما ذكرنا سابقا A-B. بنفس الطريقة يمكن إجراء كل عمليات الجمع أو الطرح على الدخيلين A و B باستخدام خطوط التحكم S_0 و S_1 و S_2 ، وهذه هي الطريقة التي تعمل بها شرائح وحدات الحساب التي سنراها بعد قليل.

٦-٦ الشريحة 7483 مجمع ذو ٤ بتات

4 bit Parallel Adder



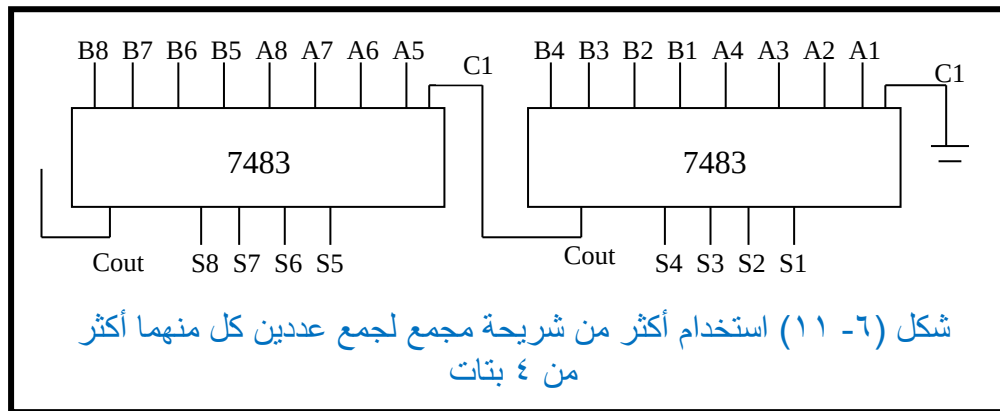
هذه الشريحة تجمع رقمين كل منهما ٤ بت، A و B مع الحمل القادم من أى مرحلة سابقة C_0 ، وتعطي ناتج الجمع ٤ بتات وهو S_1, S_2, S_3, S_4 والحمل النهائي وهو Cout. شكل (٦-٩) يبين الرسم الوظيفي لها. طرف القدرة هو الطرف ٥ والأرضى على الطرف ١٢ حيث الشريحة مكونة من ١٦ طرفاً.

٦-٧ الشريحة 74LS283 مجمع ذو ٤ بتات

4 bit Parallel Adder

هذه الشريحة لها نفس وظيفة الشريحة 7483 ولكنها ليست متطابقة معها في الأطراف، فنجد مثلاً أن الطرف ١٦ هو طرف القدرة والطرف ٨ هو الأرضى وهذا هو الشكل القياسى تقريباً لشرائح العائلة TTL وهذا لم يكن محققاً في الشريحة السابقة. شكل (٦-١٠) يبين الرسم الوظيفي لهذه الشريحة.

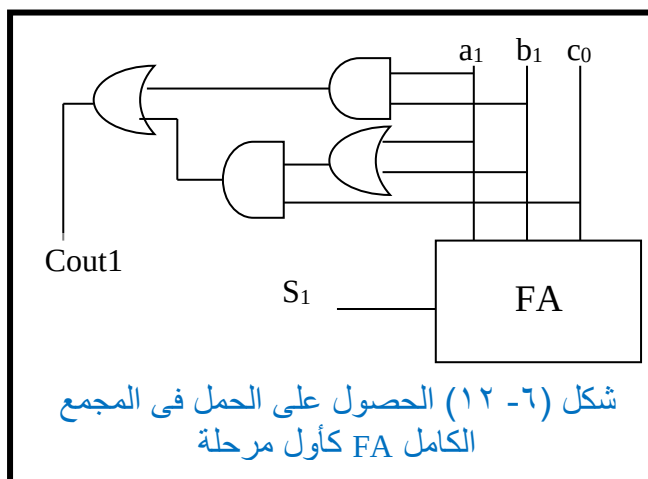
يمكن استخدام أكثر من شريحة للحصول على مجمع لعدد أكبر من البتات. شكل (٦-١١) يبين استخدام شريحتين 7483 للحصول على مجمع ٨ بت، أى مجمع يجمع رقمين كل منهما ٨ بت. يمكن تكرار ذلك لجمع أى عدد من البتات.



٦-٨ مجمع الحمل التموجي ومجمع الحمل الأمامي

Ripple Carry Adder and Look Ahead Carry adder

المجمع الذى شرحناه سابقا نقول عنه أنه مجمع متوازى parallel، بمعنى أن بتات الرقم الأول تجمع على التوازى مع بتات الرقم الثانى كما رأينا. هذه المجمعات يمكن تقسيمها إلى نوعين من حيث طريقة تعاملها مع الحمل carry. النوع الأول وهو ما يسمى المجمعات ذات الحمل التموجى ripple carry وفيها ينتشر الحمل من مرحلة إلى أخرى حتى نصل إلى المرحلة الأخيرة من المجمع بحيث أن كل مرحلة لا بد أن تنتظر المرحلة السابقة لها حتى تتم عملية الجمع حتى يمكنها استخدام الحمل الناتج من هذه المرحلة. شكل (٦-٣) يبين مثل هذا النوع من المجمعات وقد سبق شرحه. نلاحظ من هذا الشكل أن المرحلة n التى تجمع a_n مع b_n لا بد أن تنتظر المرحلة السابقة لها وهى المرحلة $n-1$ حتى تتم عملية جمع a_{n-1} مع b_{n-1} مع c_{n-1} لتنتج c_n وهو الحمل الذى ستستخدمه المرحلة n . لذلك فإن هذا النوع من المجمعات يكون بطيئا لأنه علينا الانتظار حتى يتم انتشار الحمل c_0 وهو الحمل لأول مرحلة إلى آخر مرحلة. فإذا كان زمن الانتشار لمرحلة واحدة هو T فإن زمن الانتشار الكلى (زمن التأخير) للمجمع كله سيكون nT حيث n هى عدد مراحل هذا المجمع.



النوع الثاني من المجموعات المتوازية هي المجموعات ذات الحمل الأمامي look ahead adders. في هذا النوع تم إضراع عملية الجمع بدرجة كبيرة عن طريق الاستغناء عن طريقة انتشار الحمل خلال مراحل المجموع كما سبق. كما نعلم فإن المجموع الكامل كأول مرحلة تجميع يكون له ثلاث دخول هي a_1 و b_1 و c_0 كما رأينا عند شرح المجموع الكامل. هذه المجموع الكامل يعطى حملا Cout في أحد الخاليتين التاليتين أو كليهما: الحالة الأولى هي عندما يكون كل من الدخلين a_1 و b_1 يساوى واحد، وهذا ما نسميه

بالحمل المتولد generated carry حيث أنه يتولد من دخل نفس المرحلة. هذا الحمل يمكن كتابته في معادلة كما يلي:

$$C_{g1=a_1} b_1 \quad (11-7)$$

الحالة الثابتة التي يمكن أن نحصل فيها على حمل من المجموع الكامل هي عندما يكون الحمل من المرحلة السابقة c_1 يساوي واحد، وأى واحد من الدخيلين a_1 أو b_1 أو كليهما يساوي واحد. هذا الحمل يسمى الحمل الانتشاري propagated carry ويعطى بالعلاقة التالية:

$$Cp1=(a_1+b_1)c_0 \quad (12-6)$$

من المعادلتين السابقتين يمكن كتابة الحمل الناتج من المرحلة الأولى كما يلي:

$$C_{out1} = C_g + C_p$$

$$\text{Cout1} = a_1 b_1 + (a_1 + b_1)c_0 \quad (13-6)$$

شكل (٦- ١٢) يبين طريقة الحصول على الحمل من المجمع الكامل Cout1 كأول مرحلة. الحمل Cout1 سيكون حملاً للمرحلة الثانية. في هذه الحالة يمكن كتابة الحمل النهائي للمرحلة الثانية كما يلي:

$$\begin{aligned} \text{Cout}_2 &= \text{Cg}_2 + \text{Cp}_2 \\ &= a_2 b_2 + (a_2 + b_2) \text{Cout}_1 \end{aligned}$$

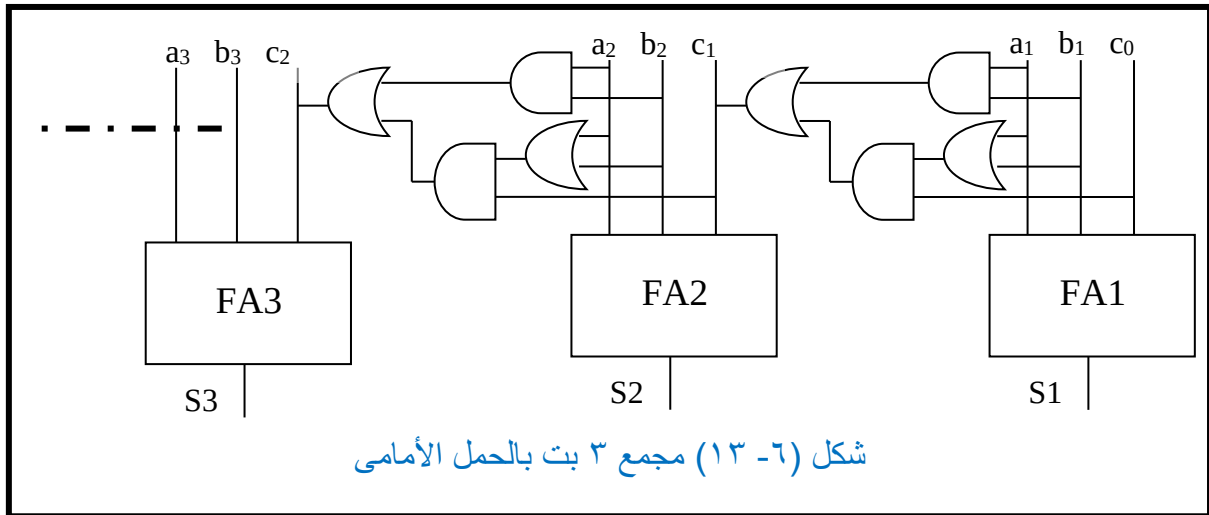
وهذه يمكن كتابتها كما يلي:

$$\text{Cout}_2 = a_2 b_2 + (a_2 + b_2) \{ a_1 b_1 + (a_1 + b_1) c_0 \} \quad (١٤-٦)$$

بنفس الطريقة يمكن كتابة الحمل النهائي بعد إضافة مرحلة ثالثة كما يلي:

$$\begin{aligned} \text{Cout}_3 &= \text{Cg}_3 + \text{Cp}_3 \\ &= a_3 b_3 + (a_3 + b_3) \text{Cout}_2 \quad (١٥-٦) \end{aligned}$$

حيث Cout_2 يمكن التعويض عنها من المعادلة (١٤-٦). من المعادلتين (١٤-٦) و (١٥-٦) نرى أنه لكي نحصل على الحمل النهائي في أى مرحلة من مراحل المجمع فإنه ليس علينا أن ننتظر حتى يتم حساب الحمل في المراحل السابقة، ولكن الحمل عند أى مرحلة يعتمد فقط على الدخول، أى الرقمين المطلوب جمعهما A و B . بهذه الطريقة فإن زمن التأخير الناتج عن انتشار الحمل خلال مراحل المجمع كما في الطريقة السابقة يقل بدرجة كبيرة. شكل (١٣-٦) يبين مجمع ٣ بت مع الحمل الأمامي. نلاحظ من هذا الشكل أنه بمجرد وضع الرقمين A و B وحمل المرحلة الأولى c_0 فإن جميع الأحمال الأخرى تتحدد فوراً دون انتظار لإتمام عملية الجمع في المراحل السابقة.

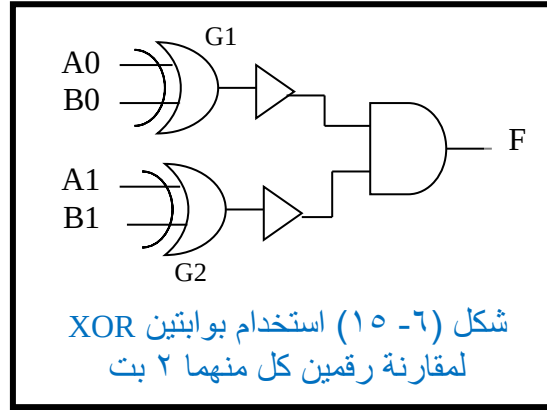
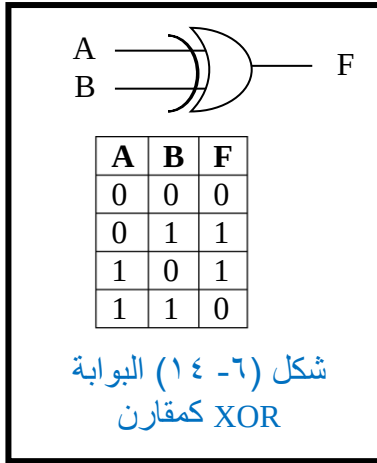


الشريحتان 7483 و 74283 كل منهما عبارة عن مجمع ٤ بت مع الحمل الأمامي وهذا يميزهما بالسرعة كما رأينا. لاحظ أنه عند توصيل أكثر من شريحة للحصول على مجمع لأكثر من ٤ بت فإن توصيل الحمل من شريحة سابقة لشريحة تالية تعتبر عملية حمل انتشاري لأن الشريحة التالية لن تحصل على الحمل إلا بعد إتمام عملية الجمع في المرحلة السابقة.

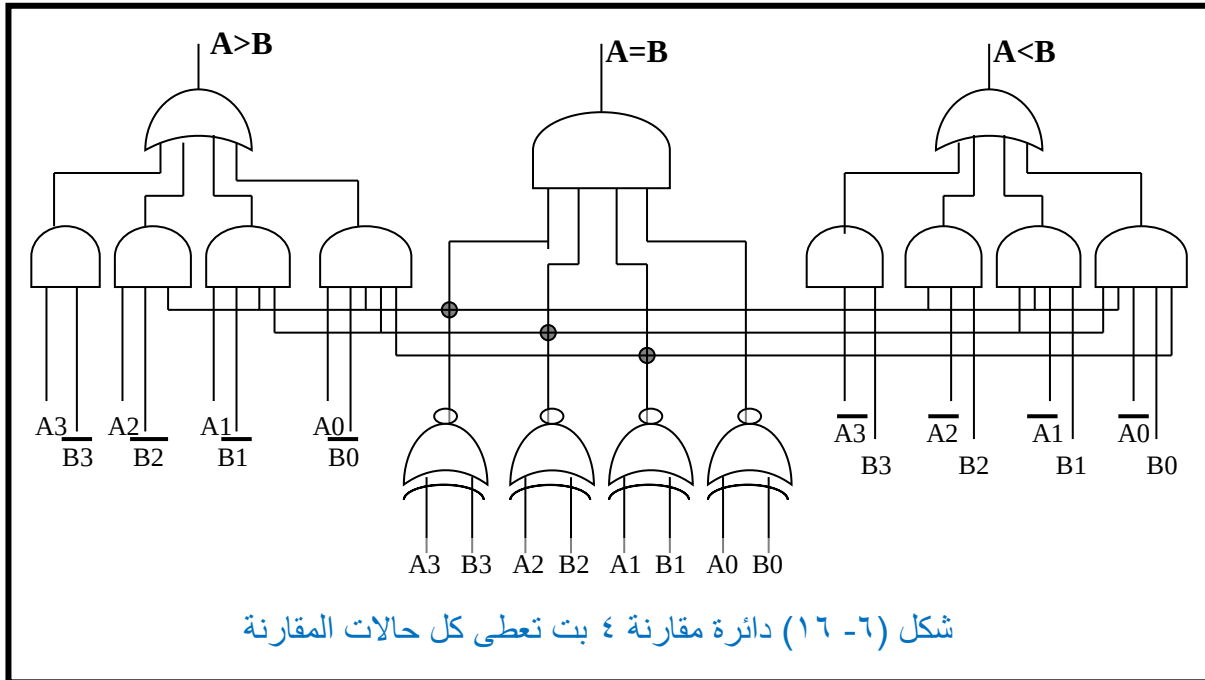
٩-٦ دوائر المقارنة Comparators

مطلوب من دائرة المقارنة أن تقارن دخلين A و B وتعطى قراراً، هل الدخلين متساويين؟ وإذا لم يكونا متساويين فأيهما أكبر من الآخر؟ إذن نتوقع أن مثل هذه الدائرة سيكون لها ثلاثة مخرجات، أحدهم يكون نشطاً إذا كان $A=B$ ، والثاني يكون نشطاً إذا كان $A > B$ أما المخرج الثالث فيكون نشطاً إذا كان $A < B$.

بوابة الإكس أو XOR كما نعلم من جدول الحقيقة الخاص بها تقوم بجزء من هذه المقارنة حيث أن خرجها يكون صفرا إذا تساوى دخلها، ويكون واحد إذا اختلف الدخلان. عيب استخدامها كمقارن أنها لا تحدد أى الدخلين أكبر من الآخر إذا لم يكونا متساويين ، كما أنها تقارن دخلين كل منهما بت واحدة فقط. شكل (٦- ١٤) يبين بوابة الإكس أو XOR وجدول الحقيقة الخاص بها.



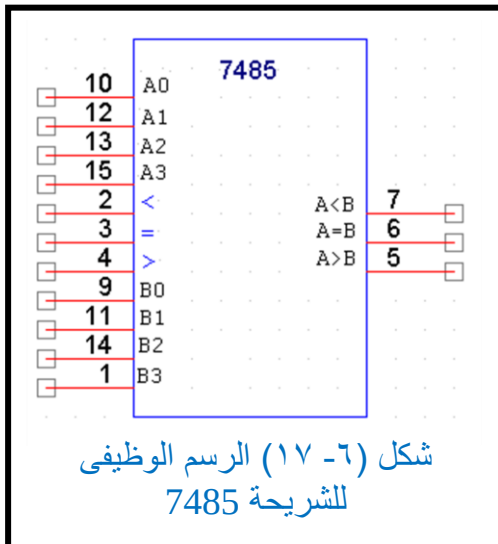
يمكن استخدام أكثر من بوابة XOR لمقارنة رقمين كل منهما أكثر من بت واحدة. شكل (٦- ١٥) يبين دائرة مقارنة لرقمين كل منهما مكون من ٢ بت. كما نرى من هذا الشكل فإن البوابة G1 تقارن الخانتين ذات القيمة الصغرى، A0 و B0، والبوابة G2 تقارن الخانتين التاليتين A1 و B1. كل من البوابتين تعطى صفر في حالة التساوى ولذلك تم عكس خرج البوابتين وإدخالهما على بوابة AND التى تعطى واحد في حالة تساوى الرقمين. بنفس الطريقة يمكن تطوير الدائرة في شكل (٦- ١٥) لتقارن رقمين كل منهما يحتوى أى عدد من البتات. هذه الدائرة ما زالت تقوم بعملية مقارنة محدودة حيث أنها تعطى واحد في حالة تساوى الرقمين ولكنها لا تقرر أى الدخلين أكبر أو أصغر من الدخل الآخر.



شكل (٦-١٦) يبين دائرة منطقية لها ثلاثة خروج تمثل كل حالات المقارنة التالية:

- عندما يتساوى الدخلين $A_3=B_3$ و $A_2=B_2$ و $A_1=B_1$ و $A_0=B_0$ ، في هذه الحالة فإن كل من الأربع بوابات XOR المعكوس خرج كل منها تعطى واحد، والأربع وحيد الداخلة على البوابة AND تعطى واحد نتيجة ذلك، وبذلك يكون الخرج $A=B$ يساوى واحد دلالة على أن الدخلين متساويين. في هذه الأثناء يكون خرج كل بوابات ال AND المؤدية إلى الخرج $A>B$ تساوى صفر لأن الدخلين لكل بوابة يكونان متساويين، وحيث أن الدخل B في هذه الحالة معكوس فإن الدخلين للبوابة سيكون كل منهما عكس الآخر وبالتالي فإن كل بوابات ال AND ستعطى أصفارا على خرجها وبالتالي فإن الخرج $A>B$ سيكون صفرا في هذه الحالة. بنفس المنطق سنجد أن الخرج $A<B$ سيعطى صفرا هو الآخر في هذه الأثناء.
- في حالة عدم تساوى الرقمين تبدأ المقارنة من آخر بت، أى مقارنة البت A_3 مع البت B_3 . فإذا كان $A_3>B_3$ أى $A_3=1$ و $\overline{B_3}=0$ فإنه في هذه الحالة سيكون خرج الأند AND المتصلة بالدخلين A_3 و $\overline{B_3}$ واحد وبالتالي فإن الخرج $A>B$ سيكون واحد هو الآخر. في هذه الأثناء سيكون الخرج $A=B$ يساوى صفر والخرج $A<B$ هو الآخر يساوى صفر. أما إذا كان $\overline{A_3}=0$ و $B_3=1$ فإنه في هذه الحالة سيكون الخرج $A<B$ يساوى واحد والخرج الأخرى أصفارا. تتبع ذلك من على الدائرة في شكل (٦-١٦).
- إذا كان $A_3=B_3$ فإن ال AND المتصلة بهم تعطى صفرا، ويتم النظر في حالة البتات A_2 و B_2 . فإذا كان $A_2>B_2$ فإن ال AND التى دخلها A_2 و $\overline{B_2}$ تعطى واحد ويكون الخرج $A>B$ في هذه الحالة يساوى واحد. لاحظ أن الدخل الثالث لهذه الأند AND يساوى واحد من خرج الإكس أو XOR التى دخلها A_3 و B_3 . بنفس الطريقة سيكون الخرج $A<B$ يساوى واحد إذا كان $A_2=0$ و $B_2=1$.
- بنفس الطريقة يمكن تتبع هذه الخرج في حالة تساوى A_3 و B_3 وتساوى A_2 و B_2 في هذه الحالة ننظر إلى A_1 و B_1 وعلى ضوء أيهما أكبر سيكون أحد الخرجين $A>B$ أو $A<B$ يساوى واحد.
- في حالة تساوى A_1 و B_1 أيضا يتم النظر في A_0 و B_0 وبناء عليهما يتقرر أى الدخلين أكبر، فإذا تساويا، فإن الدخلين

يتساويان في هذه الحالة ونعود إلى أن الخرج $A=B$ سيعطى واحد وباقي الخرج أصفارا. تتبع كل هذه الحالات بتأني على الدائرة الموضحة في شكل (٦-١٦).



٦-١٠ الشريحة 7485 مقارن ذو ٤ بتات

الشريحة 7485 عبارة عن مقارن ذو ٤ بتات حيث يمكن استخدام أكثر من شريحة لمقارنة الأرقام التى تتكون من أكثر من ٤ بتات. الشريحة تقارن الدخل $A(A_3, A_2, A_1, A_0)$ مع الدخل $B(B_3, B_2, B_1, B_0)$ وإذا تساوى الدخلان فإن الخرج $A=B$ يساوى واحد إذا كان الطرف ٣ للشريحة يساوى واحد. الخرجان $A>B$ و $A<B$ يكونان صفرين في هذه الحالة. بنفس الطريقة إذا كان الدخل A أكبر من الدخل B مهما كانت الإشارة

على الأطراف ٢ و ٣ و ٤ فإن الخرج $A>B$ يكون واحد. أما إذا كان الدخل A أقل من الدخل B مهما كانت الإشارة على الأطراف ٢ و ٣ و ٤ أيضا فإن الخرج $A<B$ يكون واحد في هذه الحالة. جدول ٦-٣ يبين جدول الحقيقة لهذه الشريحة. الحرف

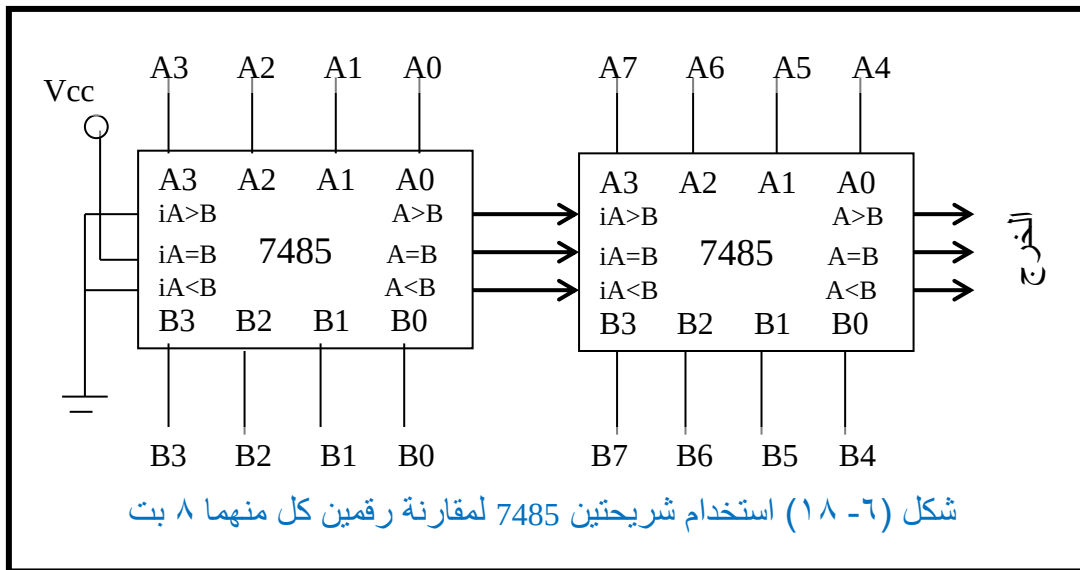
X في هذا الجدول يعني "لا يهم" أو Do not care وهذا يعني أن هذا الطرف يكون واحد أو صفر، لا يهم. شكل (٦-١٧) يبين الرسم الوظيفي لهذه الشريحة. الطرف ١٦ هو طرف القدرة والطرف ٨ هو الأرضي للشريحة. شكل (٦-١٨) يبين استخدام شريحتين 7485 لمقارنة رقمين كل منهما ٨ بت.

الدخول المطلوب لمقارنتها				نتيجة المقارنة السابقة			الخرج		
A3,B3	A2,B2	A1,B1	A0,B0	iA>B	iA=B	iA<B	A>B	A<B	A=B
A3>B3	x	x	x	x	x	x	H	L	L
A3<B3	x	x	x	x	x	x	L	H	L
A3=B3	A2>B2	x	x	x	x	x	H	L	L
A3=B3	A2<B2	x	x	x	x	x	L	H	L
A3=B3	A2=B2	A1>B1	x	x	x	x	H	L	L
A3=B3	A2=B2	A1<B1	x	x	x	x	L	H	L
A3=B3	A2=B2	A1=B1	A0>B0	x	x	x	H	L	L
A3=B3	A2=B2	A1=B1	A0<B0	x	x	x	L	H	L
A3=B3	A2=B2	A1=B1	A0=B0	H	L	L	H	L	L
A3=B3	A2=B2	A1=B1	A0=B0	L	H	L	L	H	L
A3=B3	A2=B2	A1=B1	A0=B0	L	L	H	L	L	H
A3=B3	A2=B2	A1=B1	A0=B0	x	x	H	L	L	H
A3=B3	A2=B2	A1=B1	A0=B0	H	H	L	L	L	L
A3=B3	A2=B2	A1=B1	A0=B0	L	L	L	H	H	L

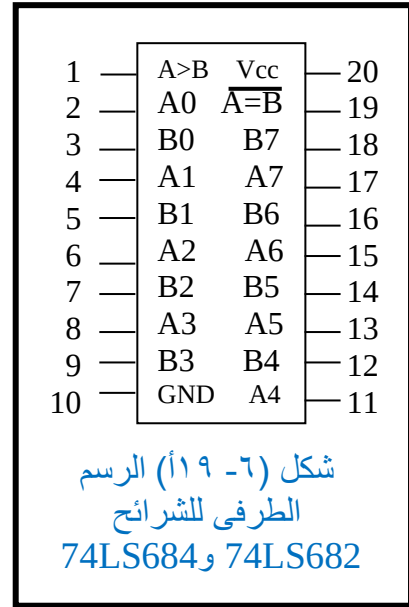
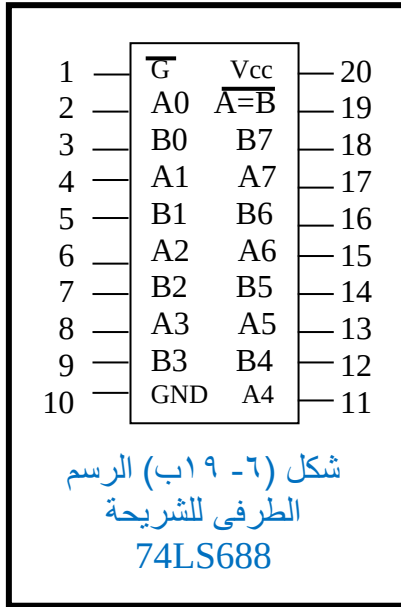
جدول ٦-٣ جدول الحقيقة للشريحة 7485

٦-١١ الشرائح 74LS682 و 74LS684 و 74LS688

مقارن ذو ٨ بتات



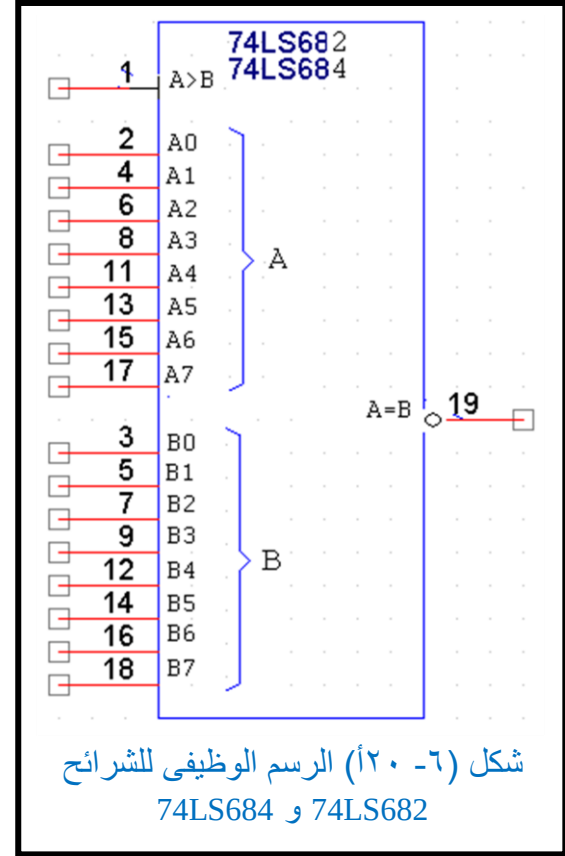
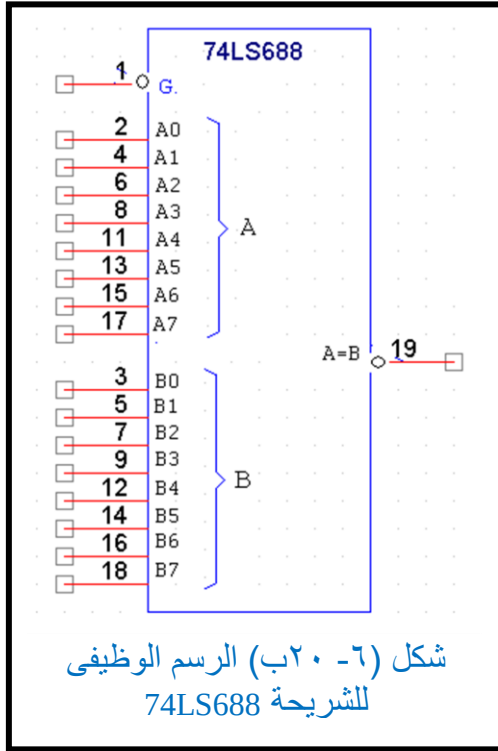
هذه الشرائح تقارن رقمين كل منهما ٨ بت. كل هذه الشرائح تعطي الخرج $A=B$ في حالة تساوى الدخلين. الشريحتين 74LS682 و 74LS684 تعطي الخرج $A>B$ بجانب الخرج $A=B$. الشكلين (٦-١٩ أ و ٦-١٩ ب) يبينان الرسم الطرفي لكل شريحة والشكلين (٦-٢٠ أ و ٦-٢٠ ب) يبينان الرسم الوظيفي لكل منهما. لاحظ أن الطرف ١ في الشرائح 74LS682 و 74LS684 كان يمثل الخرج $A>B$ وأصبح طرف تنشيط منخفض الفعالية في الشريحة 74LS688.



١٢-٦ تمارين

- استخدم خريطة كارنوف لتبسيط معادلة المجموع S_n والحمل c_n في المعادلة (٦-٣) والمعادلة (٦-٤).
- صمم دائرة المجموع الكامل الموجودة في شكل (٦-٥) باستخدام بوابات الناند فقط.
- وضح بالرسم كيف تستخدم شريحتين ٧٤٨٣ لجمع عددين كل منهما ٨ بت.
- أعد تمرين ٣ لجمع عددين كل منهما ١٢ بت مستخدما الشريحة ٧٤٢٨٣.
- الأرقام الثنائية التالية تمثل نتاجات دخل للشريحة ٧٤٨٣. أكتب نتاجات الخرج الناتجة على كل مخرج من مخارج الشريحة. إعتبر النتاجات من اليمين لليساار:

A1=10001100, B1=11001100
A2=11001010, B2=10010011
A3=01011111, B3=10100111
A4=10011001, B4=00111101



- ٦- ارسم الدائرة الكاملة لمجمع بالحمل الأمامي من ٤ بت.
- ٧- المجمع الطارح الموجود في شكل (٦-٨) يحتوي ٣ خطوط تحكم S_0, S_1, S_2 اكتب الخرج الناتج من المجمع عند جميع الحالات الممكنة لهذه الخطوط.
- ٨- التتابعات الموجودة في تمرين ٥ تم توصيلها كمداخل لشريحة المقارن ٧٤٨٥. اكتب التتابعات الناتجة على كل مخرج إذا كان الدخل $A=B$ يساوي واحد والدخلين $A>B$ و $A<B$ يساوي صفر.
- ٩- أعد تمرين ٨ مستخدماً الشريحة ٧٤٦٨٨.
- ١٠- ارسم دائرة لمقارنة رقمين كل منهما ١٢ بت. مطلوب الثلاث مخارج $A=B, A>B, A<B$. استخدم أحد شرائح المقارنة.

الفصل السابع

٧

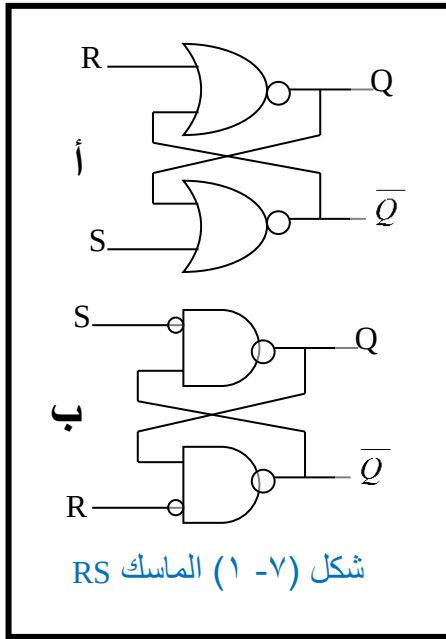
الماسكات والقلابات

Latches And Flip Flops

٧-١ مقدمة

لقد درسنا في الفصول السابقة نوع من الدوائر الرقمية تسمى الدوائر التوافقية combinational circuits. هذه الدوائر تتكون من دخل وخرج حيث يتحدد الخرج عند أى لحظة بالدخل الموجود عند هذه اللحظة فقط، أى أنه لا يوجد أى نوع من أنواع التغذية المرتدة من الخرج إلى الدخل. من أمثلة هذه الدوائر التى درسناها دوائر المشفرات ومحللات الشفرة والمنتخبات والموزعات ودوائر الحساب وغيرها الكثير. النوع الثانى من الدوائر الرقمية الذى سندرسه فى هذا الفصل والفصول التالية يسمى الدوائر التتابعية sequential circuits. هذه الدوائر تتكون من دخل وخرج حيث يتحدد الخرج عند أى لحظة بقيمة الدخل عند هذه اللحظة والخرج عند اللحظة السابقة. لذلك نقول أن هذه الدوائر تمتلك نوع من أنواع الذاكرة حيث أن الخرج يتحدد جزئيا بالخرج عند اللحظة السابقة الذى تذكره الدائرة. من أنواع هذه الدوائر الماسكات ومسجلات الإزاحة والعدادات.

٧-٢ الماسكات R-S



الماسك latch هو نوع من أنواع المذبذبات الثنائية الاستقرار bistable multivibrator، أى التى يستقر خرجها على الواحد أو الصفر. الماسك يكون له خرجان أحدهما يكون دائما عكس الآخر، لذلك نرمز لهما دائما بالرمزين Q و $\bar{Q}$ ، فإذا كانت $Q=0$ فإن $\bar{Q}=1$ والعكس صحيح. يتكون الماسك دائما من بوابتين يوصل خرج إحدهما كدخول إلى الأخرى كما فى شكل (٧-١). هذا الماسك له دخلان، الأول يسمى R بمعنى التصفير وهى اختصار لكلمة Reset، والطرف الثانى يسمى S وهى اختصار لكلمة Set أى جعل الخرج واحد. يمكن بناء الماسك من بوابتين NOR كما فى شكل (٧-أ) أو من بوابتين NAND كما فى شكل (٧-ب). فى الماسك الأول (بوابتي NOR) يكون كل من الطرفين R و S على الفعالية، بمعنى أنه عندما تكون $R=1$ و $S=0$ فإن ذلك يسبب تصفير

Reset للخرج Q ، وعندما يكون الطرف $S=1$ و $R=0$ فإن الخرج $Q=1$ أى يحدث Set للماسك أو يحدث وضع أو تسجيل. فى الماسك الثانى (بوابتي NAND)، عندما تكون $R=1$ و $S=0$ فإن ذلك يسبب تصفير Reset للخرج Q ، وعندما يكون الطرف $S=1$ و $R=0$ فإن الخرج $Q=1$ أى يحدث Set للماسك أو يحدث وضع أو تسجيل. جدول ٧-١ يبين جدول الحقيقة لهذا الماسك. نلاحظ من هذا الجدول أن الحالة $S=R=0$ سيكون نتيجتها لا تغيير للخرج Q أو $\bar{Q}$ فى الماسك المبني من بوابات ال NOR، بينما هذه الحالة يكون غير مسموح بها مع الماسك المبني من بوابات NAND لأنها ستجعل كل من Q و $\bar{Q}$ يساوى صفر وهذا غير مسموح به بالطبع فى عرف الماسكات. أما الحالة $S=R=1$ فعلى العكس تكون غير مسموح بها فى حالة الماسك المكون من بوابتي

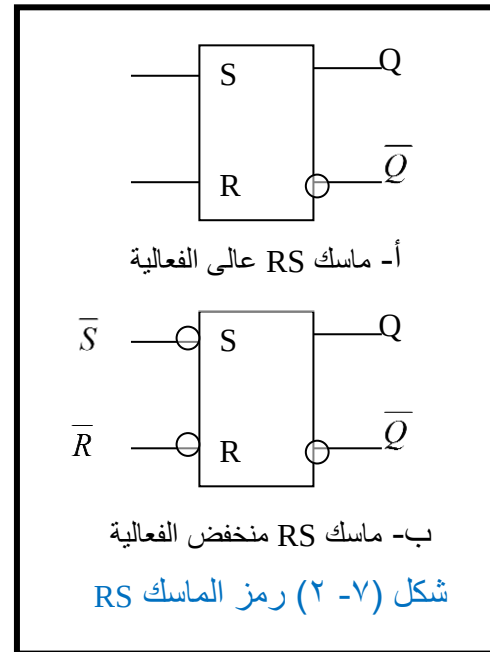
NOR بينما تعطى لا تغيير في حالة الماسك المكون من بوابتي NAND. حاول تتبع هذه الحالات على الماسكين في شكل (٧-١) وكذلك باقى حالات الجدول ٧-١. من الممكن أن يدخل أى واحد من الماسكين الموجودين في شكل (٧-١) في حالة عدم استقرار لحظية أو عابرة ثم يستقر الخرج على حالة استقرار نهائية. مثلا في الماسك المكون من بوابتي NOR عندما

الدخل		الماسك المكون من بوابتي NOR		الماسك المكون من بوابتي NAND	
R	S	Q	$\bar{Q}$	Q	$\bar{Q}$
0	0	لا تغيير	لا تغيير	غير مسموح	غير مسموح
0	1	1	0	1	0
1	0	0	1	0	1
1	1	غير مسموح	غير مسموح	لا تغيير	لا تغيير

جدول ٧-١ جدول الحقيقة للماسكين الموجودين في شكل (٧-١)

فإن $S=1, R=0, Q=0$ البوابة السفلى يكون دخلها $S=1, Q=0$ ولذلك فإنها ستعطى صفر، وهذا يعنى أن الخرجين Q و $\bar{Q}$ يكون كل منهما صفر، وهذا غير منطقي بالطبع، ولكن

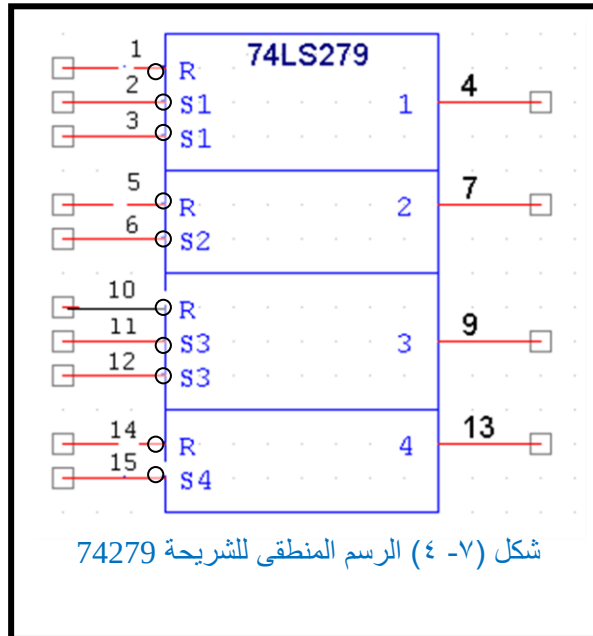
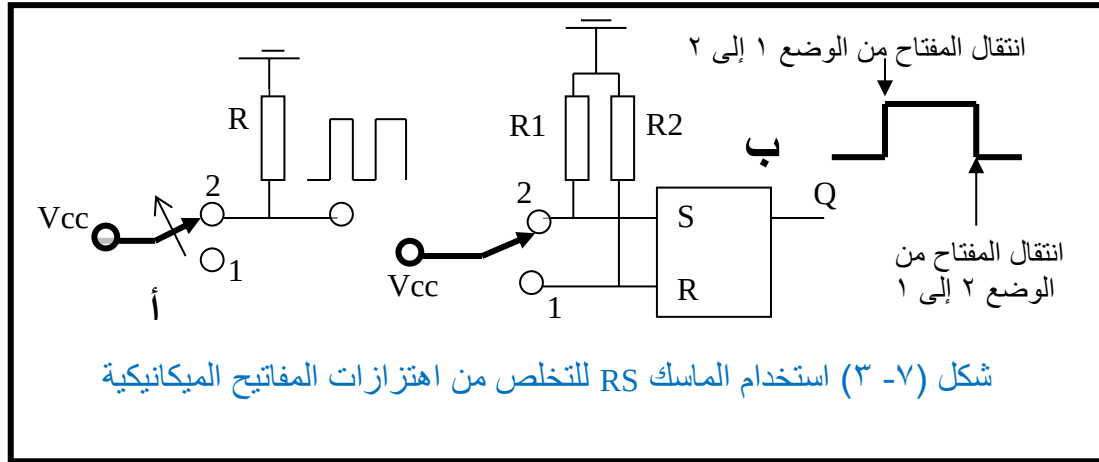
هذه الحالة لن تستقر كما سنرى. عند ذلك سيكون دخل البوابة العليا هو $R=0$ و $\bar{Q}=0$ وهذا سيجعل $Q=1$ الذى سيدخل مع $S=1$ في البوابة السفلى فيجعل خرجها يساوى صفر، وهذا الصفر مرة أخرى مع الدخل $R=0$ يجعل الخرج $Q=1$. أى أن الخرج $Q=1$ سيكون حالة مستقرة لن تتغير. حاول تتبع باقى الحالات وتطبيقها على الماسكات الموجودة في شكل (٧-١). في كل الحالات السابقة تذكر جيدا أننا عندما نتكلم عن الخرج Q فإن الخرج الآخر يكون موجود ضمنا ويكون معكوس كما ذكرنا من خصائص الماسكات. شكل (٧-٢) يبين الرمز المنطقي للماسك على الفعالية والماسك منخفض الفعالية.



٧-٢-١ الماسك RS كمزيل للاهتزازات

عند غلق أو فتح مفتاح فإنه نتيجة الصدمة الميكانيكية بين قطبيه يحدث تأرجح أو ارتداد لقطبي المفتاح bounce ينتج عنه نبضات كهربية متعددة تؤثر على أداء الدائرة التى تستخدم مثل هذا المفتاح. شكل (٧-٣) يبين مثل هذه الاهتزازات الناتجة عن غلق المفتاح. يمكن استخدام ماسك RS للتخلص من هذه الاهتزازات debouncer. شكل (٧-٣ ب) يبين هذه الدائرة. في الوضع الابتدائي عندما يكون المفتاح في الوضع ١ فإن الطرف $R=1$ ويكون الطرف $S=0$ في نفس الوقت نتيجة اتصاله بالأرض من خلال المقاومة R_1 ، ويكون خرج الماسك في هذه الحالة $Q=0$. عند نقل المفتاح من الوضع ١ للوضع ٢ تصبح $R=0$ نتيجة اتصالها بالأرض من خلال المقاومة R_2 ويصبح الطرف $S=1$ نتيجة الوضع الجديد للمفتاح، فيصبح الخرج نتيجة ذلك $Q=1$. عند حدوث اهتزازات على الطرف S فإنه إذا أصبحت $S=0$ فإن ذلك لن يسبب تغيير للخرج لأن الدخل $S=R=0$ لا يسبب تغيير للخرج كما ذكرنا. إذا رجع الطرف $S=1$ مرة أخرى

فإن الخرج سيظل على الواحد كما هو. من ذلك نرى أنه بمجرد تغير الخرج من صفر إلى واحد فإنه سيثبت على ذلك ولن يتغير ولن يكون هناك أى تأثير لأى اهتزازات تحدث فى المفتاح عند تغير قطبيه. أنظر شكل (٧-٣).



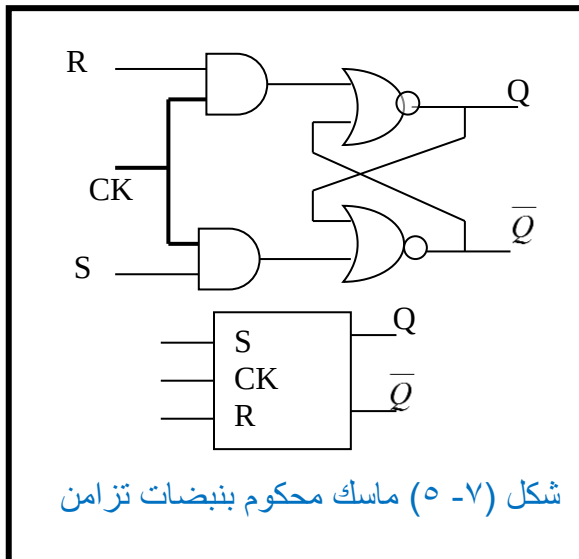
٣-٧ الشريحة 74279 ماسك RS رباعى

شكل (٧-٤) يبين الرسم المنطقى لهذه الشريحة. تتكون هذه الشريحة من ٤ ماسكات من النوع RS. الماسك الأول والثالث كل منهما له طرفان S وطرف واحد R، أما الماسكان الثانى والرابع فكل منهما له طرف واحد S وطرف واحد R. طرفى القدرة لهذه الشريحة هما الطرف ١٦ يمثل Vcc والطرف ٨ هو الأرضى. الأربع ماسكات الموجودة فى هذه الشريحة كلها منخفضة الفعالية.

٤-٧ الماسك RS المحكوم بنبضات

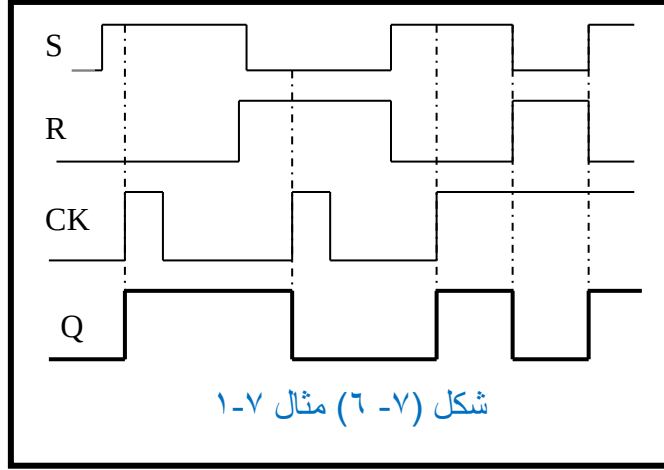
تزامن Clock

من المفيد جدا أن يتم التحكم فى الدخلىين S و R بحيث لا يتغير الخرج بناء على الإشارة الموجودة عليهما إلا بعد إعطاء نبضة إطلاق للخرج أو نبضة تزامن clock بحيث يتم تغير الخرج فقط بعد إعطاء هذه النبضة. شكل (٧-٥) يبين الدائرة التفصيلية لهذا الماسك والرمز المستخدم لها. لاحظ من هذه الدائرة أنه عندما يكون الطرف CK=0 فإن بوابتى ال AND يكون خرجها أصفارا وبالتالي فإن الماسك لا يتغير



خرجه. بينما عندما يكون $CK=1$ فإن بوابتي الـ AND تكون نشطة وتسمح بمرور كل من الإشارتين R و S للتأثير على الماسك فيتغير الخرج تبعا لذلك.

مثال ٧-١

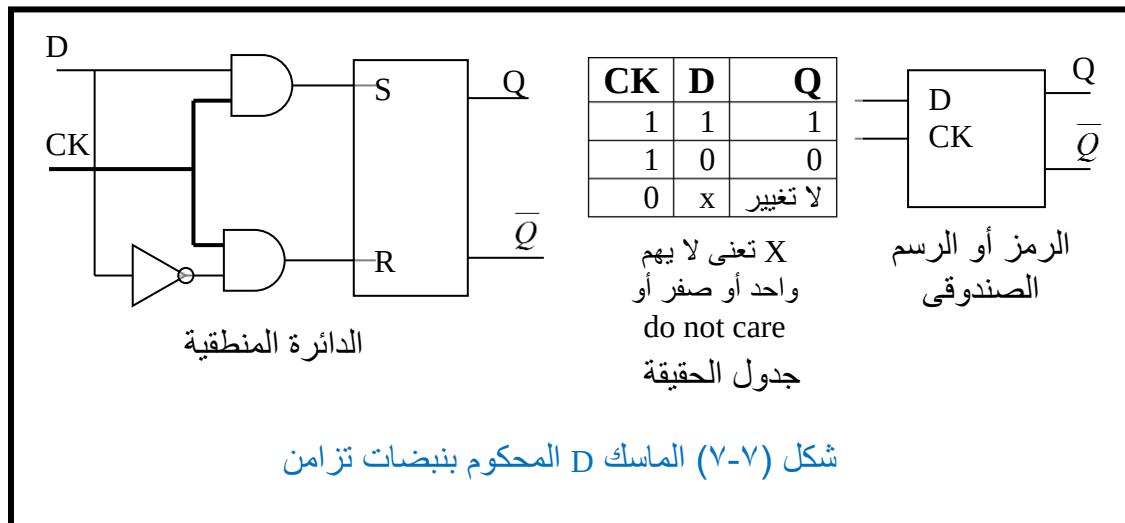


ارسم الخرج Q لماسك RS إذا كان الدخل R و S و نبضات التزامن CK كما هو مبين في شكل (٧-٦).

من هذا الشكل نلاحظ أنه عندما تكون $CK=1$ ننظر لقيمة كل من R و S ونغير الخرج تبعا لذلك وتبعا لجدول الحقيقة لهذا الماسك. انظر لشكل (٧-٦) وتحقق من الخرج عند بداية كل نبضة من نبضات التزامن.

٧-٥ الماسك D المحكوم بنبضات التزامن

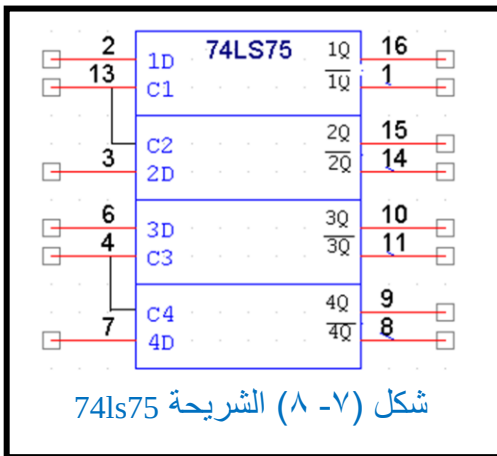
شكل (٧-٧) يبين الدائرة المنطقية والرسم الصندوقي لهذا الماسك. الماسك D هو نفسه الماسك RS سوى أنه تم توصيل كل من الدخلين R و S من خلال عاكس ليصبحا دخلا واحدا كما في الشكل وذلك حتى نتأكد أن كل من R و S سيكون كل منهما عكس الآخر فلا تكون هناك أى فرصة للدخل الغير مسموح به. لذلك فإنه عندما تكون $D=1$ و $CK=1$ فإن الخرج Q يصبح واحد. أنظر جدول الحقيقة لهذا الماسك في شكل (٧-٧). أى أن الخرج Q يساوى الدخل D بعد إعطاء نبضة التزامن. أو بمعنى آخر فإن الخرج Q هو الدخل D متأخرا بمقدار نبضة تزامن واحدة، ومن هنا كانت التسمية D.



٧-٦ الشريحة 7475 ماسك D رباعى

الشريحة 7475 تحتوى ٤ ماسكات D كما فى شكل (٧-٨) الذى يبين الرسم المنطقى لهذه الشريحة. الخرجان Q و $\bar{Q}$ لكل ماسك متاح كخرج من الشريحة. الماسك ١ و ٢ محكومان بنفس مدخل نبضات التزامن CK1، والماسك ٣ و ٤ محكومان بنفس مدخل نبضات التزامن CK2. القدرة Vcc هو الطرف رقم ٥ بينما الأرضى هو الطرف ١٢.

٧-٧ القلابات Flip Flops

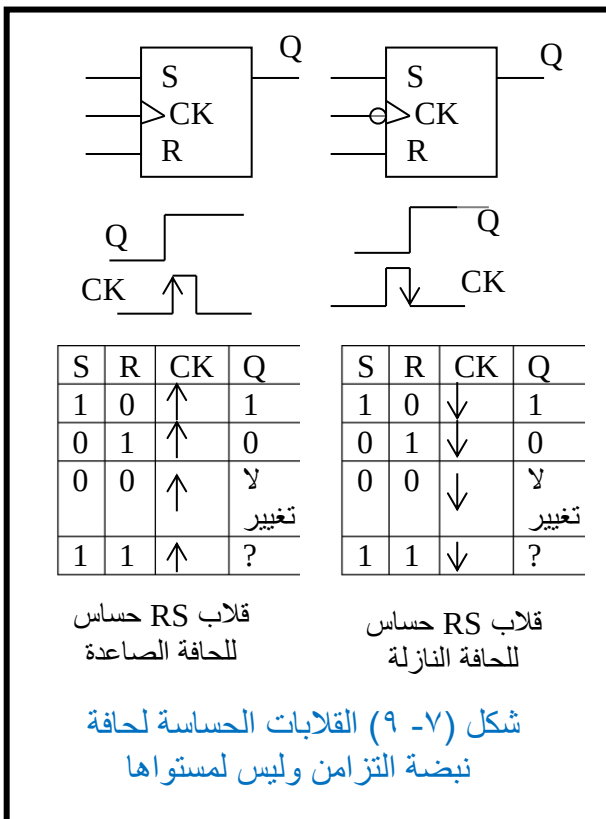


القلاب هو ماسك محكوم بنبضات تزامن كما رأينا سابقا ولكن الخرج لا يتغير تبعا للدخل إلا عند حافة نبضة التزامن فقط، سواء الحافة الصاعدة للنبضة أو الحافة النازلة وسنرى كيف يتم ذلك. فى الماسك كان الخرج يتغير طالما أن الطرف CK=1، هنا فى القلاب لن يتغير الخرج إلا فى وجود حافة للطرف CK. أى أنه حتى لو تغير الدخل R أو S وكان الطرف CK=1 فإن الخرج لن يتغير إلا بعد عبور الطرف CK لحافة معينة سواء كانت الحافة النازلة أو الحافة الصاعدة. شكل (٧-٩) يبين بعض الرموز

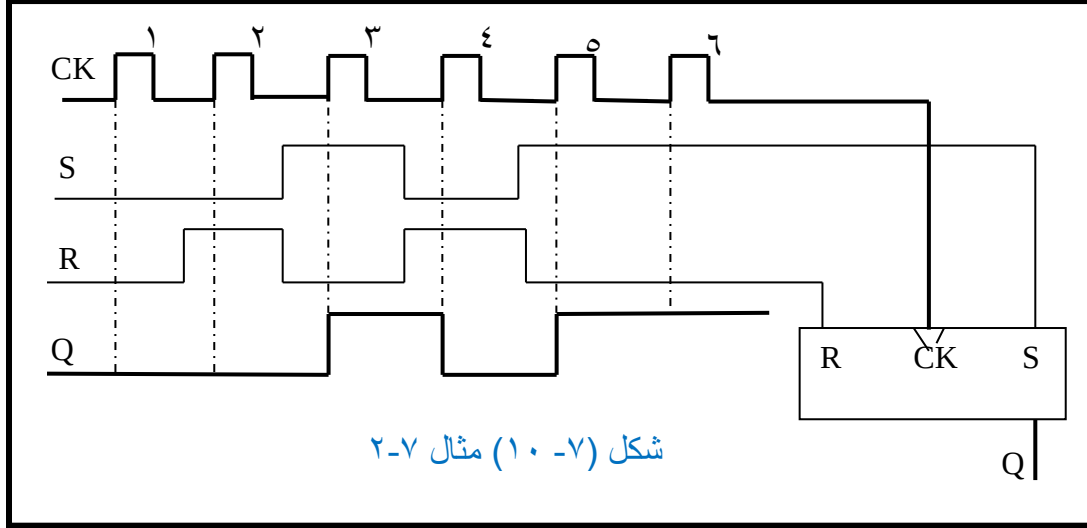
المستخدمة مع القلابات. فمثلا وجود رأس السهم مع الطرف CK تعنى أن هذا الطرف يكون فعالا عند حافة وليس عند مستوى للإشارة على هذا الطرف. وجود دائرة عند مدخل هذا الطرف تعنى أنه يكون فعالا مع الحافة النازلة أو الهابطة أو المتأخرة للنبضة على هذا الطرف. عدم وجود دائرة عند هذا الطرف تعنى أنه فعال عند الحافة الصاعدة أو المتقدمة للنبضة. فى شكل (٧-٩) نلاحظ جدول الحقيقة والرمز المستخدم فى كل حالة. لاحظ السهم الصاعد الذى يمثل الحافة الصاعدة لنبضة التزامن CK فى جدول الحقيقة ، بينما السهم النازل فيمثل الحافة النازلة.

مثال ٧-٢

ارسم خرج القلاب RS المحكوم بنبضات التزامن CK والنبضات على الدخلين S و R كما فى شكل (٧-١٠). نبضات التزامن فعالة مع الحافة الصاعدة وسيكون الخرج مع كل نبضة كما يلى:

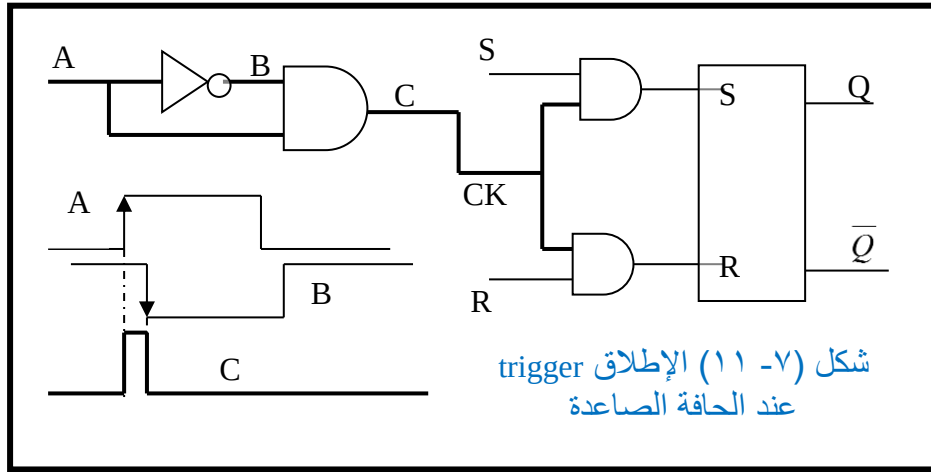


- مع النبضة ١، $S=R=0$ لذلك فإن الخرج لن يتغير، وبفرض أنه كان صفرا، لذلك سيظل صفرا.
- مع النبضة ٢، $S=0, R=1$ لذلك سيحدث تصفير للخرج، وهو أصلا صفرا، لذلك سيبقى صفرا.
- مع النبضة ٣، $S=1, R=0$ لذلك سيصبح الخرج واحد.
- مع النبضة ٤، $S=0, R=1$ سيحدث تصفير للخرج.
- مع النبضة ٥، $S=1, R=0$ سيصبح الخرج واحد.
- مع النبضة ٦، $S=1, R=0$ سيصبح الخرج واحد.



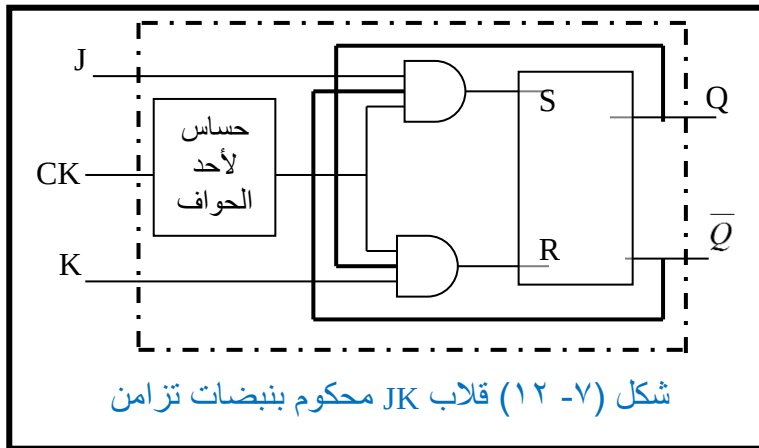
٧-٨ طريقة الإطلاق trigger عند أى حافة

لجعل القلاب يغير من حالته عند أى حافة لنبضة الساعة سواء الحافة الصاعدة أو النازلة فإنه يتم وضع حساس للحافة عند مدخل نبضات التزامن في القلاب. حساس حافة النبضة عبارة عن دائرة تدخل لها نبضة التزامن بأي زمن للدورة فتعطي في الخرج نبضة ذات فترة زمنية قصيرة جدا يقدر عرضها الزمني بعدد قليل من الميكروثانية عند الحافة المطلوبة سواء كانت الحافة الصاعدة أو النازلة. شكل (٧-١١) يبين هذه الدائرة، حيث نلاحظ أنها عبارة عن بوابة AND تم تأخير أحد دخلها عن الآخر بمقدار زمن التأخير لعاكس واحد، وهذا الزمن يساوي تقريبا القليل من الميكروثانية وهو مقدار عرض النبضة الناتجة التي ستسبب إطلاق الدخل وتغيير الخرج. يمكن الحصول على إطلاق عند الحافة النازلة لنبضات الساعة بوضع عاكس آخر على نبضات الساعة A في شكل (٧-١١). بالطبع فإن الإطلاق عند الحافة النازلة أو الصاعدة ليس مقصورا على الماسك RS فقط، ولكن يمكن تطبيقه مع كل أنواع الماسكات أو القلابات حتى التي سنقوم بشرحها فيما بعد، بل إن معظم القلابات تعمل عند حافة نبضة الساعة سواء الصاعدة أو النازلة.



٧-٩ القلاب JK

القلاب JK يعتبر من أكثر القلابات استخداماً. الحرفان J و K ليس لهم أى معنى أو دلالة معينة تتعلق بعمل هذا النوع من القلابات. هذا القلاب يشبه تماماً القلاب RS الذى تمت دراسته فى كل حالات التشغيل، ويختلف عنه فقط فى



الحالة الغير محددة الخرج التى كانت تحدث عندما كان $R=S=1$. فى حالة القلاب JK هذه الحالة أصبحت محددة تماماً ومعروف خرج القلاب JK عندما يكون كل من الدخيلين J و K يساوى واحد. فى هذه الحالة يكون خرج القلاب عكس الحالة السابقة Toggle.

فإذا كان $Q=1$ وجعلنا $J=K=1$

وأعطينا نبضة إطلاق (تزامن) فإن الخرج ينعكس، أى يصبح صفراً ($Q=0$). وأما إذا كان $Q=1$ وجعلنا $J=K=1$ وأعطينا نبضة إطلاق (تزامن) فإن الخرج ينعكس، أى يصبح واحد ($Q=1$). شكل (٧-١٢) يبين التركيب الداخلى لهذا القلاب. نلاحظ من هذا الشكل أن التركيب الداخلى هو نفسه تركيب الماسك RS سوى أن هناك تغذية مرتدة من الخرج Q مع الدخل K وتغذية أخرى مرتدة من الخرج $\bar{Q}$ مع الدخل J.

جدول ٧-٢ يبين جدول الحقيقة للقلاب JK. يمكننا تتبع الحالة

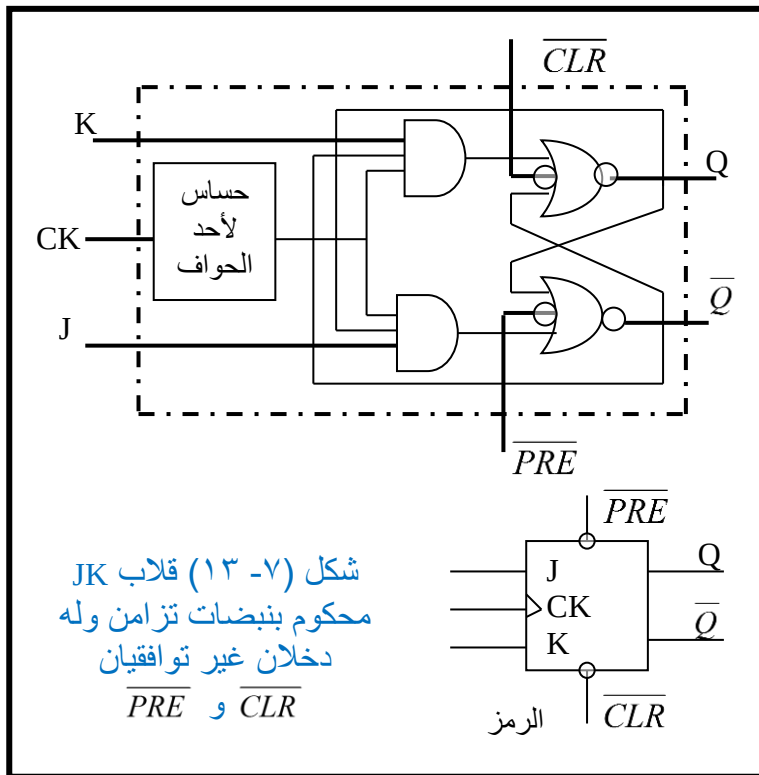
J	K	CK	$Q(n+1)$	تعليق
0	0	↑	$Q(n)$	لا تغيير
1	0	↑	1	
0	1	↑	0	
1	1	↑	$\bar{Q}(n)$	عكس الخرج السابق

جدول ٧-٢ جدول الحقيقة للقلاب JK

مع فرض أن الخرج السابق هو $Q(n)=0$. فى هذه الحالة سنجد أنه عند إعطاء نبضة التزامن فإن البوابة AND العليا سيكون كل دخولها وحيد وبالتالي سيكون خرجها واحد، بينما الـ AND السفلى فعندها $K=Q=0$

لذلك فإن خرجها سيكون صفر. هذا الواحد على الطرف R للقلاب والصفر على الطرف S سيجعل الخرج $Q(n+1)=1$ أى Setting للخرج. الخرج الآخر $\overline{Q(n+1)}$ سيكون صفرا بالطبع. الآن ننظر إلى الحالة الحرجة التى عندها $J=K=1$. فى هذه الحالة بفرض أن $Q=0$ فإن الأند AND العليا سيكون كل دخولها وحيد وبالتالي سيكون خرجها واحد، والأند AND السفلى سيدخل لها صفر كتغذية مرتدة من الخرج Q ولذلك سيكون خرجها صفر. إذن هناك صفر على الطرف R للقلاب وواحد على الطرف S وهذا من شأنه أن يجعل الخرج $Q=1$ أى ينعكس. يمكن تتبع الإشارة $J=K=1, Q=1$ حيث سنجد فى هذه الحالة أن الخرج سينعكس ليصبح $Q=0$. بينما الحالة $J=K=0$ فإنها لن تسبب تغييرا للخرج. تتبع كل هذه الحالات فى شكل (٧-١٢) وجدول ٧-٢ وتأكد من أن كل حالات هذا الجدول صحيحة. يمكن توصيل كل من الطرفين J و K من خلال عاكس للحصول على قلاب D كما فعلنا فى حالة الماسك RS. أيضا على حسب حساس الحافة الموجود فى مدخل نبضات التزامن يمكن تصميم قلاب JK حساس للحافة النازلة أو الحافة الصاعدة.

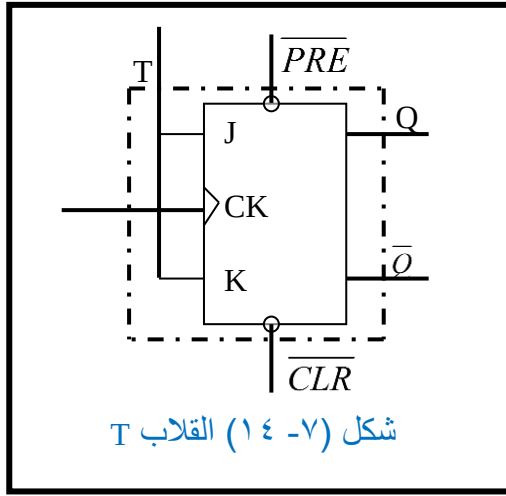
٧-١٠ الدخول غير المتوافقة Asynchronous Inputs



الدخلان J و K يعتبران دخول توافقية **synchronous** لأنها لا يحدث لها تأثير على الخرج إلا إذا كانت هناك نبضة تزامن. أى أن هذه الدخول متوافقة مع نبضات التزامن. أحيانا تضطرنا الحاجة إلى إضافة دخول غير متوافقة مع نبضات التزامن تستخدم فى الكثير من التطبيقات لوضع حالات ابتدائية على خرج القلاب، كأن نجعل الخرج $Q=0$ قبل البدء فى التشغيل ودون اعتماد على نبضات التزامن لإدخال هذه الحالات. شكل (٧-١٣) يبين التركيب الداخلى لقلاب JK بعد

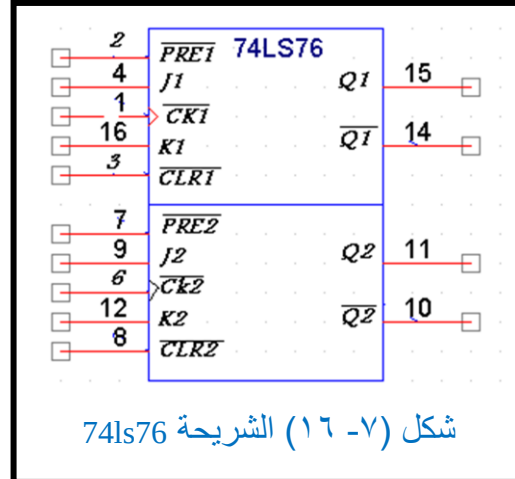
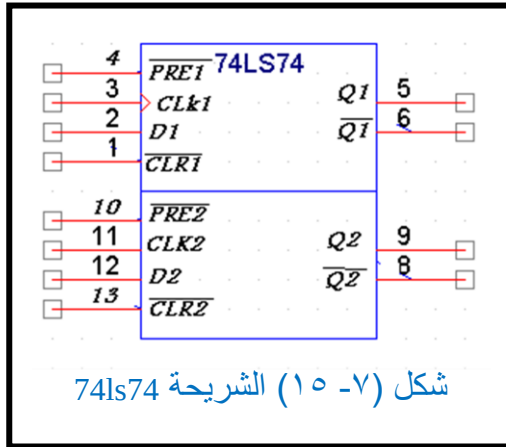
إضافة دخلين غير متوافقين له. الدخل الأول هو دخل التصفير $\overline{CLR}$ وهذا الدخل كما نرى منخفض الفعالية نتيجة الشرطة الموجودة على اسمه وهذا يعنى أنه بوضع صفر على هذا الدخل سيجعل الخرج Q يساوى صفرا دون النظر إلى نبضات التزامن. هناك أيضا الدخل الثانى $\overline{PRE}$ الذى عندما يكون صفر يجبر الخرج على أن يكون واحد دون النظر أيضا لنبضات التزامن CK. انظر الرمز المستخدم للقلاب فى هذه الحالة.

٧-١١ القلاب T



القلاب T هو نفسه القلاب JK ولكن بعد توصيل كل من الطرفين J و K مع بعضهما مباشرة ليكونا دخلا واحدا يسمى الدخل T. كما رأينا فإنه عندما يكون كل من $J=K=1$ فإن خرج القلاب يعكس حالته. بتطبيق ذلك على القلاب T نجد أنه يجعل الدخل $T=1$ فإن خرج القلاب سيعكس حالته. هذا القلاب يستخدم بكثرة في بناء العدادات الثنائية كما سنرى. شكل (٧-١٤) يبين الرمز المستخدم لهذا القلاب. تذكر أن الحرف T اختصار لكلمة toggle التي تعني العكس أو الانقلاب وهذه هي وظيفة هذا القلاب كما رأينا.

٧-١٢ الشريحة 74ls74 قلابان من النوع D



هذه الشريحة تحتوي قلابان من النوع D لا يعتمد أى منهما على الآخر فيما عدا طرفي القدرة V_{CC} على الطرف ١٤ وطرف الأرضى على الطرف ٧ للشريحة فهما يشتركان لكل من القلابين. كل من القلابين حساس للحافة الصاعدة لنبضات الساعة. الشريحة لها طرف تصفير $\overline{CLR}$ وطرف وضع $\overline{PRE}$ ، وكل منهما منخفض الفعالية، أى ينشط عندما يكون صفر. شكل (٧-١٥) يبين ال رسم المنطقي لهذه الشريحة.

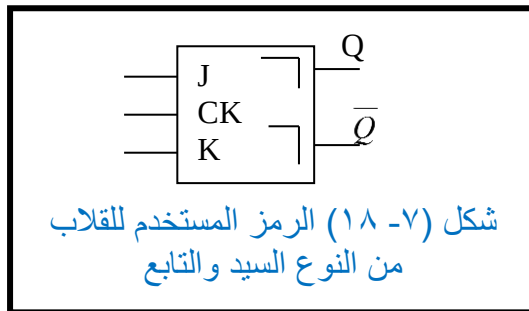
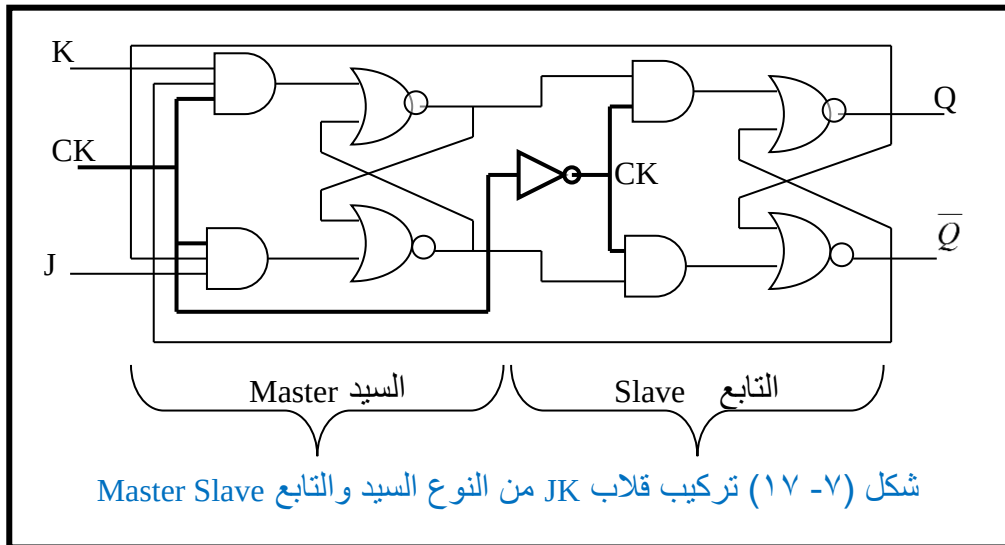
٧-١٣ الشريحة 74ls76 قلابان من النوع JK

هذه الشريحة تحتوي قلابان من النوع JK لا يعتمد أى منهما على الآخر فيما عدا طرفي القدرة V_{CC} على الطرف ٥ وطرف الأرضى على الطرف ١٣ للشريحة فهما يشتركان لكل من القلابين. كل من القلابين حساس للحافة النازلة

لنبضات الساعة. الشريحة لها طرف تصفير $\overline{CLR}$ وطرف وضع $\overline{PRE}$ ، وكل منهما منخفض الفعالية، أى ينشط عندما يكون صفر. شكل (٧-١٦) يبين الرسم المنطقي لهذه الشريحة.

٧-١٤ قلاب السيد والعبد Master Slave Flip Flop

بالرغم من أن هذا النوع من القلابات تم استبداله بالقلابات الحساسة للحافة (سواء الصاعدة أو النازلة) إلا أنه يستحق أن نلقى عليه نظرة لأنه مازال يصنع وسوف تجده في الكثير من الأجهزة القديمة. نفهم من ذلك أن الهدف من هذا القلاب كان بغرض الحصول على قلاب حساس لأحد حواف نبضات التزامن edge triggered، لذلك فإن جدول الحقيقة له سيكون هو نفسه جدول الحقيقة لأي قلاب حساس للحافة، الاختلاف فقط هو في تركيب كل منهما. شكل (٧-١٧) يبين تركيب قلاب JK من نوع السيد والعبد، و جدول ٧-٣ يبين جدول الحقيقة لهذا القلاب. كما نرى من شكل (٧-١٧) فإن هذا القلاب يتكون من وحدتين من القلابات RS موصلتين على التابع. الوحدة الأولى تسمى السيد master والوحدة الثانية تسمى العبد أو التابع slave. خرج المرحلة الأولى موصول كدخول للمرحلة الثانية. نبضات التزامن الداخلة لمرحلة العبد تكون عكس نبضات التزامن الداخلة لمرحلة السيد. هناك تغذية مرتدة من الخرجين Q و $\overline{Q}$ لمرحلة العبد إلى دخل المرحلة الأولى (السيد) للحصول على أداء القلاب JK. دخل المرحلة الأولى هو الدخل JK للقلاب كله. كذلك فإن خرج المرحلة الثانية يمثل خرج القلاب كله كما في شكل (٧-١٧).



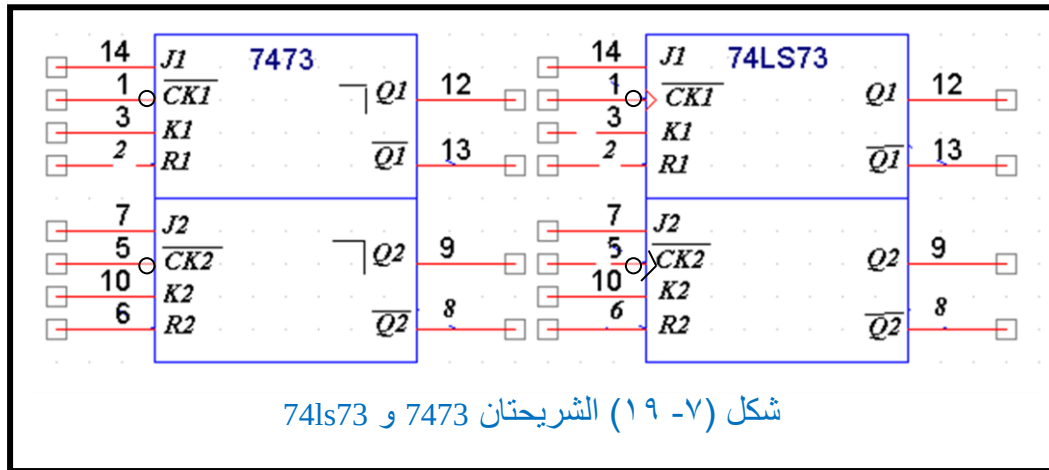
J	K	CK	Q(n+1)	تعليق
0	0		Q(n)	لا تغيير
1	0		1	
0	1		0	
1	1		$\overline{Q(n)}$	عكس الخرج السابق

جدول ٧-٣ جدول الحقيقة للقلاب JK من النوع السيد والتابع

الجديد في هذا القلاب أنه ليس حساسا للحافة، ولكن خرج النهائي بعد مرحلة التابع يتغير عند الحافة النازلة لنبضة التزامن. عند إعطاء نبضة تزامن على الطرف CK عند دخل المرحلة الأولى (مرحلة السيد) ومع الحافة الصاعدة لها يتغير خرج هذه المرحلة. لاحظ أن نبضة التزامن يتم عكسها قبل الدخول للمرحلة الثانية، لذلك فإن خرج هذه المرحلة لن يتغير لأن الإشارة هناك في هذه اللحظة تكون نازلة من الواحد إلى الصفر. عند الحافة النازلة لنبضة التزامن ونتيجة العكس تصعد الإشارة من صفر إلى واحد عند الدخول CK للمرحلة الثانية، ولذلك فإن خرج هذه المرحلة سيتغير تبعاً للإشارة الموجودة على خرج المرحلة الأولى. بمعنى آخر، فإن الخرج Q يتغير عند الحافة النازلة لنبضة التزامن الأساسية وليس عند الحافة الصاعدة كما كان مفروضاً في حالة القلاب العادى. شكل (٧-١٨) يبين الرمز المستخدم لهذا النوع من القلابات، وجدول ٧-٣ يبين جدول الحقيقة له. الجديد في هذا الرمز هو وجود النبضة النازلة عند خرجي القلاب للدلالة على أن التغيير يتم عند الحافة النازلة لنبضة التزامن.

٧-١٥ الشريحة 7473 قلابان JK من نوع السيد والتابع

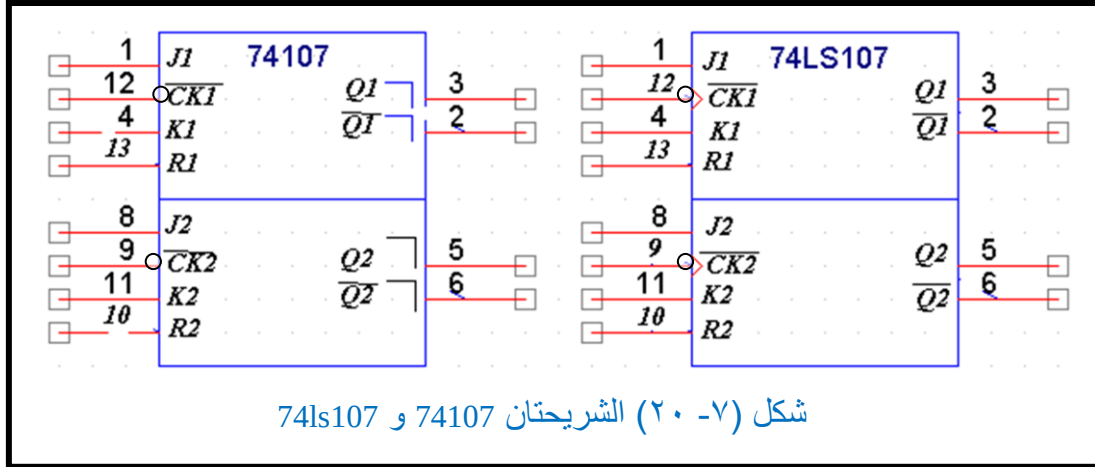
هذه الشريحة تحتوى قلابان JK من نوع السيد والتابع حيث مع الحافة الصاعدة لنبضات الساعة يتغير خرج مرحلة السيد، وعند الحافة النازلة يتغير مرحلة التابع. لا بد أن تكون الإشارة على الطرفين J و K ثابتة في أثناء استمرار الإشارة $CK=1$ وإلا فإنه من الممكن أن يحدث عدم استقرار لخرج الدائرة. هذه الشريحة لها طرف واحد للتصغير الغير تزامنى للخرج $\overline{CLR}$ وهذا الطرف منخفض الفعالية. الشريحة 74ls73 هي نفسها الشريحة 7473 سوى أنها ليست من نوع السيد والتابع ولكنها حساسة للحافة النازلة لنبضات الساعة. القدرة V_{CC} لهذه الشريحة على الطرف ٤ وأما الأرضى GND فعلى الطرف ١١. شكل (٧-١٩) يبين الرسم المنطقى لهذه الشريحة.



٧-١٦ الشريحة 74107 قلابان JK من نوع السيد والتابع

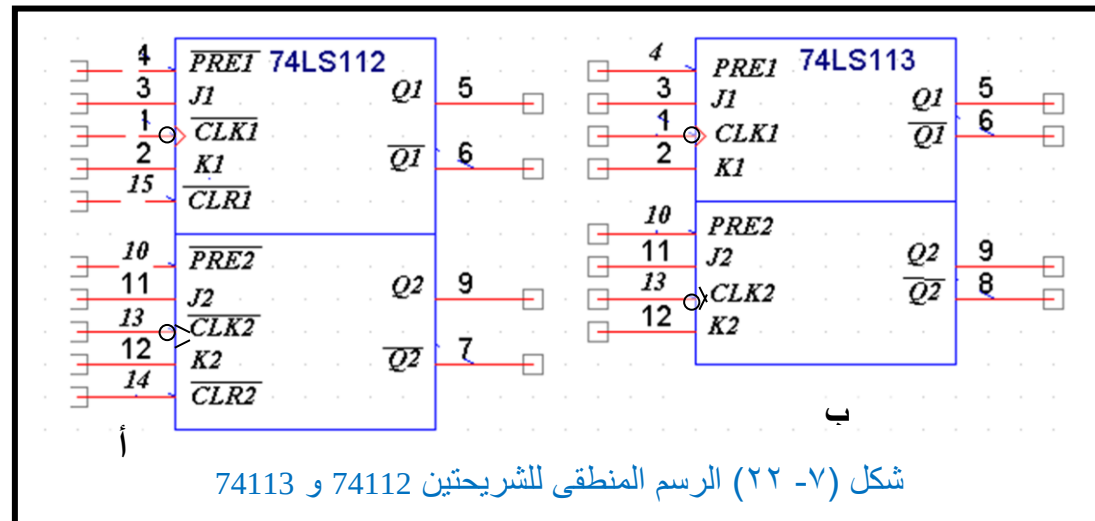
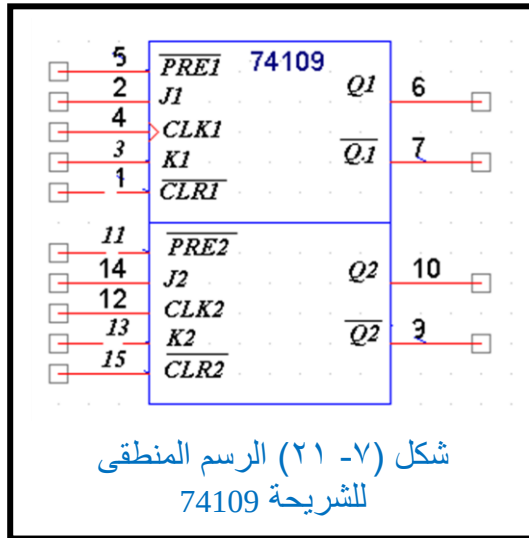
هذه الشريحة تحتوى قلابان JK من نوع السيد والتابع حيث مع الحافة الصاعدة لنبضات الساعة يتغير خرج مرحلة السيد، وعند الحافة النازلة يتغير مرحلة التابع. لا بد أن تكون الإشارة على الطرفين J و K ثابتة في أثناء استمرار الإشارة $CK=1$ وإلا فإنه من الممكن أن يحدث عدم استقرار لخرج الدائرة. هذه الشريحة لها طرف واحد للتصغير الغير تزامنى للخرج

$\overline{CLR}$ وهذا الطرف منخفض الفعالية. الشريحة 74ls107 هي نفسها الشريحة 74107 سوى أنها ليست من نوع السيد والتابع ولكنها حساسة للحافة النازلة لنبضات الساعة. القدرة V_{CC} لهذه الشريحة على الطرف ١٤ وأما الأرضى GND فعلى الطرف ٧. شكل (٧-٢٠) يبين الرسم المنطقي لهذه الشريحة.



٧-١٧ الشريحة 74109 قلابان JK حساس للحافة الصاعدة

هذه الشريحة تحتوي على قلابين JK كل منهما حساس للحافة الصاعدة لنبضات التزامن. كما تحتوي دخلا للتصفير الغير متزامن $\overline{CLR}$ وآخر لجعل الخرج واحد $\overline{PRE}$ بغير تزامن أيضا مع الساعة. شكل (٧-٢١) يبين الرسم المنطقي لهذه الشريحة. طرف القدرة V_{CC} هو الطرف ١٦ وأما الأرضى GND فهو الطرف ٨.



٧-١٨ الشريحة 74112 قلابان JK حساس للحافة النازلة

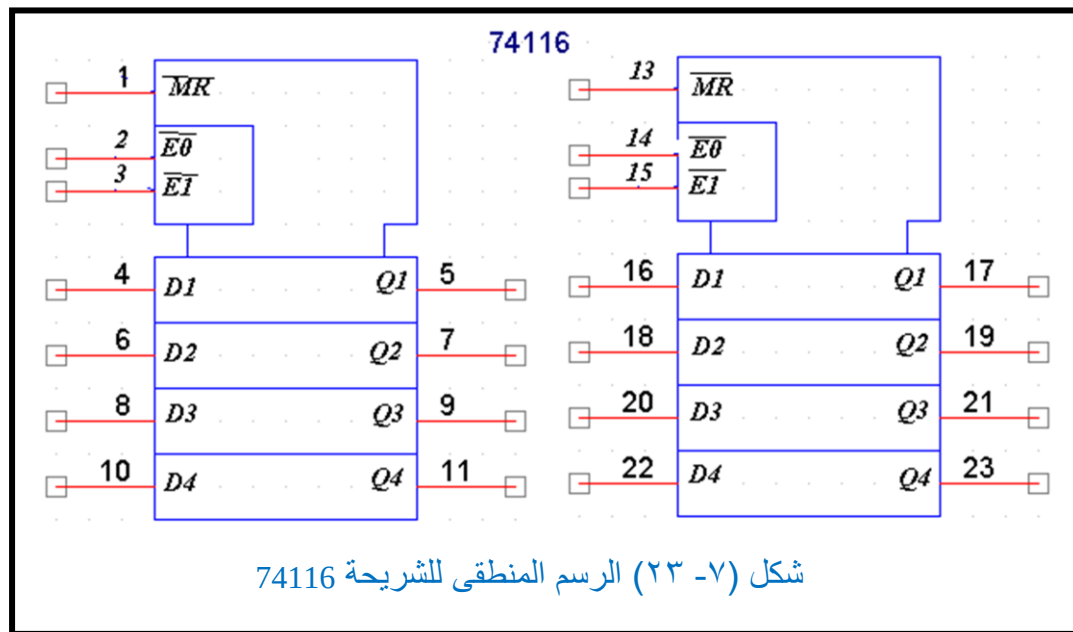
هذه الشريحة تحتوى على قلابين JK كل منهما حساس للحافة النازلة لنبضات التزامن. كما تحتوى دخلا للتصغير الغير متزامن $\overline{CLR}$ وآخر لجعل الخرج واحد $\overline{PRE}$ بغير تزامن أيضا مع الساعة. شكل (٧-٢٢) يبين الرسم المنطقي لهذه الشريحة. طرف القدرة Vcc هو الطرف ١٦ وأما الأرضى GND فهو الطرف ٨.

٧-١٩ الشريحة 74113 قلابان JK حساس للحافة النازلة

هذه الشريحة تحتوى على قلابين JK كل منهما حساس للحافة النازلة لنبضات التزامن. كما تحتوى دخلا لجعل الخرج واحد $\overline{PRE}$ بغير تزامن مع الساعة. شكل (٧-٢٢ب) يبين الرسم المنطقي لهذه الشريحة. طرف القدرة Vcc هو الطرف ١٤ وأما طرف الأرضى GND فهو الطرف ٧.

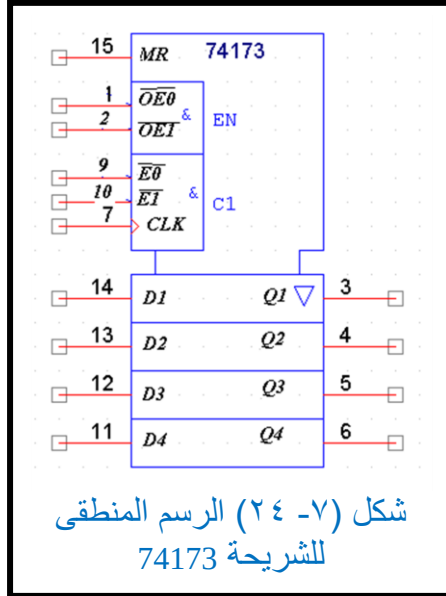
٧-٢٠ الشريحة 74116 ماسكان ذو ٤ بت لكل منهما

تحتوى هذه الشريحة على ماسكان كل منهما ٤ بت، وكل منهما لا يعتمد على الآخر على الإطلاق. كل ماسك له طرفا تنشيط $\overline{E0}$ و $\overline{E1}$ ، وكل منهما منخفض الفعالية. أى أنه عندما يكون كل من طرفا التنشيط يساوى صفر فإن الإشارة الموجودة على المداخل D تنتقل إلى الخرج المقابل Q. أى أن الخرج Q يتبع الدخل D طالما أن طرفي التنشيط كل منهما يساوى صفر، لذلك يطلق على هذه الشريحة بأنها شفافة transparent. كل ماسك له طرف تصغير منخفض الفعالية $\overline{MR}$ يجعل كل مخارج الماسك أصفارا. شكل (٧-٢٣) يبين الرسم المنطقي لهذه الشريحة. طرف القدرة Vcc لهذه الشريحة هو الطرف ٢٤ وطرف الأرضى GND هو الطرف ١٢. الشريحة لها ٢٤ طرف.



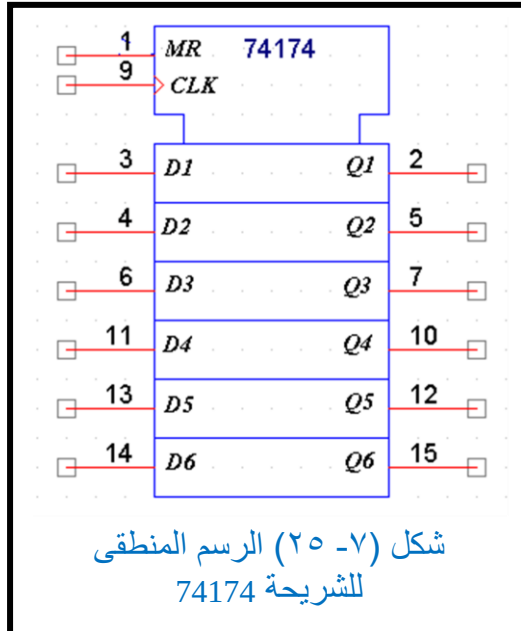
٧-٢١ الشريحة 74173 أربع قلابات من النوع D خرجها من خلال بوابات ثلاثية المنطق

تتكون هذه الشريحة من ٤ قلابات من النوع D ينتقل دخلها إلى خرجها مع الحافة الصاعدة لبضبة التزامن CLK، بشرط أن يكون طرفي التنشيط $\overline{E0}$ و $\overline{E1}$ كل منهما يساوى صفر حيث أنهما منخفضى الفعالية. عندما يكون أى واحد من هذين الخطين يساوى واحد فإنه يلغى تأثير نبضات التزامن، وبذلك يمنع أى تغيير فى الخرج. الخرج Q لكل



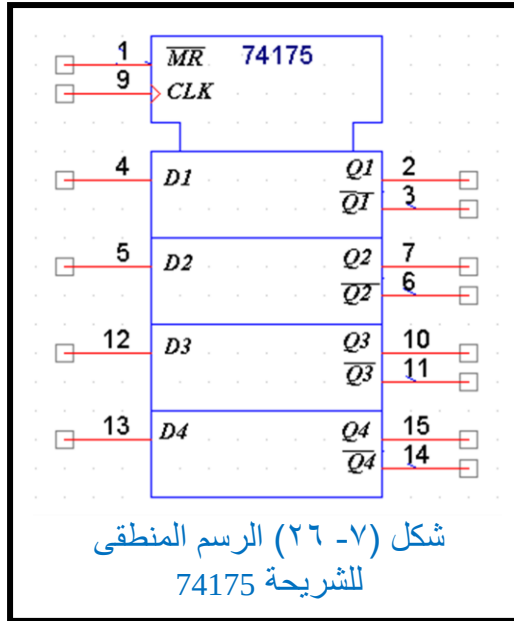
قلاب ينتقل إلى طرف الشريحة من خلال بوابة ثلاثية المنطق. كل البوابات ثلاثية المنطق الأربعة لها خط تحكم واحد وهذا الخط ينشط من خلال بوابة NOR داخل الشريحة لها دخلين هما الطرفان $\overline{OE0}$ و $\overline{OE1}$ وكل منهما منخفض الفعالية، أى أنه لكى يظهر الخرج على أطراف الشريحة لابد أن يكون كل من $\overline{OE0}$ و $\overline{OE1}$ يساوى صفر. عندما يكون أى واحد من هذين الطرفين يساوى واحد تصبح كل المخارج فى حالة المقاومة العالية. الشريحة لها طرف تصفير غير توافقى على الفعالية وهو الطرف MR الذى يجعل كل الخرج تساوى صفر إذا كان هذا الطرف يساوى واحد. شكل (٧-٢٤) يبين الخرج المنطقى للشريحة. الشريحة لها ١٦ طرف، الطرف ١٦ هو طرف القدرة V_{CC} بينما الطرف ٨ هو طرف الأرضى GND. لاحظ رمز المثلث على الخرج ليدل على أن المخارج ثلاثية المنطق.

٧-٢٢ الشريحة 74174 ستة قلابات من النوع D



تحتوى هذه الشريحة على ستة ماسكات من النوع D لها نفس طرف نبضات التزامن حيث ينتقل دخل كل منها إلى الخرج Q مع الحافة الصاعدة لبضبة التزامن. الشريحة لها طرف تصفير منخفض الفعالية $\overline{MR}$ يجعل كل المخارج أصفارا عندما يكون هذا الطرف يساوى صفر. الشريحة لها ١٦ طرف، الطرف ١٦ يمثل القدرة V_{CC} والطرف ٨ يمثل الأرضى GND. شكل (٧-٢٥) يبين الرسم المنطقى للشريحة.

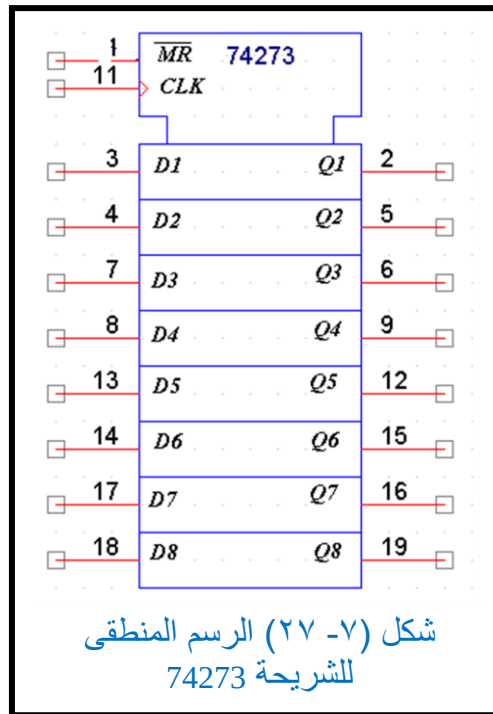
٢٣-٧ الشريحة 74175 أربع قلابات من النوع D



تحتوى هذه الشريحة على أربع ماسكات من النوع D لها طرف تزامن واحد حساس للحافة الصاعدة عند انتقال الإشارة عليه من صفر إلى واحد يتم تسجيل الدخل على الخرج. كل ماسك له المخرجين Q و $\bar{Q}$. الشريحة لها طرف تصفير عام $\overline{MR}$ منخفض الفعالية يجعل جميع المخارج أصفار عندما يكون صفر. الشريحة لها ١٦ طرف، الطرف ١٦ يمثل القدرة V_{cc} والطرف ٨ يمثل الأرضى GND. شكل (٢٦-٧) يبين الرسم المنطقي للشريحة.

٢٤-٧ الشريحة 74273 ثمان قلابات

من النوع D



تحتوى هذه الشريحة على ثمان قلابات من النوع D تنتقل الإشارة الموجودة عليها إلى الخرج المقابل لكل منها مع الحافة الصاعدة لطرف التزامن CLK. الشريحة لها طرف تصفير $\overline{MR}$ منخفض الفعالية يجعل كل المخارج أصفار عندما يكون صفراً. الشريحة لها ٢٠ طرف، الطرف رقم ٢٠ هو طرف القدرة V_{cc} ، والطرف ١٠ هو طرف الأرضى GND. شكل (٢٧-٧) يبين الرسم المنطقي لهذه الشريحة.

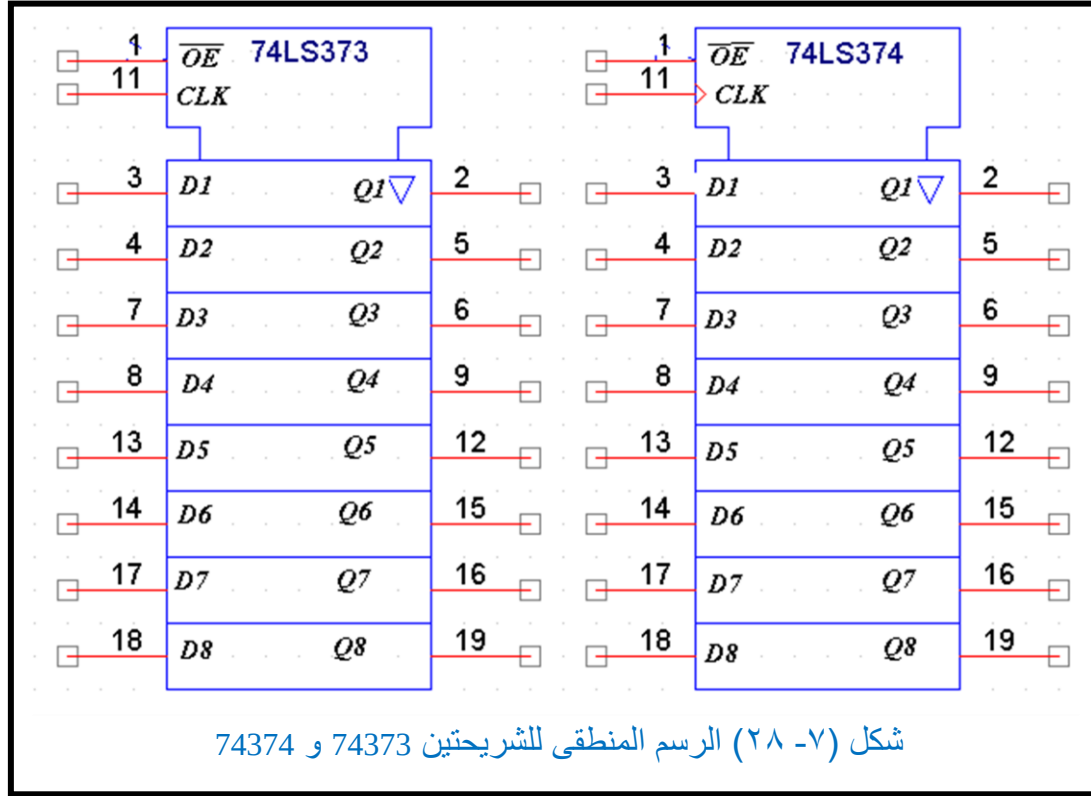
٢٥-٧ الشريحة 74373 و 74374

ثمان قلابات من النوع D خرجها من

خلال بوابات ثلاثية المنطق

تحتوى هذه الشرائح على ثمان قلابات من النوع D التي ينتقل دخلها إلى خرجها مع الحافة الصاعدة لنبضات التزامن CLK في حالة الشريحة 74374. نبضات التزامن CLK في حالة الشريحة 74373 ليست حساسة لأي من الحافتين ولكنها حساسة لمستوى النبضة، أى أن الخرج يساوى الدخل طالما أن هذا الطرف يساوى واحد، لذلك يقال أن هذه الشريحة شفافة transparent. خرج هذه القلابات يتصل بأطراف الشريحة من خلال ثمان بوابات ثلاثية المنطق طرف التنشيط لها هو الطرف $\overline{OE}$ المنخفض الفعالية في كل من الشريحتين. عندما يكون هذا الطرف صفر ينتقل خرج القلابات إلى أطراف الشريحة وعندما يكون واحد تكون جميع

المخارج في حالة المقاومة العالية. شكل (٧- ٢٨) يبين الرسم المنطقي للشريحتين. كل من الشريحتين لها ٢٠ طرف، والطرف ٢٠ هو القدرة V_{CC} والطرف ١٠ هو الأرضى GND.



٧-٢٦ بعض الخواص المهمة للقلابات

٧-٢٦-١ زمن الانتشار أو زمن العبور Propagation delay time

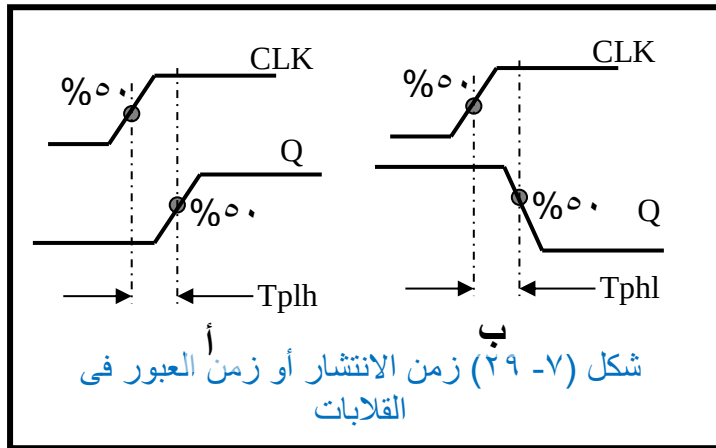
زمن الانتشار هو الفترة الزمنية بين وضع الدخل للقلاب وتغير خرجه إلى قيمة ثابتة بناء على هذا الدخل. هناك أكثر من صورة لهذا الزمن على حسب شكل نبضة التزامن وكيفية تغير الخرج بناء عليها. شكل (٧- ٢٩) يبين هذه الصور، وهي كالتالى:

١- الزمن T_{plh} وهو الفترة الزمنية من منتصف الحافة المؤثرة لنبضة التزامن (الصاعدة أو النازلة) إلى أن يصعد الخرج من صفر إلى ٥٠% من قيمة الجهد المنطقي واحد أو القيمة العظمى. أنظر شكل (٧- ٢٩).

٢- الزمن T_{phl} وهو الفترة الزمنية من منتصف الحافة المؤثرة لنبضة التزامن (الصاعدة أو النازلة) إلى أن ينزل الخرج من واحد (أو القيمة العظمى) إلى ٥٠% من قيمة الجهد المنطقي صفر أو القيمة الصغرى. أنظر شكل (٧- ٢٩ ب).

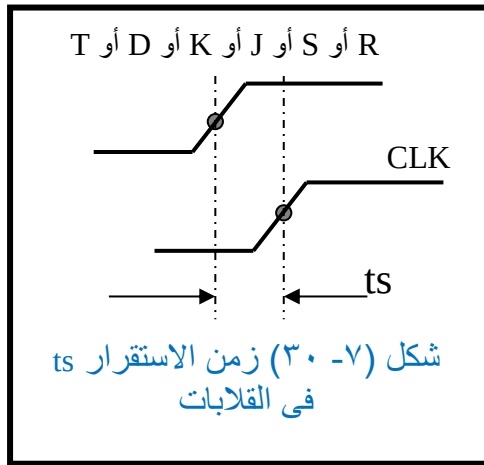
يمكن تعريف هذا الزمن في حالة تغير الخرج نتيجة الدخول الغير توافقية على أطراف التصفير $\overline{CLR}$ أو أطراف جعل الخرج يساوى واحد $\overline{PRE}$.

٧-٢٦-٢ زمن الاستقرار Set up time



زمن الاستقرار t_s هو الفترة الزمنية التي يجب أن تثبت عليها الدخول المنطقية (R أو S أو J أو K أو D أو T) قبل تطبيق الحافة المؤثرة لنبضة التزامن حتى يثبت الخرج على قيمته الجديدة. أى أن الدخول المنطقية إذا تغيرت أو لم تستقر حتى يمر هذا الزمن، فإن قيمة الخرج لن تكون ثابتة أو محددة. شكل (٧-٣٠) يبين هذا الزمن. تذكر جيداً أن هناك فرق بين زمن الاستقرار وزمن العبور.

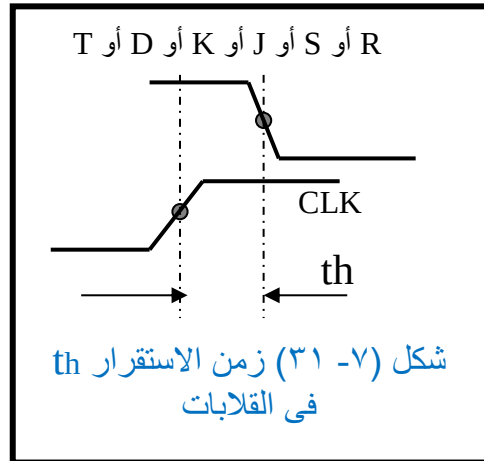
٧-٢٦-٣ زمن المسك Hold time



زمن المسك t_h هو الزمن الذى يجب أن يظل الدخل (R أو S أو J أو K أو D أو T) مستقرًا فيه بعد تطبيق الحافة المؤثرة لنبضة التزامن، وإلا فإن الخرج لن يستقر. شكل (٧-٣١) يبين تمثيلاً لهذا الزمن.

٧-٢٦-٤ أقصى قيمة لتردد الساعة

Maximum clock frequency

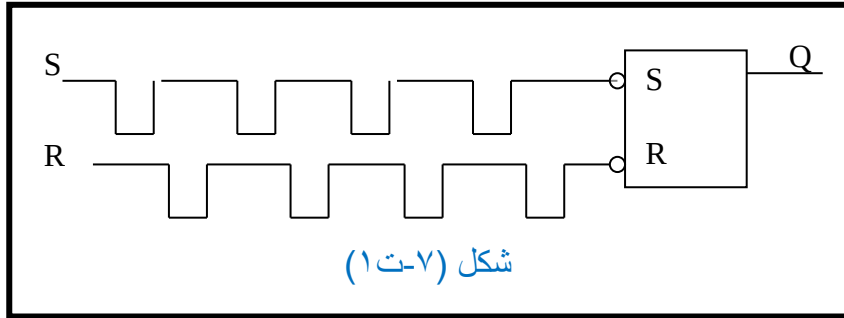


أقصى قيمة لتردد الساعة أو تردد نبضات التزامن f_{max} هي أعلى تردد يمكن تطبيقه لتشغيل القلاب قبل أن يفشل القلاب في العمل أو متابعة الدخل.

٧-٢٧ تطبيقات القلابات

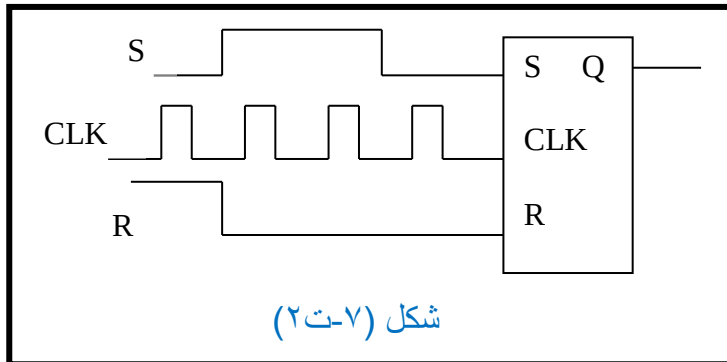
من أهم التطبيقات التي تستخدم القلابات مسجلات الإزاحة والعدادات الثنائية، ولقد تم تخصيص فصل كامل لشرح كل منها، ولذلك سترجىء الكلام عن تطبيقات القلابات حتى ندرس هذين الفصلين حيث عندها سنقدر دور القلابات في الكثير من الأجهزة والتطبيقات الرقمية.

٢٨-٧ تمارين



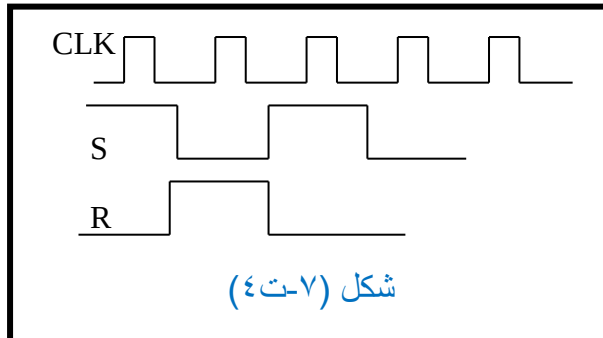
١- شكل (٧-١)

يبين شكل الإشارة المطبقة على كل من الدخيلين R و S لمسك من النوع RS المبين في نفس



الشكل. ارسم شكل الإشارة على خرج المسك Q إذا كانت هذه الدخول كلها منخفضة الفعالية؟

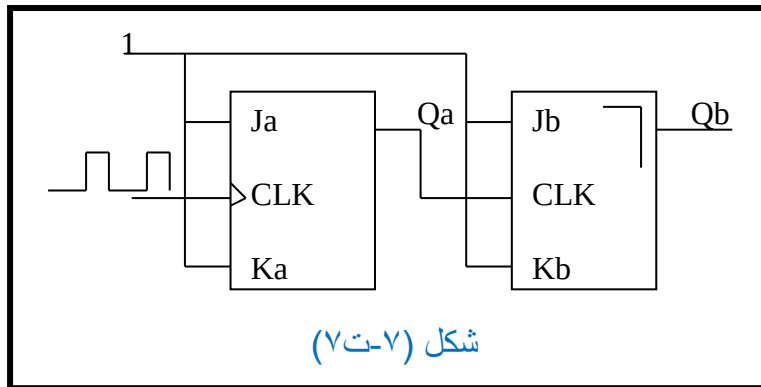
٢- ارسم شكل الإشارة على الخرج Q لمسك RS محكوم بنبضات تزامن CLK إذا كانت الإشارة



الموجودة على الدخول كما هو مبين في شكل (٧-٢).

٣- أعد السؤال ٢ إذا كان المسك من النوع D بدلا من RS؟

٤- قلابان من النوع RS أحدهما حساس للحافة الصاعدة والآخر حساس للحافة النازلة. تم إدخال الإشارات الموجودة في شكل (٧-٤)



على كل منهما على حده، ارسم خرج كل قلاب على حدة واذكر الفرق بين كل منهما؟

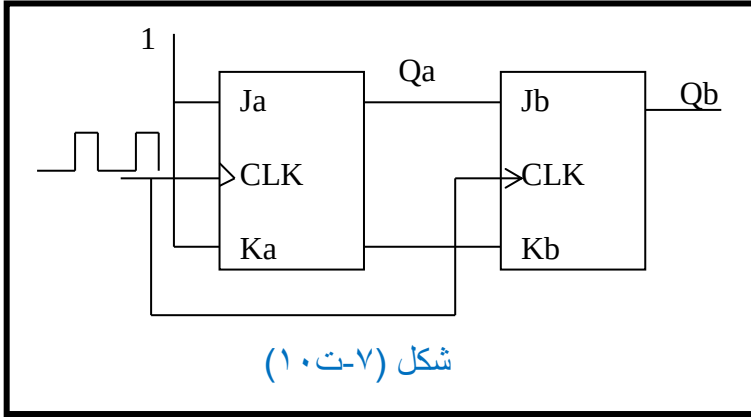
٥- أعد السؤال الرابع لقلابان من النوع D بدلا من RS؟

٦- أعد السؤال الرابع لقلابان من النوع JK بدلا من RS؟

٧- ارسم شكل الخرج Qb للدائرة الموجودة في شكل (٧-٧)؟

٨- حاول الحصول على كتالوجات كل القلابات والمسكات التي جاء ذكرها في هذا الفصل واكتب قيمة كل مما يأتي لكل قلاب أو مسك: زمن الاستقرار، زمن المسك، زمن العبور أو الانتشار، القيمة العظمى لتردد الساعة؟

٩- أحد القلايات ينص الكتالوج الخاص بها على أن أقل زمن تكون فيه نبضة الساعة منخفضة هو ٣٠ نانوثانية وأقل زمن تكون فيه النبضة مرتفعة هو ٣٧ نانوثانية، ما هو أقصى تردد لنبضات الساعة يمكن أن يعمل عنده هذا القلاب؟

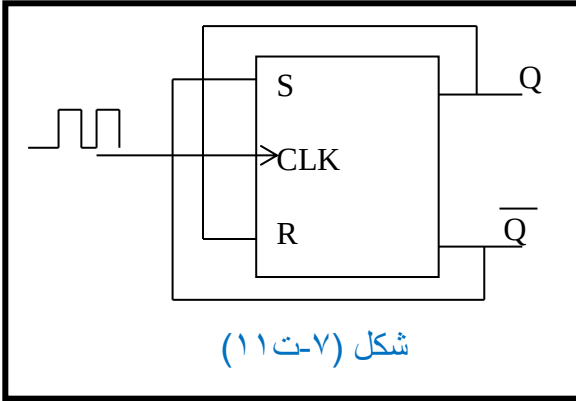


١٠- للدائرة الموجودة في شكل (٧-١٠)

ت (١٠) ما هو أعظم تردد يمكن أن تعمل عنده هذه الدائرة إذا كان زمن العبور لكل قلاب هو ٢٠ نانوثانية، وزمن الاستقرار ٢٥ نانوثانية وزمن المسك ٢٥ نانوثانية أيضاً؟

١١- ارسم خرج القلاب RS

الموجود في شكل (٧-١١)؟



١٢- للدائرة الموجودة في شكل (٧-١٠) ارسم شكل

الخرج لكل من القلايين لمدة ١٠ نبضات تزامن؟ ارسم ذلك بالتوافق مع نبضات التزامن.

الفصل الثامن

٨

العدادات الرقمية

Digital Counters

٨-١ مقدمة

العداد الرقمي عبارة عن مجموعة من القلابات الموصلة مع بعضها بطريقة معينة يمكن بها أن تعد النبضات الداخلة إليها. على حسب طريقة توصيل كل قلاب مع القلاب التالي له يتحدد نوع العداد كما سنرى في هذا الفصل. سنرى أيضاً كيف نصمم عدداً يعد تصاعدياً أو آخر يعد تنازلياً، أو عن طريق خط تحكم يمكن للعداد أن يعد تصاعدياً أو تنازلياً.

٨-٢ العدادات التمرجية أو غير التوافقية

Ripple (Asynchronous) Counters

في هذا النوع من العدادات يتم توصيل خرج كل قلاب Q كنبضات تزامن للقلاب التالي له، ونبضات الساعة للمرحلة الأولى تكون هي النبضات المراد عدّها كما في شكل (٨-١) الذي يبين ٣ قلابات كلها من النوع الحساس للحافة النازلة وكلها موصلة لتعمل كقلاب من النوع T عن طريق توصيل الدخيلين J و K لكل قلاب بالواحد. لذلك فإن خرج كل

قلاب سيغير من حالته مع كل

حافة نازلة لنبضات التزامن.

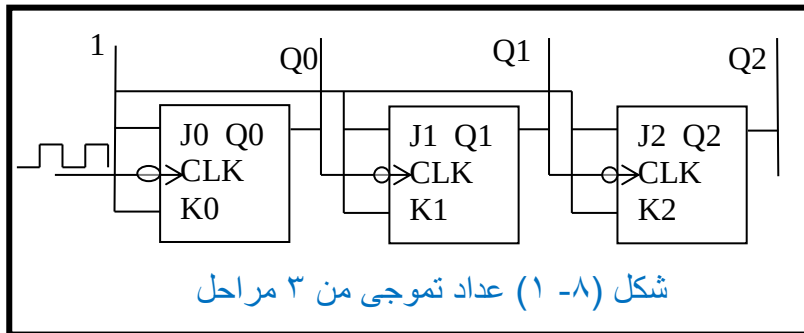
خرج كل قلاب تم استخدامه

كنبضات تزامن للمرحلة التالية

كما في الشكل. شكل (٨-١)

(٢) يبين الخرج على كل مرحلة

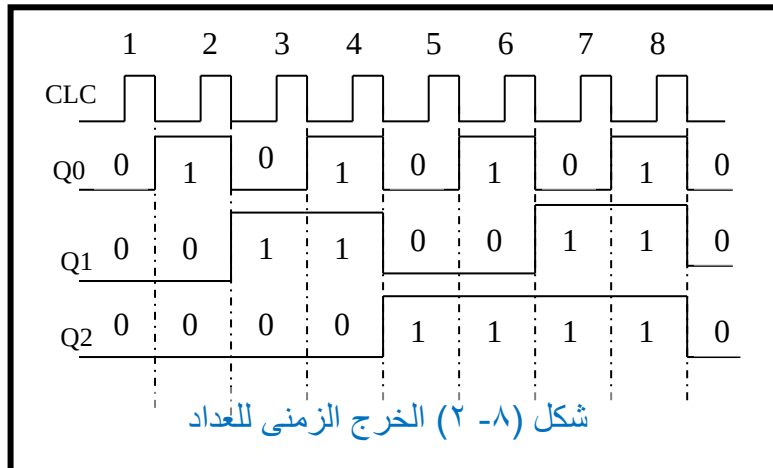
من مراحل العداد مع نبضات



شكل (٨-١) عداد تمرجي من ٣ مراحل

	Q2	Q1	Q0
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
8	0	0	0

جدول ٨-١
الخرج لعداد من
٣ مراحل



شكل (٨-٢) الخرج الزمني للعداد

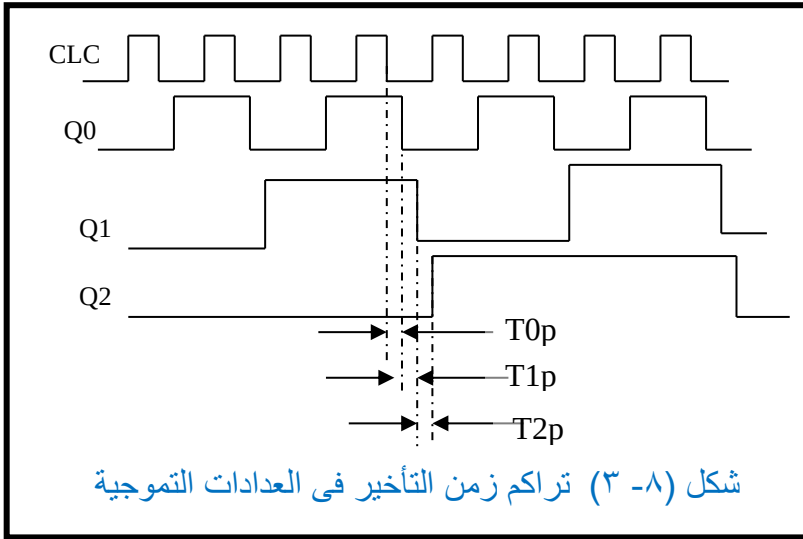
التزامن حيث نرى منه كيف أن مع كل نبضة نجد أن الخرج يمثل القيمة الرقمية لهذه النبضة.

في البداية كان خرج جميع المراحل أصفار. بعد أول نبضة كان خرج العداد 001 بعد

النبضة الثانية كان الخرج 010، وهكذا بعد النبضة السابعة يكون الخرج 111 وبعد النبضة الثامنة يصفر العداد نفسه ويبدأ

العد من جديد. لاحظ أن القيمة العظمى للعداد هي الرقم ٧، وعدد حالات خرج العداد هي ٨ حالات تبدأ من الحالة

000 وحتى الحالة 111 كما هو مبين في الجدول ٨-١. من ذلك نرى أن عدد حالات الخرج لأى عداد سيكون 2^n حيث n هى عدد مراحل العداد أو عدد القلايات التى يتكون منها. من عيوب العدادات التمرجية أن أزمنة التأخير تتراكم من مرحلة لأخرى، لذلك أطلق عليها اسم التموجى ripple لأن زمن التأخير يتموج أو يتراكم من مرحلة للثانية.



شكل (٨-٣) يبين كيف أن زمن التأخير للمرحلة الأخيرة سيساوى $3T_p$ حيث أن T_p هو زمن تأخير المرحلة الواحدة و 3 هو عدد المراحل. زمن التأخير هذا بالطبع كما نرى سيضع حداً لكبر تردد يمكن أن يعمل عنده مثل هذا العداد، أو بمعنى آخر أكبر تردد لنبضات التزامن التى يعدها هذا

العداد. تخيل مثلاً أن زمن التأخير للمرحلة الواحدة هو ١٠ نانوثانية، وأن لدينا عدداً من عشرة مراحل. فى هذه الحالة سيكون مقدار التأخير لكل المراحل هو $10 \times 10 = 100$ نانوثانية. معنى ذلك أن أكبر تردد لنبضات الساعة (وبالتالى سرعة العداد) يجب ألا تتعدى:

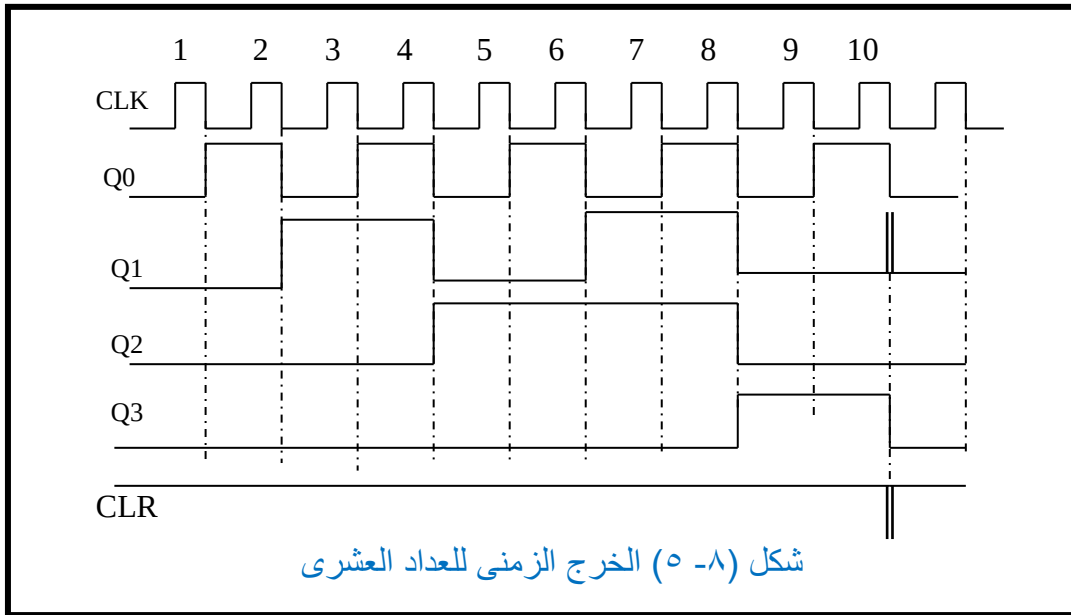
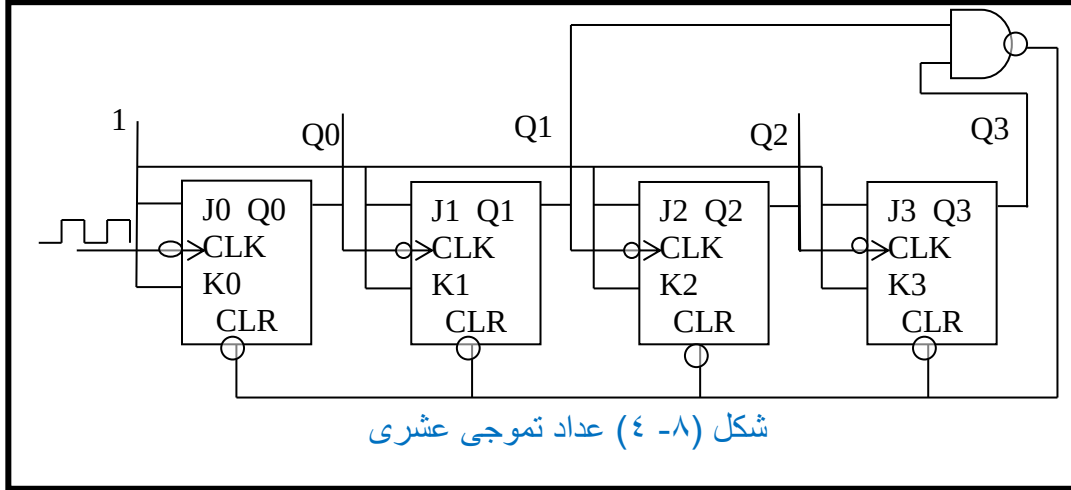
$$F_{max} = \frac{1}{100 \times 10^{-9}} = 10 \text{ mega Hertz} \quad (٨-١)$$

ومن جهة أخرى سنجد أن ذلك سيضع حداً على عدد مراحل العداد التى يمكن استخدامها مع أى تردد معين.

٨-٣ عدادات تموجية لأى قاعدة

لقد رأينا أن العداد السابق لا بد أن يمر بكل الحالات الممكنة للخرج، لذلك فإن عدد حالاته أو نظام عدده هو 2^n حيث n هى عدد مراحل العداد. يمكن تصميم العداد ليعد لأى عدد من الحالات مثل عداد يعد من صفر إلى ١٨ مثلاً، أو عداد يعد من صفر إلى مائة، أو إلى أى رقم ليس من قوى الرقم ٢. أشهر هذه العدادات هو العداد العشري الذى يعد من صفر إلى ٩، أى أنه له ١٠ حالات. سنرى فى هذا الجزء كيفية تصميم العداد العشري. النظرية هنا هى أننا نستخدم عدد من المراحل يعطى هذا العدد من الحالات المطلوبة أو أكثر. ثم بعد ذلك نستخدم محلل شفرة ينشط عند الحالة عشرة (1010) فيعطى إشارة تصفر جميع مراحل العداد وتجعله يبدأ العد من الصفر مرة أخرى. شكل (٨-٤) يبين هذا العداد. نلاحظ من هذا الشكل أن العداد مكون من ٤ مراحل لأن ٣ مراحل تعطى ٨ حالات فقط، لذلك لا بد من استخدام ٤ مراحل. بعد ذلك استخدمنا بوابة ناند (محلل شفرة) دخلها هما كل من Q1 و Q3 حيث كل منهما يكون واحد عند العدة العاشرة (1010) فقط. خرج بوابة الناند يذهب ليصفر جميع القلايات من طرف التصفير CLR الخاص بكل منها، حيث عندها يبدأ العداد من الصفر مرة أخرى. شكل (٨-٥) يبين المخطط التزامنى لخرج جميع مراحل العداد. لاحظ وجود النتوء أو النبضة القصيرة جدا glitch التى ظهرت على الخرج Q1 عند العدة العاشرة. هذا النتوء يظهر لأن

الخروج Q1 عند هذه اللحظة يصعد للواحد أولاً وبعد مرور زمن قصير جداً يعود للصفر مرة ثانية. هذا الزمن هو زمن الانتشار خلال بوابة الناند ثم زمن الانتشار في القلاب خلال الطرف CLR وكل ذلك يقدر بعدد صغير من النانوثانية. لذلك فإن عرض هذا النبوء يكون صغيراً جداً ومن الصعب رؤيته إلا بمبين ذبذبات oscilloscope على التردد أو محلل منطقي Logic analyzer. بالطبع فإن هذا النبوء يعتبر عيباً لأنه قد يسبب بعض المشاكل في الكثير من الدوائر الرقمية. بنفس الطريقة يمكن تصميم أى عداد لأى قاعدة.



من الملاحظات المهمة للعدادات أن خرج كل مرحلة يعتبر قاسم لتردد المرحلة السابقة بمقدار ٢. فالخرج Q0 له تردد نصف تردد نبضات التزامن المدخلة. والخرج Q1 له تردد نصف تردد الخرج Q0 وبالتالي ربع تردد نبضات التزامن، وهكذا حاول متابعة ذلك على مخططات التزامن لأى عداد. بالنسبة للعداد العشرى سنجد أن خرج المرحلة الرابعة Q3 يعتبر عشر تردد نبضات التزامن، أى يقسم تردد الإشارة المدخلة على عشرة.

٨-٤ العداد التوافقي

Synchronous Counter

كلمة توافقي هنا نقصد بها أن كل القلايات في العداد تغير من حالتها بالتوافق مع نفس نبضات التزامن. لذلك فإن طرف التزامن لكل القلايات يكون موصلا على نفس المصدر. لذلك فإننا سنرى أن هذا النوع من القلايات يكون أسرع من العدادات التمرجية التي درسناها في الجزء السابق. لتصميم هذه العدادات نتبع نفس طريقة تصميم الدوائر التوافقية، حيث سنفرض جدول الحقيقة للعداد المطلوب، ونحدد قيم الدخيلين J و K لكل قلاب ولكل حالة. ثم من هذه الحالات نحصل على المعادلة المنطقية لكل دخل منها في أبسط صورها.

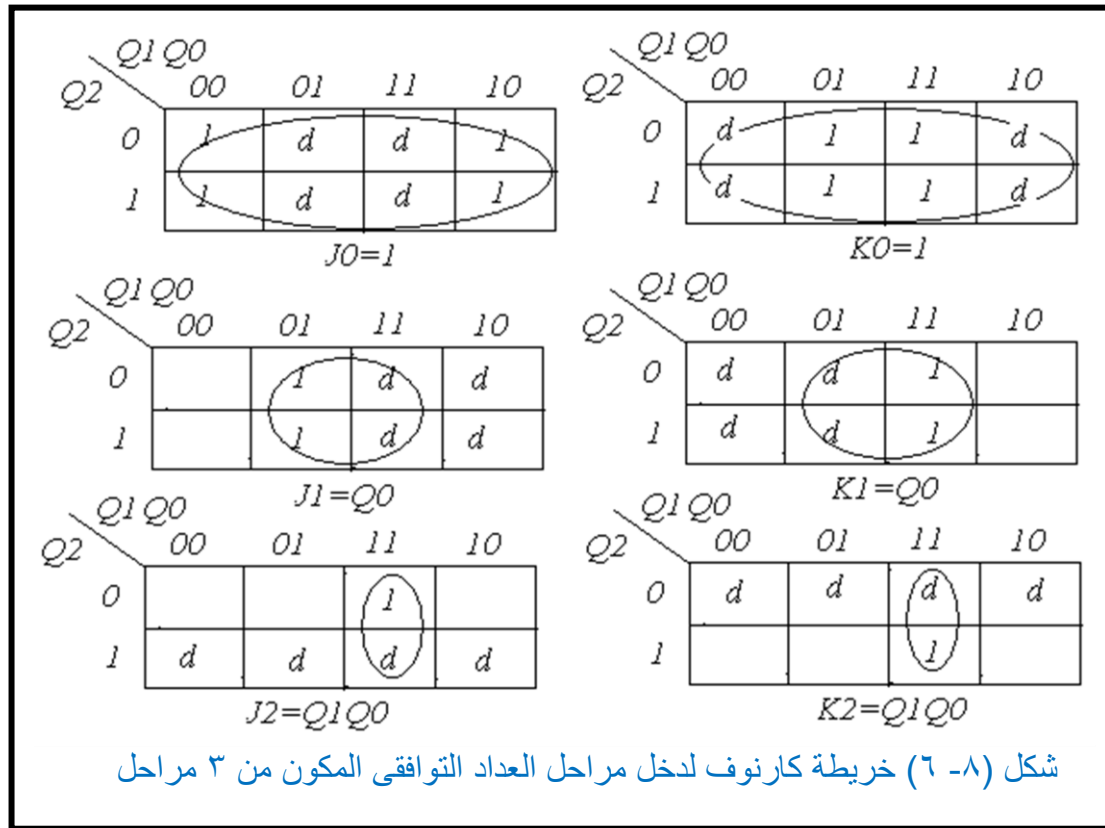
الحالة التالية			الحالة الحالية			الدخل المطلوب					
Q2	Q1	Q0	Q2	Q1	Q0	J2	K2	J1	K1	J0	K0
0	0	0	0	0	1	0	d	0	d	1	d
0	0	1	0	1	0	0	d	1	d	d	1
0	1	0	0	1	1	0	d	d	0	1	d
0	1	1	1	0	0	1	d	d	1	d	1
1	0	0	1	0	1	d	0	0	d	1	d
1	0	1	1	1	0	d	0	1	d	d	1
1	1	0	1	1	1	d	0	d	0	1	d
1	1	1	0	0	0	d	1	d	1	d	1

جدول ٨-٢ جدول الحقيقة لعداد توافقي من ٣ مراحل

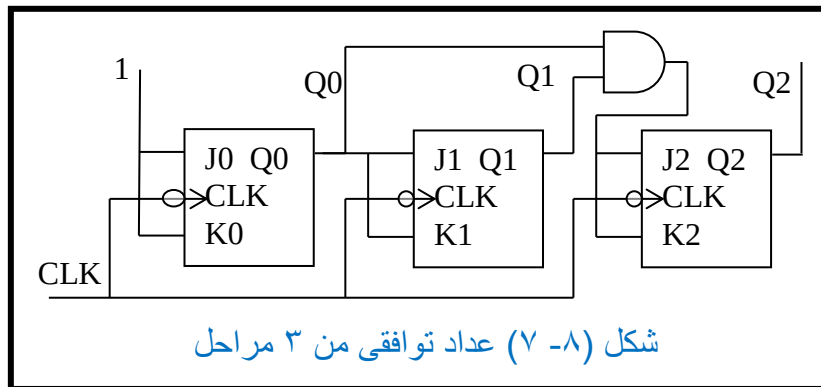
كمثال على ذلك سنصمم عداد توافقي من ٣ مراحل. جدول ٨-٢ يبين جدول الحقيقة لهذا العداد. حاول دراسة كل حالات هذا الجدول. من جدول ٨-٢ تم عمل خريطة كارنوف لكل دخل من دخول القلايات كما في شكل (٨-٦). الحرف d في هذا الجدول يعني do not care أى لا يهم أن تكون هذه الخلية أو هذا المتغير واحد أو صفر فلن تؤثر على النتيجة. فمثلا لكي نغير الخرج Q0 من صفر إلى واحد فإنه يلزم أن تكون J0=1 و K0=0 وهذا هو وضع setting أو جعل الخرج يساوى واحد كما درسنا من خواص القلاب JK. يمكن أيضا تغيير الخرج Q0 من صفر إلى واحد بجعل كل من J0=1 و K0=1 حيث سيحدث انقلاب للخرج من صفر إلى واحد. نلاحظ من ذلك أنه لتغيير الخرج Q0 من صفر إلى واحد فلا بد أن تكون J0=1 وأما K0 فلا يهم أن تكون صفر أو واحد ولذلك نعطيها الحرف d. الخلايا التي يكون فيها الحرف d في خريطة كارنوف تكون مفيدة جدا في عملية التبسيط حيث في هذه الحالة فإننا نضع d بالقيمة التي تساعدنا في الحصول على تبسيط أكثر. فإذا كانت الخلية التي تحتوى على الحرف d مجاورة لخلية أو خلايا بها واحد (كما في خريطة J0 و K0 في شكل (٨-٦)) فإننا نضع d=1 حتى نأخذها مع الخلايا المجاورة فنحصل على تبسيط أكثر. في خريطة J0 و K0 وضعنا كل الأحرف d=1 فحصلنا على أكبر تبسيط وهو J0=K0=1. بينما في حالة J2 و K2 فقد وضعنا خلية واحدة فقط من الخلايا d=1 وباقي الخلايا وضعناها أصفارا حتى لا تكلفنا كميات أخرى وتعد المعادلة في هذه الحالة ولا تبسطها.

شكل (٨-٧) يبين الدائرة الكاملة للعداد التوافقي المكون من ٣ مراحل. لو اتبعنا نفس طريقة التصميم للعدادات المكونة من ٤ و ٥ وأى عدد من المراحل سنجد أن عملية التصميم سهلة ومتكررة حيث سنجد أن كل من الدخيلين J و K

لأى مرحلة يوصلان على خرج بوابة آند دخليهما هما خرج المرحلة السابقة لهذه المرحلة وخرج الآند السابقة كما في شكل (٨-٨) الذى يبين الدائرة الكاملة لعداد توافقى من خمسة مراحل.



شكل (٨-٦) خريطة كارنوف لدخل مراحل العداد التوافقى المكون من ٣ مراحل

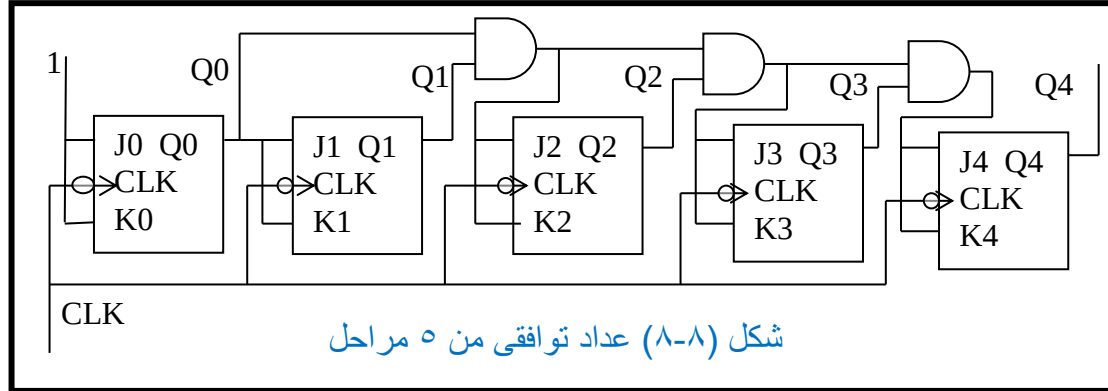


شكل (٨-٧) عداد توافقى من ٣ مراحل

إن أكبر زمن تأخير يمكن أن يحدث من هذا العداد هو عندما يكون خرجة هو 01111 حيث في هذه الحالة سيكون خرج جميع بوابات الآند يساوى صفر نتيجة وجود صفر على Q0، وبعد إعطاء النبضة التالية فإن Q0 تصبح واحد وهذا الواحد سينتشر في كل بوابات الآند حتى يصل لآخر بوابة بعد ذلك يمكن إعطاء النبضة التالية ليقلب العداد إلى الصفر مرة ثانية. أى أن أكبر زمن تأخير يمكن أن يعطى بالمعادلة التالية لعداد مكون من n من المراحل.

$$T = (n-2)T_a + T_{ff} \quad (٨-٢)$$

حيث T_a هو زمن التأخير لبوابة آند، و T_{ff} هو زمن التأخير لقلاب واحد. لاحظ أن زمن التأخير لبوابة آند أقل بكثير من زمن التأخير للقلاب. لاحظ أيضا أن زمن التأخير للعداد التمرجي كان nT_{ff} وهذا أكبر بكثير من نظيره في العداد التوافقي كما في المعادلة (٨-٢).

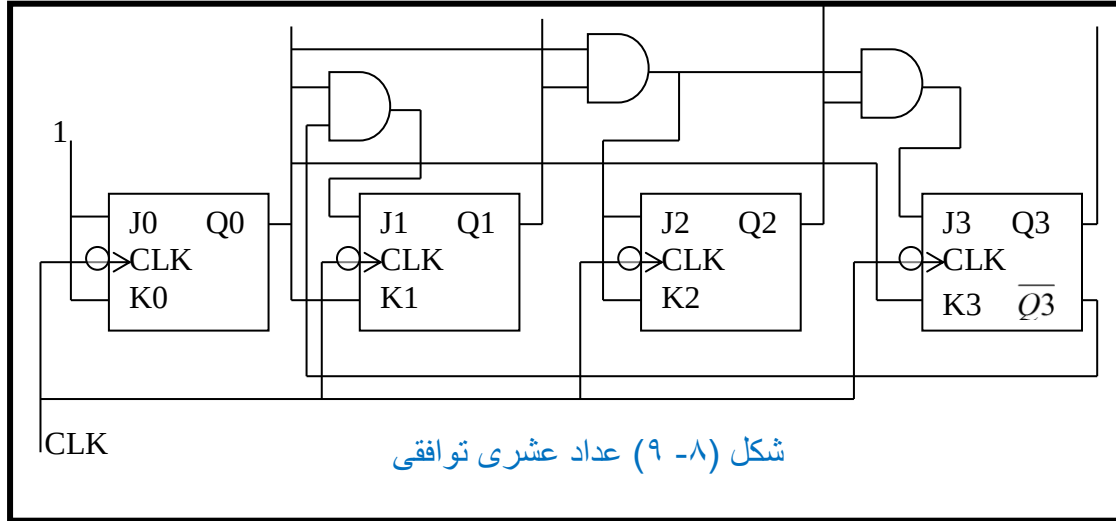


بنفس الطريقة يمكن تصميم عداد توافقي لأي قاعدة. نضع جدول الحقيقة أو جدول التتابعات المطلوبة، ومنه نحصل على خريطة كارنوف لكل J و K لجميع المراحل، ثم نحصل على المعادلات المنطقية المبسطة من هذه الخرائط. ثم نبني الدوائر المنطقية تبعا لهذه المعادلات. كمثال على ذلك فإن جدول ٣-٨ يبين جدول التتابعات للعداد العشري، وشكل (٨-٩) يبين الدائرة المنطقية الناتجة بعد عمليات التبسيط باستخدام خرائط كارنوف التي أعطت المعادلات المنطقية المبسطة التالية:

$$J_0=K_0=1, J_1=\overline{Q_3}Q_0, K_1=Q_0, J_2=K_2=Q_1Q_0, J_3=Q_2Q_1Q_0, K_3=Q$$

	Q3	Q2	Q1	Q0	Q3	Q2	Q1	Q0	J3	K3	J2	K2	J1	K1	J0	K0
0	0	0	0	0	0	0	0	1	0	d	0	d	0	d	1	d
1	0	0	0	1	0	0	1	0	0	d	0	d	1	d	d	1
2	0	0	1	0	0	0	1	1	0	d	0	d	d	0	1	d
3	0	0	1	1	0	1	0	0	0	d	1	d	d	1	d	1
4	0	1	0	0	0	1	0	1	0	d	d	0	0	d	1	d
5	0	1	0	1	0	1	1	0	0	d	d	0	1	d	d	1
6	0	1	1	0	0	1	1	1	0	d	d	0	d	0	1	d
7	0	1	1	1	1	0	0	0	1	d	d	1	d	1	d	1
8	1	0	0	0	1	0	0	1	d	0	0	d	0	d	1	d
9	1	0	0	1	0	0	0	0	d	1	0	d	0	d	d	1
10	1	0	1	0	d	d	d	d	d	d	d	d	d	d	d	d
11	1	0	1	1	d	d	d	d	d	d	d	d	d	d	d	d
12	1	1	0	0	d	d	d	d	d	d	d	d	d	d	d	d
13	1	1	0	1	d	d	d	d	d	d	d	d	d	d	d	d
14	1	1	1	0	d	d	d	d	d	d	d	d	d	d	d	d
15	1	1	1	1	d	d	d	d	d	d	d	d	d	d	d	d

جدول ٣-٨ جدول الحقيقة لعداد عشري توافقي

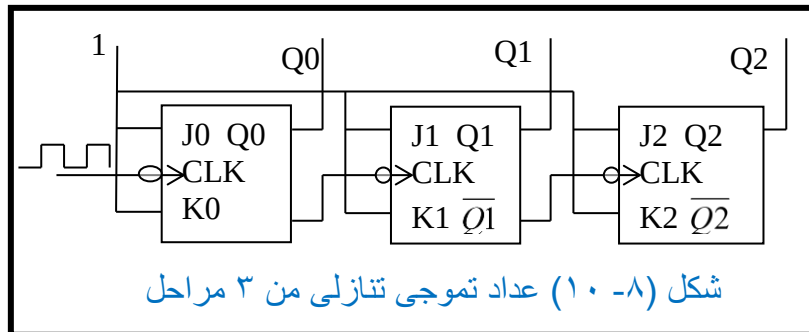


٨-٥ العدادات التنازلية Down Counters

	Q2	Q1	Q0
0	0	0	0
1	1	1	1
2	1	1	0
3	1	0	1
4	1	0	0
5	0	1	1
6	0	1	0
7	0	0	1
8	0	0	0

جدول ٨-٤ خرج
عداد تموجي
تنازلي من ٣
مراحل

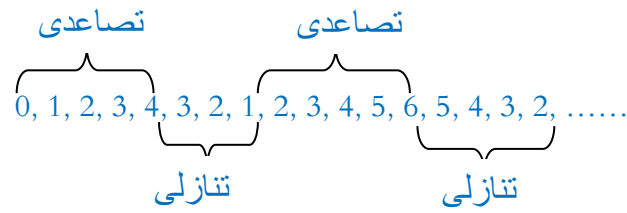
بتعديل بسيط في العداد التاموجي التصاعدي يمكن أن نحصل على عداد تنازلي. العداد التنازلي هو الذي يعد ابتداء من أعلى قيمة له متجهاً إلى أقل قيمة وهي الصفر. شكل (٨-١٠) يبين دائرة لعداد من هذا النوع مكون من ثلاث مراحل. كل ما تم عمله في هذه الدائرة أننا جعلنا الخرج المعكوس لكل مرحلة $\bar{Q}$ هو المستخدم كنبضات تزامن للمرحلة التالية. مع فرض أن جميع المراحل كانت أصفارا في البداية، فإنه مع أول نبضة تزامن للمرحلة الأولى يتغير خرجها Q_0 من صفر إلى واحد وبالتالي فإن خرجها المعكوس $\bar{Q}_0$ يتغير من واحد إلى الصفر، وهذا يسبب تغير خرج المرحلة الثانية Q_1 من صفر إلى الواحد، وبالتالي خرجها المعكوس $\bar{Q}_1$ يتغير هو التالي من واحد إلى الصفر، وهكذا فإنه مع أول نبضة تزامن ينقلب خرج جميع المراحل من صفر إلى واحد. بعد ذلك يستمر العداد في عملية العد التنازلي كما في جدول ٨-٤ الذي يبين حالات هذا العداد.



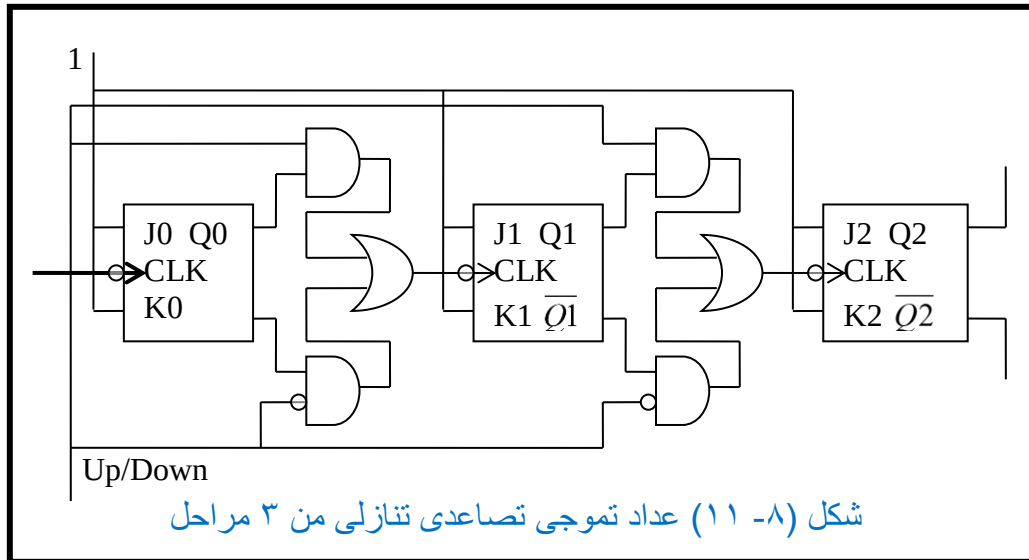
٨-٦ العدادات التصاعدية التنازلية

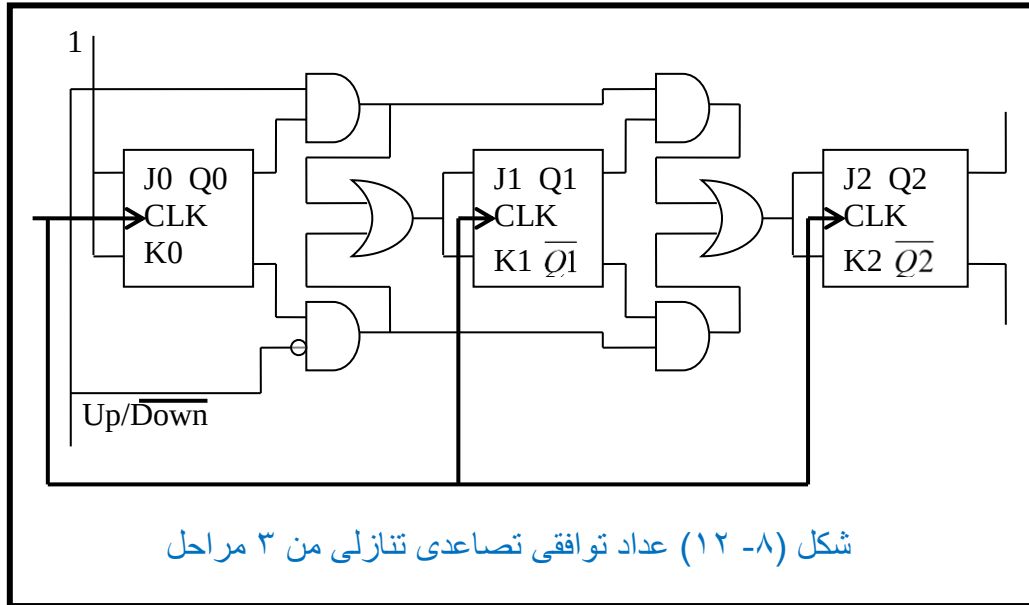
Up/Down Counter

هذا العداد لديه المقدرة على أن يعد في كلا الاتجاهين، التصاعدي أو التنازلي. لذلك فأحيانا يطلق عليه ثنائي الاتجاه. عملية الانتقال من اتجاه معين للعد إلى الاتجاه الآخر تتم عن طريق خط تحكم بحيث عندما يكون هذا الخط يساوى واحد فإن العداد يعد تصاعديا، وعندما يكون خط التحكم صفرا فإن العداد يعد تنازليا. عملية التحول من اتجاه لآخر يمكن أن تتم عند أى لحظة، أى أنه ليس بالضرورة أن يستمر العداد في اتجاه معين حتى يصل إلى نهايته حتى يسمح بتغيير الاتجاه. لذلك يمكن كتابة تتابعات الدخل كما يلي:

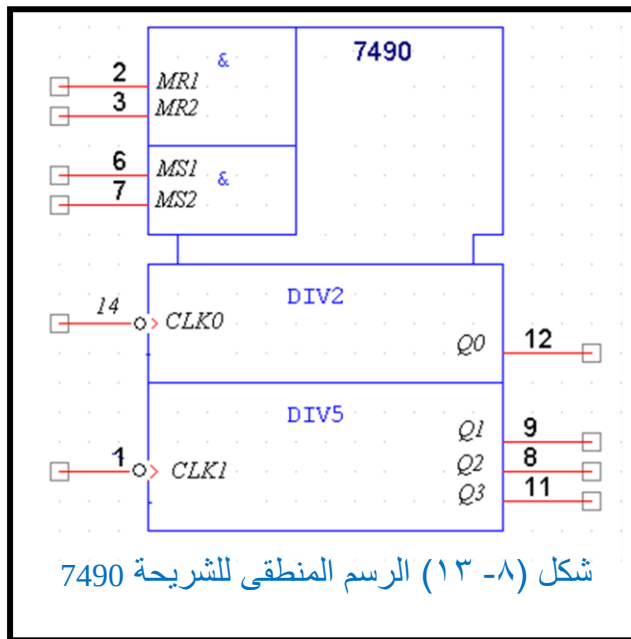


واضح أنه لكي يعمل العداد في الاتجاه التصاعدي فعلينا بإمرار خرج أى مرحلة سابقة كنبضات تزامن للمرحلة التالية، ولكي يعمل كعداد تنازلي فعلينا بإمرار معكوس خرج كل مرحلة كنبضات تزامن للمرحلة التالية. شكل (٨-١١) يبين دائرة عداد تصاعدي تنازلي من النوع التمرجي مكونة من ثلاث مراحل. شكل (٨-١٢) يبين دائرة عداد تصاعدي تنازلي من النوع التوافقي ومكونة من ثلاث مراحل أيضا ويمكن تعميمها لأى عدد من المراحل. حاول تتبع هذه الدائرة واستنتاج جميع حالاتها وارسم المخطط الزمني لخرج كل مرحلة من مراحل هذا العداد.





٨-٧ الشريحة 7490 عداد عشري تموجي



تتكون هذه الشريحة من ٤ قلابات من النوع السيد والتابع موصلة داخليا في جزأين. الجزء الأول عبارة عن عداد ثنائي (أى قاسم على ٢)، والجزء الثاني عبارة عن عداد خماسي (أى قاسم على ٥). كل جزء له مدخل خاص بنبضات الساعة. الدخل CLK0 هو طرف التزامن الخاص بالعداد الثنائي، والطرف CLK1 هو طرف التزامن الخاص بالعداد الخماسي. بتوصيل الجزأين مع بعضهما تحصل على عداد عشري (أى قاسم على ١٠). الجزء الخماسي في العداد موصلا توصيلا تموجيا ويغير حالته على الحافة النازلة لنبضات الساعة. هناك طرفي تصفير

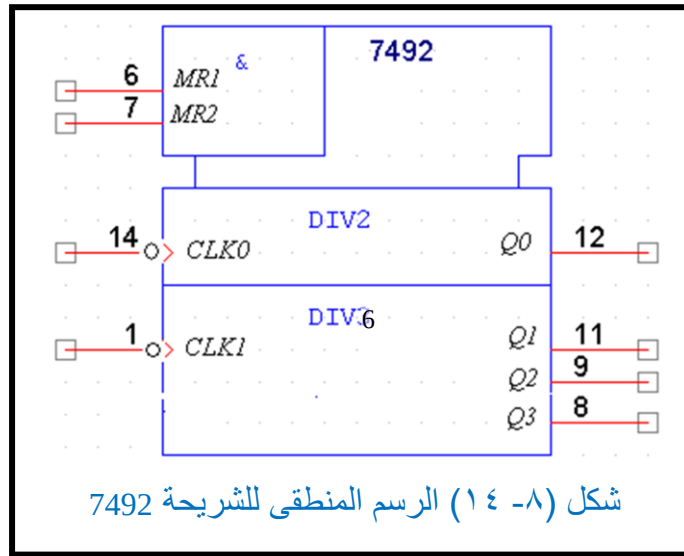
MR1 و MR2 بحيث يتم تصفير كل مراحل العداد عندما يكون كل من هذين الطرفين يساوى واحد في نفس الوقت لأن الدخلين يدخلان على بوابة آند موجودة داخل الشريحة. هناك أيضا الطرفان MS1 و MS2 اللذان يجعلان الخرج يساوى تسعة (آخر حالة في العداد) عندما يكون كل من الخطين يساوى واحد أيضا في نفس الوقت لأن الدخلين يدخلان على بوابة آند داخل الشريحة. الشريحة لها ٤ أطراف للخرج تظهر عليها حالات العداد. الطرفان ١٣ و ٤ في الشريحة غير موصلان Not Connected, NC أى لا يحملان أى إشارة سواء كدخل أو خرج من الشريحة. الشريحة لها ١٤ طرف، الطرف ٥ هو طرف القدرة Vcc والطرف ١٠ هو الأرضى GND. التردد الأقصى لهذا العداد هو ٣٠ ميگاهرتز. في حالة الشريحة 74ls90 فإن هذا التردد يصل إلى ٤٢ ميگاهرتز. تيار مصدر القدرة لهذه الشريحة يساوى

٣٠ ميللى أمبير و ٩ ميللى أمبير للشريحة 74ls90. شكل (٨-١٣) يبين الرسم المنطقى لهذه الشريحة وجدول ٨-٥ يوضح جدول الحقيقة لها. الإشارة X فى جدول الحقيقة تعنى لا يهم أن يكون هذا الطرف واحد أو صفر.

خطوط التحكم				الخرج			
MR1	MR2	MS1	MS2	Q0	Q1	Q2	Q3
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
L	X	L	X	Count			
X	L	X	L	Count			
L	X	X	L	Count			
H	L	L	X	Count			

جدول ٨-٥ جدول الحقيقة للشريحة 7490

٨-٨ الشريحة 7492 عداد تموجى قاسم على ١٢



تتكون هذه الشريحة من ٤ قلابات من النوع السيد والتابع موصلة داخليا فى جزأين. الجزء الأول عبارة عن عداد ثنائى (أى قاسم على ٢)، والجزء الثانى عبارة عن عداد سداسى (أى قاسم على ٦). كل جزء له مدخل خاص بنبضات الساعة. الدخل CLK0 هو طرف التزامن الخاص بالعداد الثنائى، والطرف CLK1 هو طرف التزامن الخاص بالعداد السداسى. بتوصيل الجزأين مع بعضهما تحصل على عداد يعد إلى ١٢ (أى قاسم على ١٢). العداد موصل

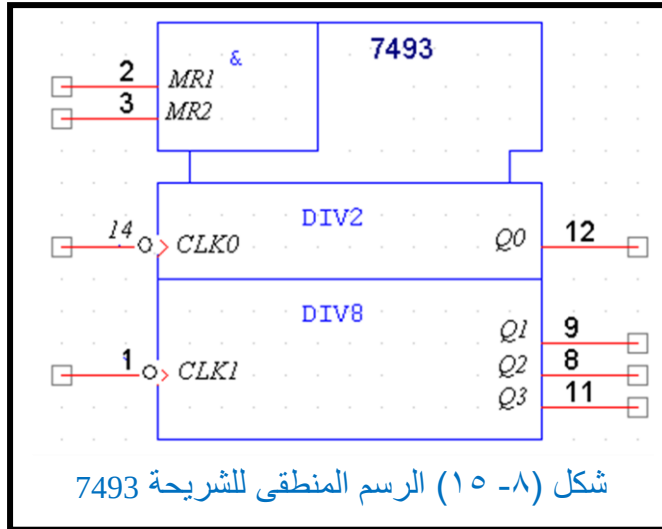
خطوط التحكم		الخرج			
MR1	MR2	Q0	Q1	Q2	Q3
H	H	L	L	L	L
L	H	Count			
H	L	Count			
L	L	Count			

جدول ٨-٦ جدول حقيقة الشريحة 7492

توصيلا تموجيا ويغير حالته على الحافة النازلة لنبضات الساعة. هناك طرفى تصفير MR1 و MR2 بحيث يتم تصفير كل مراحل العداد عندما يكون كل من هذين الطرفين يساوى واحد فى نفس الوقت لأن الدخلىين يدخلا على بوابة آند داخل الشريحة. الشريحة لها ٤ أطراف للخرج تظهر عليها حالات العداد. الأطراف ٢ و ٣ و ٤ و ١٣ فى الشريحة غير موصلة Not Connected, NC أى لا تحمل أى إشارة سواء كدخل أو خرج من الشريحة. الشريحة لها ١٤

طرف، الطرف ٥ هو طرف القدرة Vcc والطرف ١٠ هو الأرضى GND. التردد الأقصى لهذا العداد هو ٢٨ ميگاهرتز. في حالة الشريحة 74ls90 فإن هذا التردد يصل إلى ٤٢ ميگاهرتز. تيار القدرة لهذه الشريحة يساوى ٢٨ ميللى أمبير و ٩ ميللى أمبير في حالة الشريحة 74ls90. شكل (٨- ١٤) يبين الرسم المنطقى لهذه الشريحة وجدول ٨-٦ يوضح جدول الحقيقة لها.

٨-٩ الشريحة 7493 عداد تموجى ٤ مراحل



تتكون هذه الشريحة من ٤ قلابات من النوع السيد والتابع موصلة داخليا في جزأين. الجزء الأول عبارة عن عداد ثنائى (أى قاسم على ٢)، والجزء الثانى عبارة عن عداد ثمانى (قاسم على ٨). كل جزء له مدخل خاص بنبضات الساعة. الدخل CLK0 هو طرف التزامن الخاص بالعداد الثنائى، والطرف CLK1 هو طرف التزامن الخاص بالعداد الثمانى. بتوصيل الجزأين مع بعضهما تحصل على عداد ستعشرى (قاسم على ١٦). الجزء الثمانى في

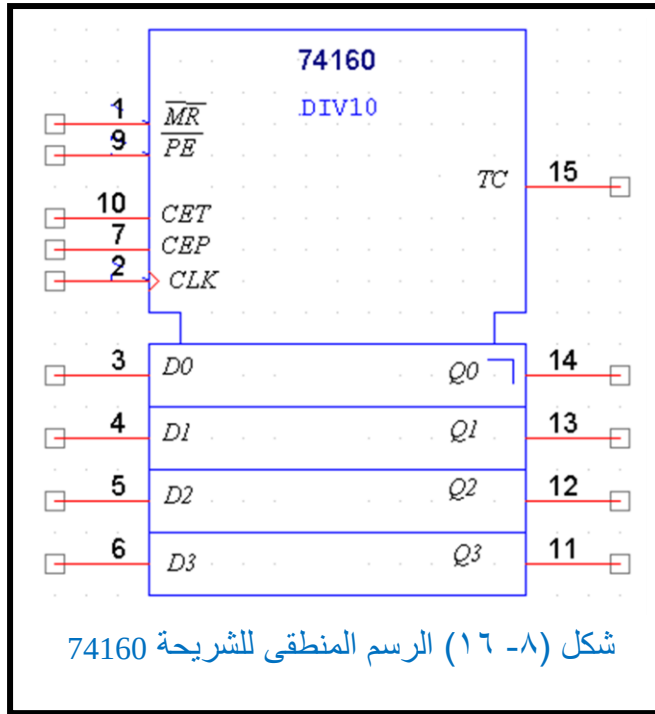
خطوط التحكم		الخرج			
MR1	MR2	Q0	Q1	Q2	Q3
H	H	L	L	L	L
L	H	Count			
H	L	Count			
L	L	Count			

جدول ٨-٧ جدول حقيقة الشريحة 7493

العداد موصلا توصيلا تموجيا ويغير حالته على الحافة النازلة لنبضات الساعة. هناك طرقي تصفير MR1 و MR2 بحيث يتم تصفير كل مراحل العداد عندما يكون كل من هذين الطرفين يساوى واحد في نفس الوقت لأن الدخلين يدخلان على بوابة آند موجودة داخل الشريحة. الشريحة لها ٤ أطراف للخروج تظهر عليها حالات العداد. الأطراف ٤ و ٦ و ٧ و ١٣ في الشريحة غير موصلان NC, Not Connected أى لا يحملان أى إشارة سواء كدخل أو خرج من الشريحة.

لها ١٤ طرف، الطرف ٥ هو طرف القدرة Vcc والطرف ١٠ هو الأرضى GND. أقصى تردد لهذا العداد هو ٤٠ ميگاهرتز. في حالة الشريحة 74ls90 فإن هذا التردد يصل إلى ٤٢ ميگاهرتز. تيار القدرة لهذه الشريحة يساوى ٢٨ ميللى أمبير و ٩ ميللى أمبير في حالة الشريحة 74ls90. شكل (٨- ١٥) يبين الرسم المنطقى لهذه الشريحة وجدول ٨-٧ يوضح جدول الحقيقة لها. لاحظ التشابه بين محتويات الشرائح الثلاثة السابقة.

٨-١٠ الشرائح 74160 و 74162 عداد توافقي عشري



هذه الشرائح تتكون من ٤ قلابات موصلة داخليا لتكون عداد عشري (قاسم على ١٠) توافقي، والشريحتان متماثلتان تماما. يمكن تحميل العداد بأى قيمة ابتدائية يبدأ العد من عندها مع أول نبضة تزامن بعد تحميل هذه القيمة بتنشيط الطرف $\overline{PE}$ بجعله يساوى صفر. عند تنشيط هذا الطرف فإن القيمة الموجودة على المدخل D0 إلى D3 تنتقل إلى الخرج المقابل حيث تبدأ عملية العد من هذه القيمة. يجب أن يكون كل من الطرفين CET و CEP يساوى واحد فى نفس الوقت حتى يعمل العداد فى الوضع الطبيعى. الخرج يتغير مع الحافة الصاعدة لنبضات التزامن CLK.

عند تنشيط طرف التصفير

$\overline{MR}$ بجعله يساوى صفر فإن جميع المخارج تصبح أصفارا وذلك بعد أول نبضة تزامن قادمة. الطرف TC يصبح واحد لمدة نبضة تزامن واحدة قبل آخر حالة للعداد وهى الرقم ٩ (1001) حيث

	خطوط دخل وتحكم						الخرج	
	$\overline{MR}$	CLK	CEP	CET	$\overline{PE}$	Dn	Qn	TC
تصفير	L	↑	X	X	X	X	L	L
تحميل	H	↑	X	X	L	Dn	Dn	L
عد	H	↑	H	H	L	X	عد	H(9)
لا تعمل	H	X	L	X	H	X	لا	لا
			X	L			تغيير	تغيير

جدول ٨-٨ طريقة تشغيل الشريحة 74160

تستخدم هذه النبضة على الطرف TC كنبضات لتوصيل مراحل أخرى للحصول على عدادات أكبر. الشريحة لها ١٦ طرف، طرف القدرة V_{CC} هو الطرف ١٦ والأرضى هو الطرف ٨. شكل (٨-١٦) يبين الرسم المنطقي للشريحة وجدول ٨-٨ يوضح طريقة التشغيل. أقصى تردد هو ٣٢ ميگاهرتز، وتيار القدرة يساوى ٦١ ميلي أمبير.

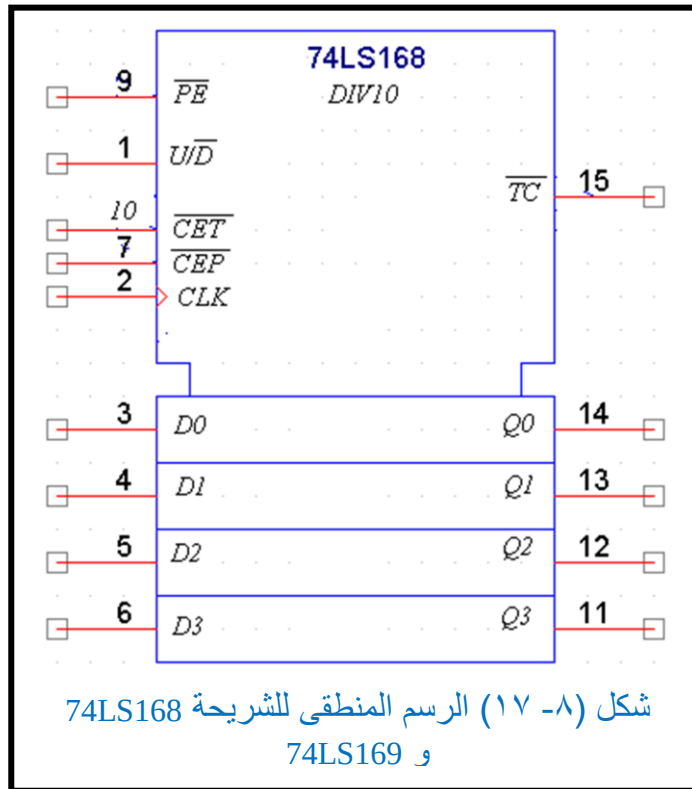
٨-١١ الشرائح 74161 و 74163 عدادات توافقية من ٤ مراحل

هذه الشرائح متماثلة تماما مع الشرائح السابقة 74160 و 74162 سوى أن الأربع قلابات موصلة داخليا لتعد حتى ١٥ وليس حتى ٩ كما فى العداد السابق. لذلك فإن طرف الخرج TC سيعطى نبضة هنا عند العدة الأخيرة ١٥ وليس

العدة ٩ وهذا هو الاختلاف الوحيد بين العدادين. الشرائح 74161 و 74163 متماثلة تماما من حيث الأطراف أيضا مع الشرائح السابقة، لذلك فلا حاجة لإعادة شرح هذه الشرائح.

٨-١٢ الشرائح 74LS168 و 74LS169 عدادات توافقية

تصاعدية/تنازلية



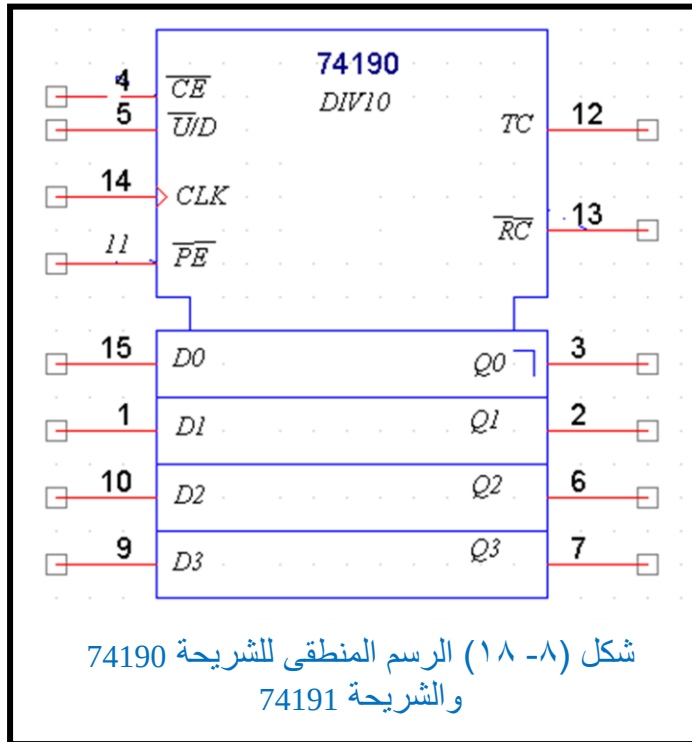
الشريحة 74168 تحتوي ٤ قلابات موصلة داخليا لتعمل كعداد عشري (قاسم على ١٠) توافقي، مع إمكانية العد التصاعدي أو التنازلي على حسب حالة الطرف $\overline{D}$ ، فإذا كان هذا الطرف يساوي واحد فإن العداد يعد تصاعديا، وإذا وضع بصفر فالعداد يعد تنازليا. العداد من النوع التوافقي ويعمل عند الحافة الصاعدة لنبضات التزامن. يمكن تحميل العداد بأي قيمة ابتدائية يبدأ العد من عندها من خلال أطراف الدخل D3 حتى D0 ثم وضع الطرف $\overline{PE}$ بصفر، حيث عندما يصبح هذا الطرف صفر فإن الإشارة الموجودة على المداخل تنتقل إلى خرج العداد مع أول نبضة تزامن قادمة حيث

يبدأ العداد عملية العد من هذه القيمة. الطرف $\overline{TC}$ يكون دائما بواحد إلا حينما يصل العداد إلى الحالة النهائية (الرقم ٩) حيث يصبح هذا الطرف صفر لمدة نبضة تزامن واحدة ثم يرجع واحد. تستخدم هذه النبضة كنبضات تزامن لمراحل تالية يمكن توصيلها على التوالي للحصول على عدادات أكبر. الطرفان $\overline{CET}$ و $\overline{CEP}$ لابد أن يكون كل منهما صفرا حتى يعمل العداد في الوضع الطبيعي. الشريحة لها ١٦ طرف، الطرف رقم ١٦ هو طرف القدرة V_{CC} والطرف رقم ٨ هو طرف الأرضي. أقصى تردد هو ٣٢ ميگاهرتز، وهناك الإصدار 74168A تردده هو ٧٠ ميگاهرتز. شكل (٨-١٧) يبين الرسم المنطقي لهذه الشريحة، وجدول ٨-٩ يبين طريقة التشغيل. الشريحة 74169 متماثلة تماما مع الشريحة 74168 في كل شيء سوى أنها موصلة داخليا لتعد من صفر حتى ١٥ وعلى ذلك فالطرف $\overline{TC}$ سيعطي النبضة عند العدة ١٥ وليس العدة ٩ كما سبق، والأطراف متطابقة أيضا ولذلك فلا ضرورة لإعادة شرحها مرة ثانية.

خطوط دخل وتحكم							الخرج	
	$\overline{U/D}$	CLK	$\overline{CEP}$	$\overline{CET}$	$\overline{PE}$	Dn	Qn	TC
تحميل	X	↑	X	X	L	Dn	Dn	H
عد	H	↑	L	L	H	X	تصاعدي	L(9,15)
	L	↑	L	L	H	X	تنازلي	
لا تعمل	X	↑	H	X	H	X	لا تغيير	لا تغيير

جدول ٨-٩ طريقة تشغيل الشريحة 741LS168 و 74LS169

٨-١٣ الشريحة 74190 و 74191 عدادات توفيقية تصاعدية/تنازلية



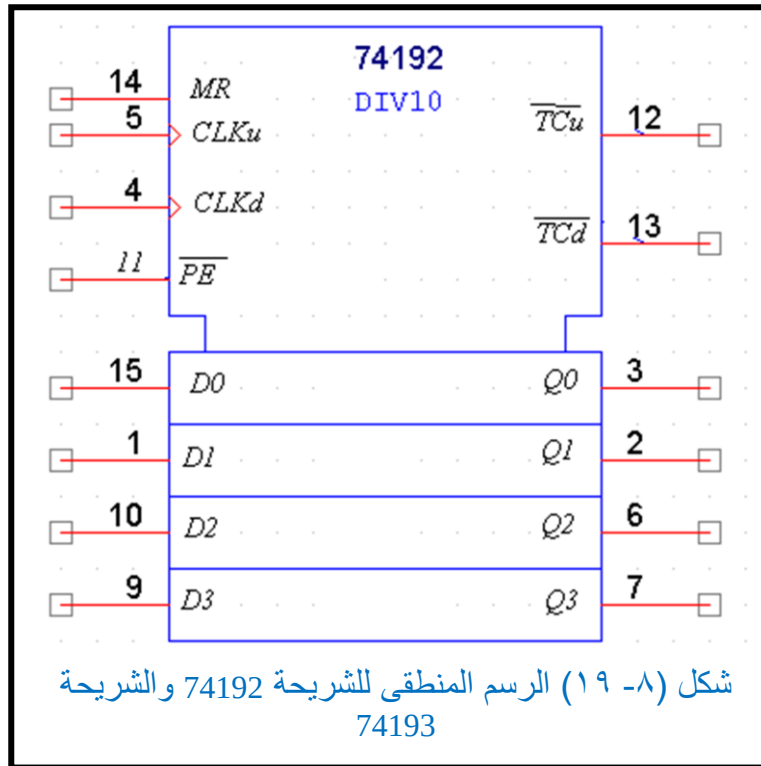
الشريحة 74190 عبارة عن عداد توافقي عشري يعد تصاعدي أو تنازلي باستخدام طرف التحكم $\overline{U/D}$ ، حيث عندما يكون هذا الطرف واحد فإن العداد يعد تنازلي، وإذا كان صفر فإن العداد يعد تصاعدي. يمكن بدأ العداد من أى قيمة عن طريق وضع هذه القيمة على المداخل المتوازية D0 حتى D3 وبمجرد وضع الخط $\overline{PE}$ يساوى صفر يبدأ العداد عملية العد من هذه القيمة. العداد يغير من حالته مع الحافة الصاعدة لنبضات التزامن. لكي تعمل الشريحة في عملية العد الطبيعي لا بد أن يكون الطرف $\overline{CE}$ تساوى صفر، بينما إذا كان هذا الطرف واحد فإن العداد

يتجمد عند آخر وضع وصل إليه ولا يعمل. الطرف TC يكون دائما بصفر إلا إذا وصل العداد لقيمتها النهائية (٩) في حالة العد التصاعدي أو إلى القيمة صفر في حالة العد التنازلي، حيث عندها يصبح واحد لبيان أن العداد قد وصلت قيمته إلى قيمة طرفية (عظمى أو صغرى). يجب عدم استخدام هذا الطرف كنضات تزامن لمراحل تالية لأنه يحتوى نبوءات تسبب مشاكل مع الدوائر التالية. لذلك فقد وفرت الشريحة الطرف $\overline{RC}$ الذى يمكن استخدامه لهذا الغرض. الشريحة لها ١٦ طرفا، الطرف رقم ١٦ هو طرف القدرة Vcc بينما الطرف رقم ٨ هو الأرضى. سرعة الشريحة ٢٥ ميغاهرتز وتيار القدرة لها ٦٥ ميلي أمبير. شكل (٨-١٨) يبين الرسم المنطقي لهذا العداد. الشريحة 74191 هي

نفسها الشريحة 74190 سوى أنها تعد حتى ١٥ وهي متطابقة معها في الأطراف تماما مع مراعاة أن الطرف TC في هذه الحالة يصبح واحد عند العدة ١٥ أو العدة صفر حسب اتجاه العد.

٨-١٤ الشرائح 74192 و 74193 عدادات تصاعدية/تنازلية

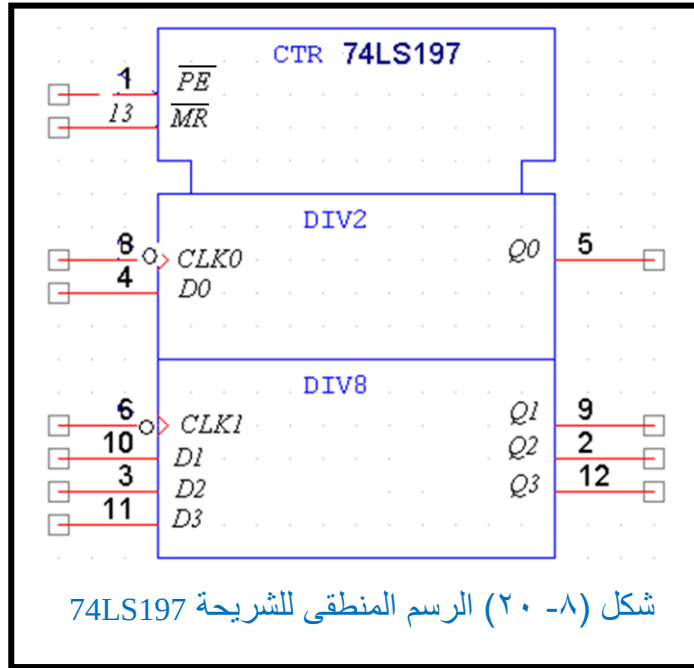
الشريحة 74192 عبارة عن عداد عشري تصاعدي تنازلي من النوع التوافقي مثل الشريحة 74190 سوى أن لها طرف مخصوص CLKu لنبضات التزامن في حالة العد التصاعدي، وطرف مخصوص آخر CLKd تدخل عليه نبضات التزامن في حالة العد التنازلي. خرج العداد يغير حالته عند الحافة الصاعدة لنبضات التزامن سواء في حالة العد التصاعدي أو التنازلي. عند العد التصاعدي يجب أن يكون الطرف CLKd يساوى واحد، بينما عند العد التنازلي يجب أن يكون الطرف CLKu يساوى واحد، وإلا فإن عملية العد ستكون غير منتظمة. يمكن أيضا بدأ عملية العد من أى قيمة يمكن تحميلها من على الأطراف D0 إلى D3 وذلك عند تنشيط الطرف $\overline{PE}$ بجعله يساوى صفر. الشريحة لها طرف تصفير



MR يجعل جميع المخارج تساوى أصفارا عندما يكون هذا الطرف $\overline{TCu}$ يساوى واحد. الطرف $\overline{TCd}$ يكون واحد دائما وعندما تصل الشريحة إلى الرقم ٩ في حالة العد التصاعدي فإنه يصبح صفرا، بينما الطرف $\overline{TCd}$ فيكون واحد دائما إلى أن تصل قيمة العداد إلى الصفر في حالة العد التنازلي فإنه يصبح صفرا تستخدم هذه الأطراف لتوصيل أكثر من مرحلة من هذه الشرائح للحصول على عداد أكبر. الشريحة لها ١٦ طرفا، الطرف رقم ١٦ هو طرف القدرة Vcc بينما

الطرف رقم ٨ هو الأرضي. سرعة الشريحة ٣٢ ميگاهرتز وتيار القدرة لها ٦٥ ميلي أمبير. شكل (٨-١٩) يبين الرسم المنطقي لهذا العداد. الشريحة 74193 هي نفسها الشريحة 74192 سوى أنها تعد حتى ١٥ وهي متطابقة معها في الأطراف تماما مع مراعاة الحدود التي تتغير عندها الخططين $\overline{TCd}$ و $\overline{TCu}$.

٨-١٥ الشريحة 74LS197 عداد تموجي ٤ مراحل



تتكون هذه الشريحة من ٤ قلابات موصلة توصيلاً تموجياً على جزأين. الجزء الأول عبارة عن عداد ثنائي (قاسم على ٢) والعداد الثاني عبارة عن عداد ثنائي (أي قاسم على ٨). كل جزء له طرف نبضات التزامن الخاص به، وكلا الجزأين يغير حالته عند الحافة النازلة للنبضات. CLK0 هو طرف التزامن للعداد الثنائي، والطرف CLK1 هو طرف التزامن للعداد الثنائي. الشريحة لها طرف تصفير $\overline{MR}$ منخفض الفعالية الذي عندما يكون صفراً، فإن جميع مخارج العداد تصبح أصفاراً. أيضاً يمكن بدأ العداد من أى قيمة يتم إدخالها

من على أطراف الدخل D0 حتى D3 وذلك عند تنشيط طرف التحميل $\overline{PE}$ المنخفض الفعالية. الشريحة لها ١٤ طرفاً، الطرف رقم ١٤ هو طرف القدرة Vcc بينما الطرف رقم ٧ هو الأرضى. سرعة الشريحة ٤٠ ميجاهرتز وتيار القدرة لها ١٦ ميلي أمبير. شكل (٨-٢٠) يبين الرسم المنطقي لهذا العداد، وجدول ٨-١٠ يبين طريقة تشغيله.

	الدخل				الخروج
	$\overline{MR}$	$\overline{PE}$	CLK	Dn	Qn
تصفير	L	X	X	X	L
تحميل	H	L	X	L	L
	H	L	X	H	H
عد	H	H	↓	X	عد

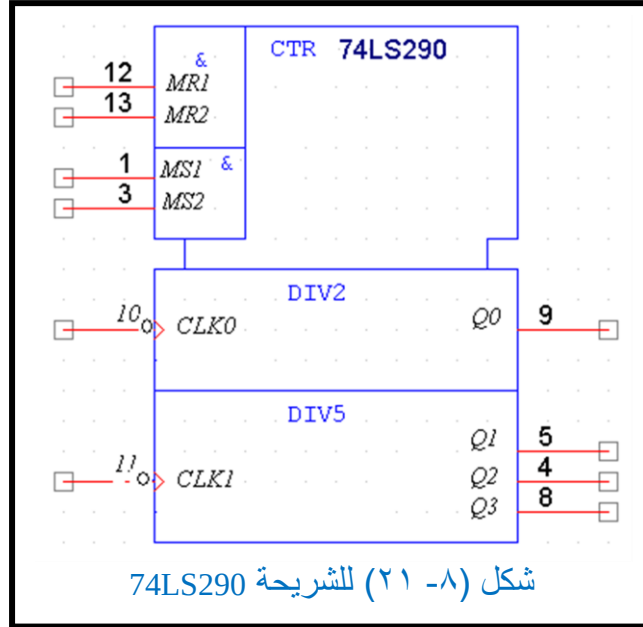
جدول ٨-١٠ تشغيل العداد 74LS197

٨-١٦ الشريحة 74LS290 عداد عشري تموجي

يتكون هذا العداد من ٤ مراحل مقسمة على جزأين، الأول قاسم على ٢ والثاني قاسم على ٥ وكل من الجزأين موصّل توصيلاً تموجياً باستخدام قلابات من نوع السيد والتابع. كل جزء له طرف التزامن الخاص به حيث يتم تغيير الخرج مع الحافة النازلة لهذه النبضات. هناك طرفان لتصفير الخرج MR1 و MR2 وكل منهما على الفعالية ولا بد أن يكون كل منهما يساوى واحد في نفس الوقت حتى يتم تصفير العداد لأنهما موصولان من خلال بوابة آند داخل الشريحة. هناك أيضاً الطرفان MS1 و MS2 حيث عندما يكون كل منهما يساوى واحد في نفس الوقت يتم وضع الخرج في الحالة النهائية ٩ (1001). كلا الدخلين موصول من خلال بوابة آند داخل الشريحة أيضاً. يمكن توصيل الجزأين للحصول على عداد عشري. الشريحة لها ١٤ طرف، الطرف رقم ١٤ هو طرف القدرة Vcc بينما الطرف رقم ٧ هو الأرضى والطرفان

٢ و ٦ غير مستخدمين أو غير موصولين Not connected, NC. سرعة الشريحة ٤٢ ميگاهرتز وتيار القدرة لها ٩ ميللي أمبير. شكل (٨- ٢١) يبين الرسم المنطقي لهذا العداد، وجدول ٨-١١ يبين طريقة تشغيله.

٨-١٧ الشريحة 74LS293 عداد ثنائي تموجي ٤ مراحل



يتكون هذا العداد من ٤ مراحل مقسمة على جزأين ، الأول قاسم على ٢ والثاني قاسم على ٨ وكل من الجزأين موصل توصيلاً تموجياً باستخدام قلابات من نوع السيد والتابع. كل جزء له طرف التزامن الخاص به حيث يتم تغيير الخرج مع الحافة النازلة لهذه النبضات. هناك طرفان لتصفير الخرج MR1 و MR2 وكل منهما على الفعالية ولا بد أن يكون كل منهما يساوي واحد في نفس الوقت حتى يتم تصفير العداد لأنهما موصلان من خلال بوابة آند داخل الشريحة. الشريحة لها ١٤ طرفاً، الطرف رقم ١٤ هو طرف القدرة Vcc بينما الطرف

رقم ٧ هو الأرضي والأطراف ١ و ٢ و ٣ و ٦ غير مستخدمه أو غير موصلة Not connected, NC. سرعة الشريحة ٤٢ ميگاهرتز وتيار القدرة لها ٩ ميللي أمبير. شكل (٨- ٢٢) يبين الرسم المنطقي لهذا العداد، وجدول ٨-١٢ يبين طريقة تشغيله.

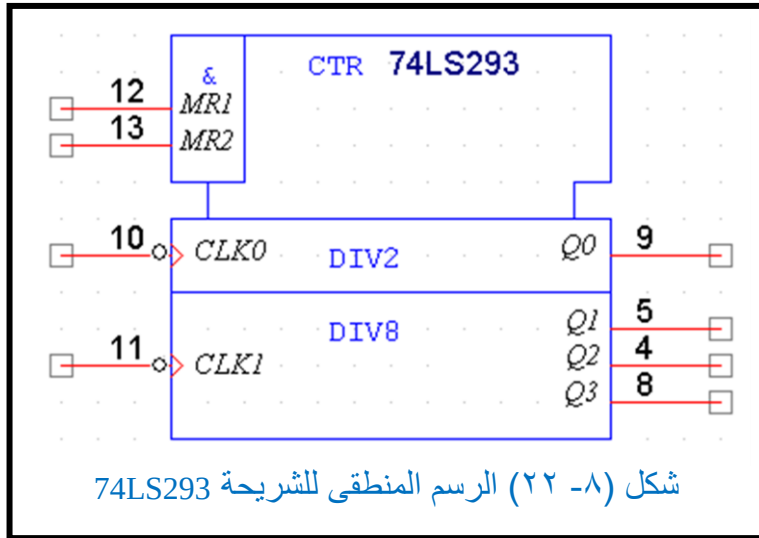
الدخل				الخرج			
MR1	MR2	MS1	MS2	Q3	Q2	Q1	Q0
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
L	X	L	X	عداد			
X	L	X	L				
L	X	X	L				
X	L	L	X				

جدول ٨-١١ تشغيل العداد 74LS290

الدخل		الخرج			
MR1	MR2	Q3	Q2	Q1	Q0
H	H	L	L	L	L
H	L	عداد			
L	H				
L	L				

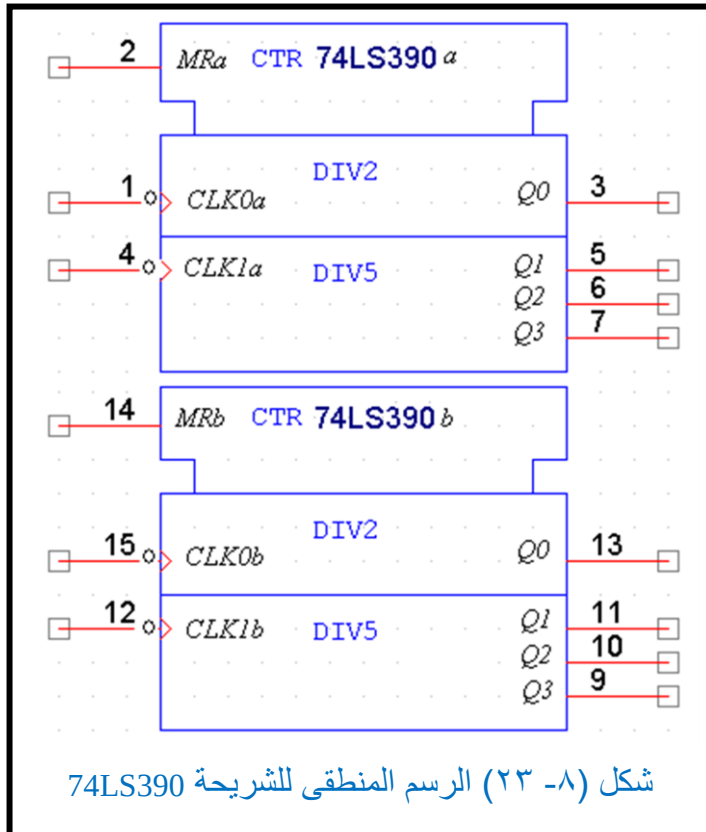
جدول ٨-١٢ تشغيل العداد 74LS293

٨-١٨ الشريحة 74LS390 عدادان عشريان تموجيان



تحتوي هذه الشريحة على عدادين كل منهما مكون من جزأين، الأول مرحلة واحدة قاسم على ٢، والثاني ٣ مراحل موصلة كعداد خماسي (قاسم على ٥). أي أن هذه الشريحة تحتوي ٤ أجزاء، اثنان كل منهما مرحلة واحدة تعمل كعداد ثنائي، واثنان كل منهما ٣ مراحل موصلة كعداد خماسي. لذلك فإنه يمكن توصيل أجزاء هذه الشريحة للحصول قاسم (عداد)

على: ٢ و ٤ و ٥ و ١٠ و ٢٠ و ٢٥ و ٥٠ و ١٠٠. كل جزء من أجزاء الشريحة له طرف خاص بنبضات التزامن حيث يغير كل عداد من حالته مع الحافة النازلة للنبضات. كل عداد في الشريحة له طرف تصفير MR خاص به يصفر جميع المخارج الخاصة بهذا العداد عندما يكون واحد. الشريحة لها ١٦ طرف، الطرف رقم ١٦ هو طرف القدرة Vcc بينما الطرف رقم ٨ هو الأرضي. سرعة الشريحة ٥٥ ميغاهرتز وتيار القدرة لها ١٥ ميلي أمبير. شكل (٨-٢٣) يبين الرسم المنطقي لهذا العداد.



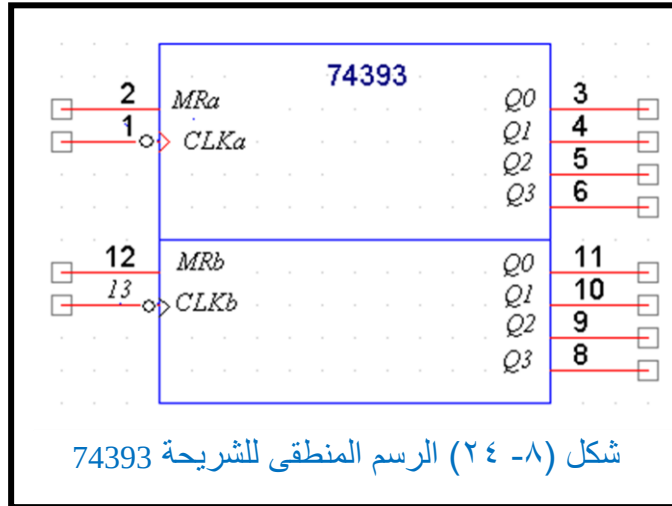
٨-١٩ الشريحة 74LS393 عدادان ثنائيان تموجيان كل منهما ٤ مراحل

تتكون هذه الشريحة من عدادان كل منهما مكون من ٤ مراحل موصلة داخليا كعداد تموجي ثنائي ستعشري (قاسم على ١٦). كل عداد له طرف تزامن خاص به، وكل عداد يغير حالته مع الحافة النازلة للنبضات التزامن. كل عداد أيضا له طرف تصفير عالي الفعالية خاص به يصفر جميع مخارجه عندما يكون واحد. الشريحة لها ١٤ طرفا، الطرف رقم ١٤ هو

طرف القدرة V_{CC} بينما الطرف رقم ٧ هو الأرضى. سرعة الشريحة ٣٥ ميغاهرتز وتيار القدرة لها ١٥ ميللى أمبير. شكل (٨- ٢٤) يبين الرسم المنطقى لهذا العداد.

٨- ٢٠ تطبيقات العدادات

٨- ٢٠- ١ الساعة الرقمية



من أشهر تطبيقات العدادات الساعة الرقمية. تتركز فكرة الساعة الرقمية على وجود نبضات ترددها ١ هرتز (١ نبضة فى الثانية). هناك أكثر من طريقة يمكن بها الحصول على هذه النبضات. أول هذه الطرق هو عن طريق استخدام مذبذب بتردد عالى جدا ١٠ ميغاهرتز مثلا ثم نمرر إشارة هذا المذبذب على عدة مراحل للقسمة على ١٠ مثلا حتى يصل التردد إلى ١ هرتز حيث يمكن استخدامه كدخل للساعة. الهدف من وجود

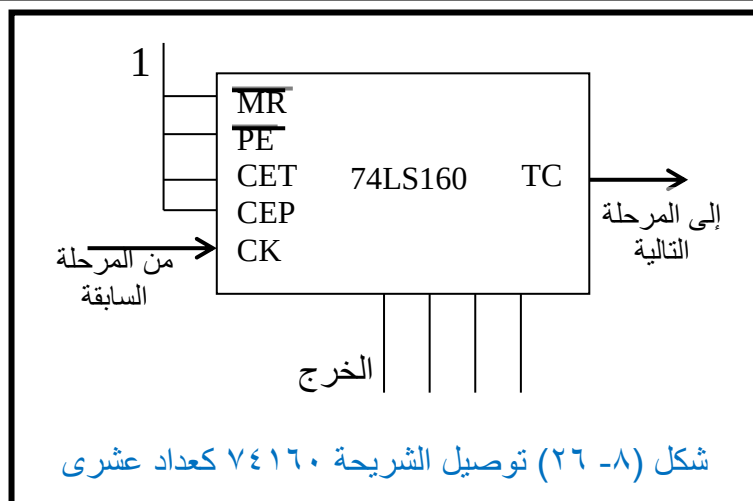
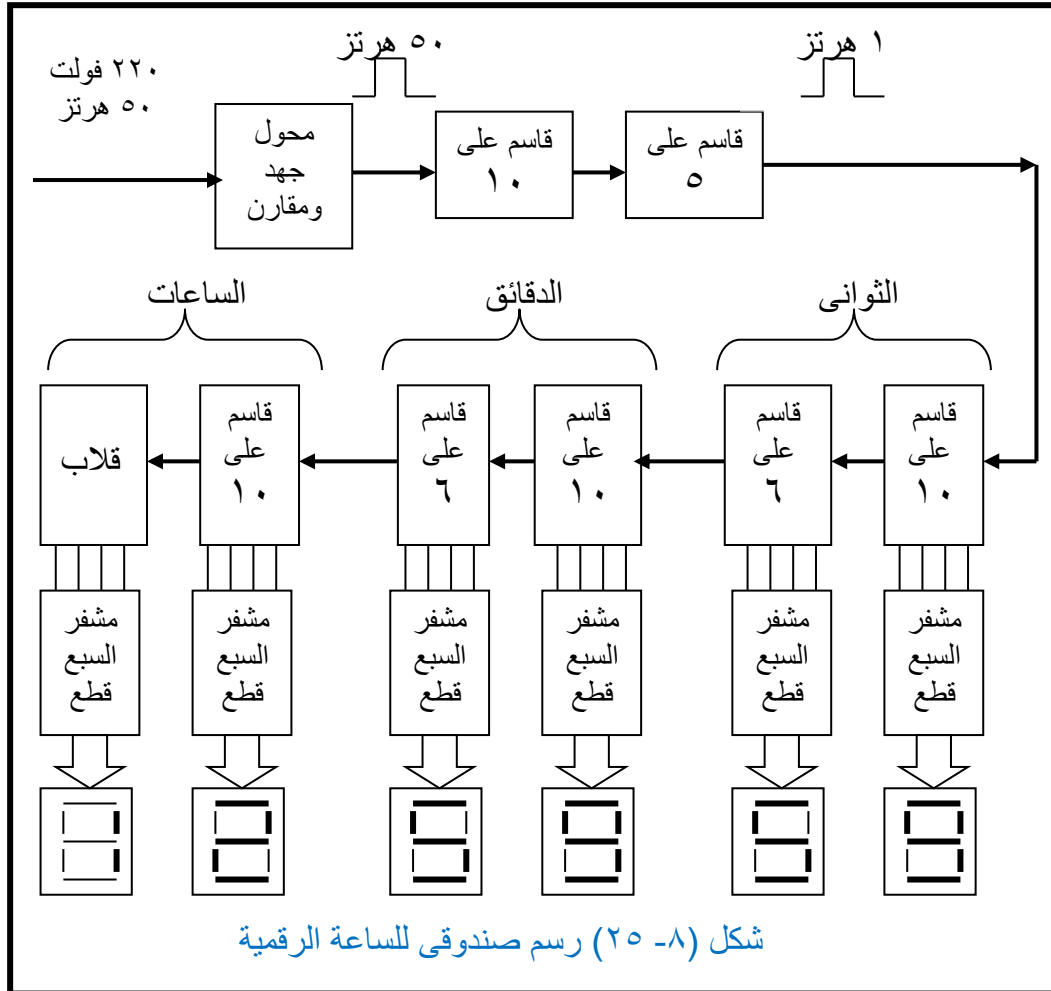
مذبذب بتردد عالى ثم إجراء عمليات القسمة هو الحصول على دقة عالية للساعة لأنه من الصعب جدا تصميم مذبذب بالمكونات الإلكترونية العادية بدقة معقولة. الطريقة الثانية للحصول على نبضات بتردد ١ هرتز بدقة جيدة جدا هو عن طريق استخدام إشارة من خط القدرة المنزلى ذو التردد ٥٠ هرتز أو ٦٠ هرتز فى بعض البلدان. سنحتاج فى البداية لمحول ٢٢٠ إلى ٥ فولت ثم مقارن (أحد إصدارات مكبر العمليات) لتحويل الموجة الجيبية إلى مربعة بمقدار حوالى ٥ فولت. بعد ذلك نقوم بقسمة تردد هذه الموجة على ٥٠ أو ٦٠ باستخدام أحد شرائح العدادات التى شرحناها. بذلك نكون قد حصلنا على إشارة مربعة بتردد ١ هرتز ومقدار ٥ فولت جاهزة للاستخدام لتشغيل الساعة. شكل (٨- ٢٥) يبين رسما صندوقيا كاملا لمحتويات الساعة فى حالة الحصول على نبضات التزامن بالطريقة الثانية، أى من إشارة خط القدرة المنزلى. لاحظ وجود ٤ مراحل فى هذا الشكل وهى كالتالى:

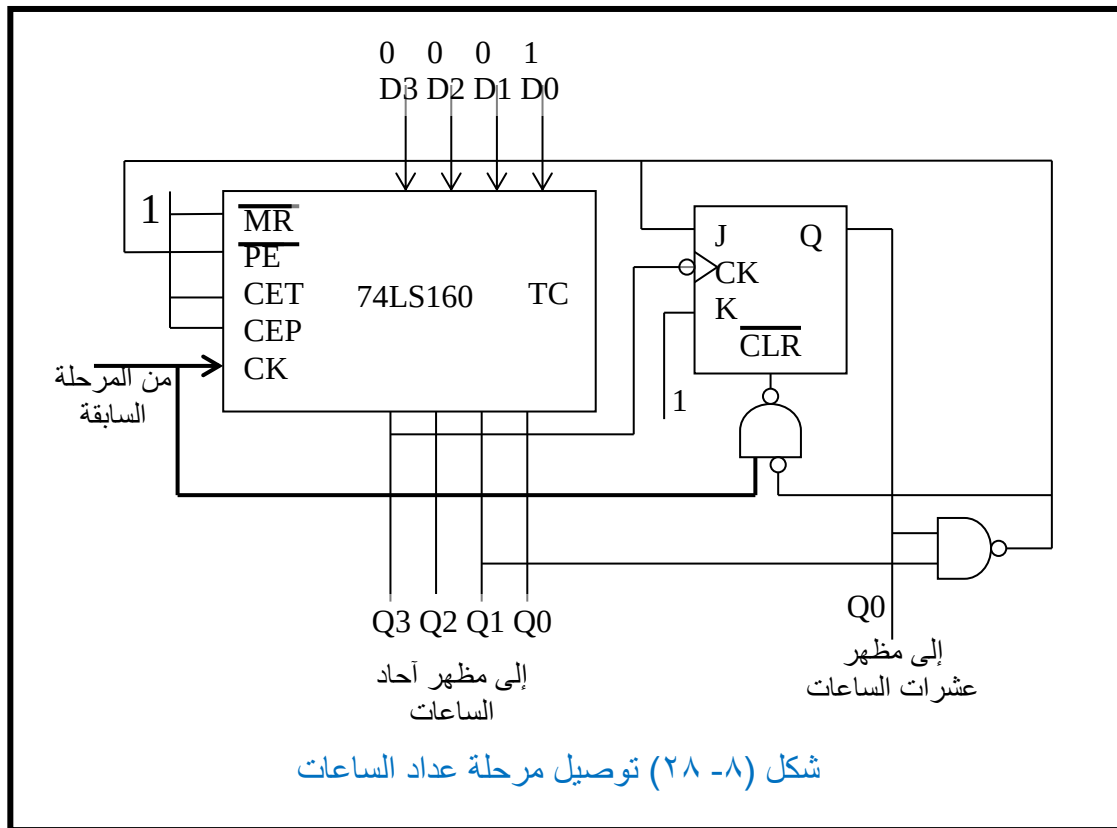
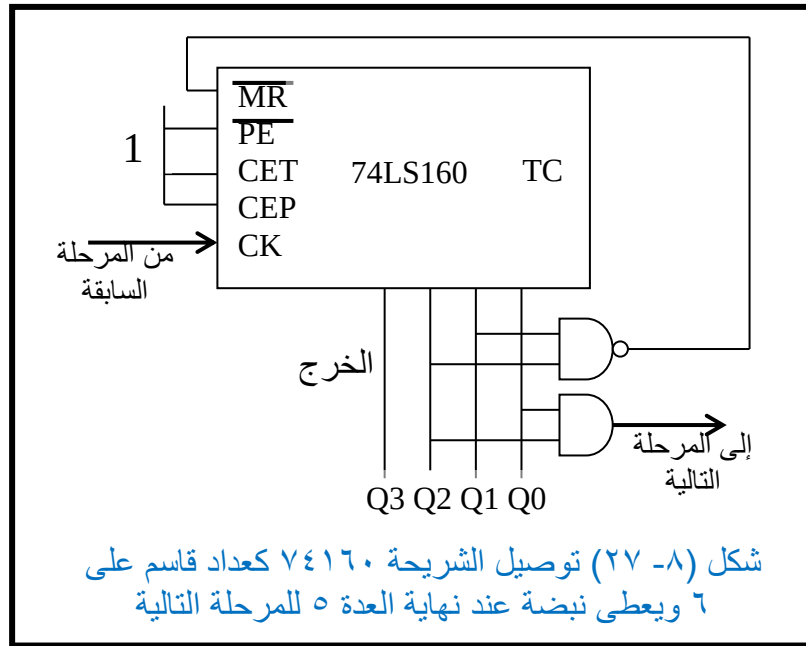
١- مرحلة تهيئة الإشارة للحصول على إشارة ذات تردد ١ هرتز باستخدام قاسم على ٥٠ الذى يتكون من مرحلتين، مرحلة قسمة على ١٠ (عداد عشري) ومرحلة قسمة على ٥. ونحن نرشح استخدام الشريحة ٧٤١٦٠ للاستخدام كعداد عشري كما فى شكل (٨- ٢٦) ، وهى نفسها أيضا باستخدام مشفر للرقم ٥ يصفر الشريحة عند الرقم ٥ كما فى شكل (٨- ٢٧) الذى يبين تشفير الرقم ٦ باستخدام بوابة ناند تم توصيل خرجها لعمل تصفير للعداد من الطرف MR المنخفض الفعالية.

٢- يتم إدخال الإشارة ذات التردد ١ هرتز على قاسم على ٦٠ مكون من مرحلتين من الشريحة ٧٤١٦٠. المرحلة الأولى قاسم على ١٠ كما فى شكل (٨- ٢٦) وخرجها يمثل أحاد الثوانى، والمرحلة الثانية قاسم على ٦ كما فى شكل (٨- ٢٧) وخرجها يمثل عشرات الثوانى.

٣- يتم تكرار الخطوة ٢ للحصول على عداد الدقائق كما فى شكل (٨- ٢٦ و ٨- ٢٧).

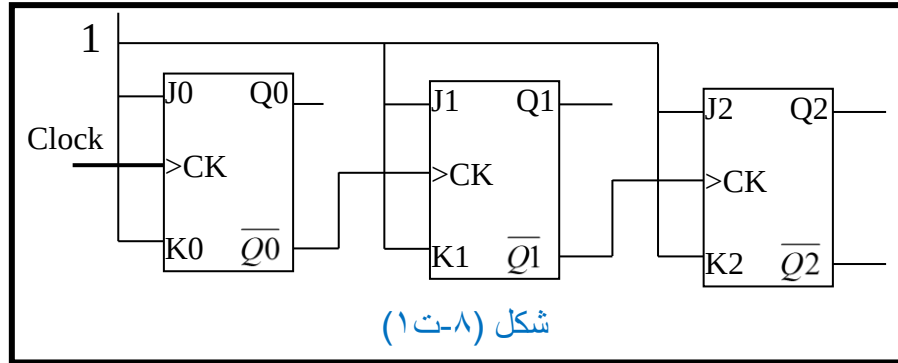
٤- بالنسبة لمرحلة عداد الساعات فإنها تتكون من عداد عشري كما في شكل (٨- ٢٦) لخانة الآحاد. خانة العشرات في الساعات عبارة عن قلاب لأنه في هذه المرحلة مطلوب العد حتى الساعة ١٢ وبعدها يقلب إلى الساعة واحدة. شكل (٨- ٢٨) يوضح كيفية توصيل الشريحة ٧٤١٦٠ والقلاب للحصول على مرحلة الساعات.



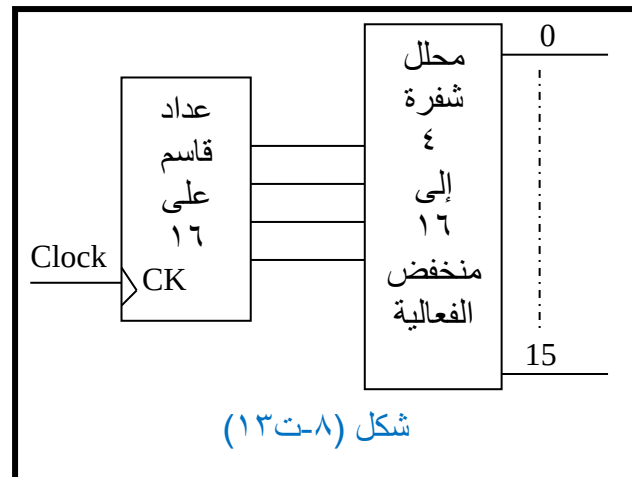
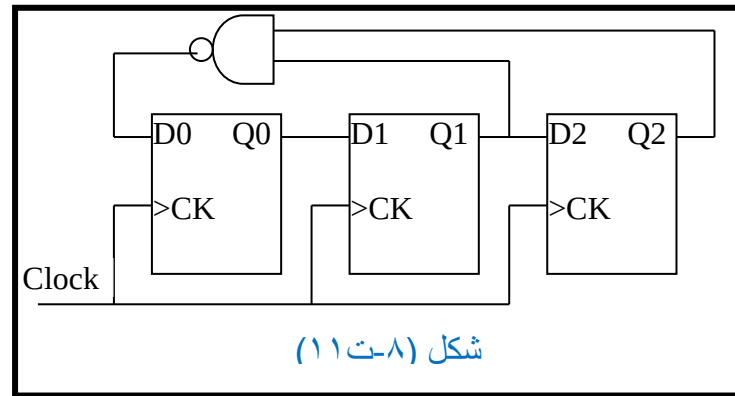


٨-٢١ تمارين

- ١- ارسم المخطط الزمني للعداد التمرين ١ (٨-ت ١).
 ٢- افترض أن زمن الانتشار لكل قلاب في تمرين ١ يساوي ٨ نانوثانية، احسب زمن الانتشار الكلي للعداد، وأقصى تردد يعمل عنده هذا العداد.



- ٣- صمم عداد بالقاعدة التالية (عدد الحالات): ٩ و ١١ و ١٣ و ١٤ و ٢٥ و ٥٠. العدادات من النوع التمرين ١.



- ٤- اقترح شرائح حقيقية للاستخدام في تمرين ٣.
 ٥- أعد التمرين رقم ٢ إذا كان العداد من النوع التوافقي.
 ٦- صمم عداد توافقي من سبعة مراحل وارسم المخطط الزمني لجميع مراحل.
 ٧- أعد التمرين رقم ٣ ولكن على عدادات من النوع التوافقي.
 ٨- استخدم نفس طريقة تصميم العدادات التوافقية في تصميم عداد للتابع التالي: 00 ثم 10 ثم 11 ثم 00 وهكذا إلى ما لا نهاية. استخدم قلابات JK.
 ٩- أعد التمرين ٨ ولكن للتابع التالي: 0 ثم 9 ثم 1 ثم 8 ثم 2 ثم 7 ثم 3 ثم 6 ثم 4 ثم 5 ثم 0 وهكذا إلى ما لا نهاية.
 ١٠- صمم عداد تصاعدي تنازلي من النوع التمرين ١.

التموجي مكون من ٤ مراحل. ارسم المخطط الزمني على كل المخارج وعلى خط التحكم U/D أثناء مرور العداد بالتتابع التالي:

0, 1, 2, 3, 4, 5, 4, 3, 2, 3, 4, 5, 6, 7, 8, 9, 8, 7, 6, 5, 4, 3, 2, 3, 4, 5, 4, 3, 2, 1

- ١١- حدد التابع الناتج من العداد الموضح في شكل (٨-ت١١).
- ١٢- صمم عداد ثنائي يعد حتى ١٠٠٠٠ ، وآخر يعد حتى ١٠٠٠٠٠ . استخدم شرائح عدادات حقيقية.
- ١٣- شكل (٨-ت١٣) يبين عداد قاسم على ١٦ موصلا على محلل شفرة. اكتب جدول الحقيقة لمحلل الشفرة عند كل حالة من حالات العداد.
- ١٤- صمم عداد يعد حتى ١٠٠٠ مستخدما الشريحة ٧٤١٦٠.
- ١٥- عدل التصميم السابق حتى يمكن للعداد أن يعد حتى ٣٠٠٠٠.
- ١٦- صمم دائرة تستشعر وجود زمن معين في الساعة الرقمية في شكل (٨- ٢٥) واستخدم هذه الإشارة لضرب جرس تنبيه.
- ١٧- صمم عداد لساحة انتظار سيارات بحيث يبين العداد عدد السيارات الموجودة في الساحة عند أى لحظة. استخدم عداد تصاعدي تنازلي بحيث مع دخول سيارة يزداد العداد بواحد ومع خروج سيارة ينقص بمقدار واحد.
- ١٨- استخدم نفس الفكرة في تمرين ١٥ لإظهار عدد الأشخاص في حجرة معينة، واستخدم ذلك لإضاءة الحجرة طالما أن بها شخص أو أكثر، وإطفاء النور بالحجرة عندما يصل عدد الأشخاص إلى الصفر.
- ١٩- اشرح كيف تستخدم الدائرة الموضحة في شكل (٨-ت١٣) لعمل نظام إضاءة يضئ تتابع من اللمبات من اليمين إلى اليسار ثم يبدأ مرة ثانية من اليمين لليسار وهكذا يتكرر ذلك إلى مالا نهاية.
- ٢٠- أعد التمرين السابق بحيث تتم الإضاءة من اليمين لليسار ثم من اليسار لليمين مرة أخرى وذلك إلى مالا نهاية.

الفصل التاسع

٩

مسجلات الإزاحة

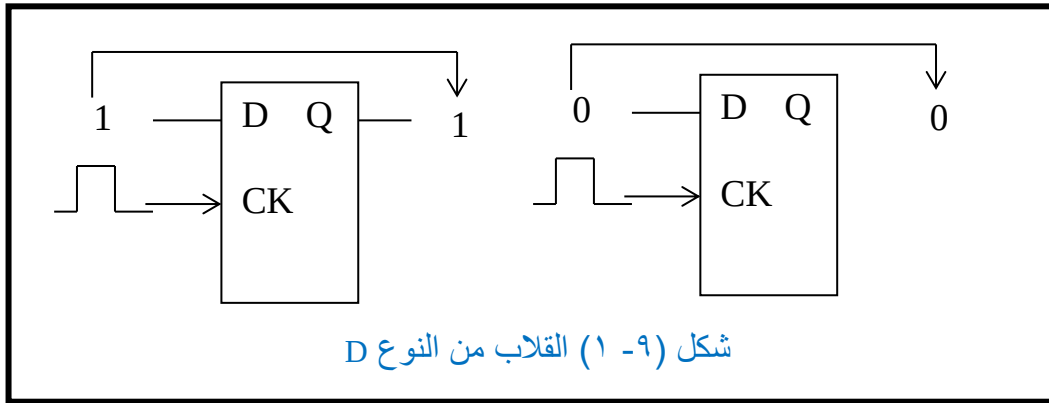
Shift Registers

٩-١ مقدمة

مسجلات الإزاحة shift registers من المكونات الإلكترونية الكثيرة الاستخدام في الكثير من التطبيقات الرقمية. يستخدم مسجل الإزاحة في تسجيل البيانات الرقمية حيث يمكن إجراء بعض العمليات على محتويات هذا المسجل. من هذه العمليات مثلاً، إزاحة البيانات من اليمين إلى اليسار أو العكس، أو دوران البيانات من اليمين لليسار أيضاً أو العكس. يمكن إدخال البيانات على المسجل على التوازي وإخراجها على التوالي، أو إدخالها على التوالي ثم إخراجها على التوازي. كل هذه العمليات سنرى في هذا الفصل كيفية تحقيقها.

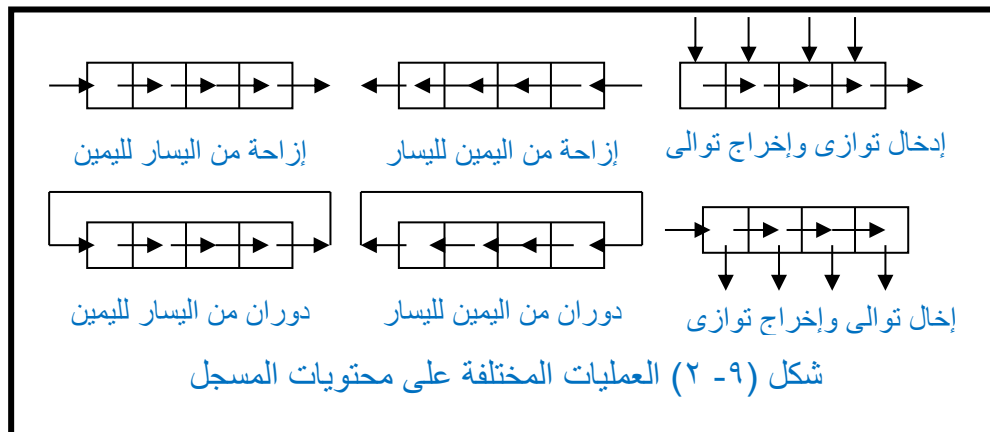
٩-٢ وحدة بناء مسجل الإزاحة

وحدة بناء مسجل الإزاحة هي القلاب من النوع D. هذا القلاب له دخل واحد اسمه D، والدخل الآخر هو طرف التزامن CK كما رأينا في الفصل السابع. هذا القلاب له خرج Q وعكسه $\bar{Q}$. الإشارة الموجودة على الدخل D تنتقل إلى الخرج Q بعد إعطاء نبضة على طرف التزامن CK، ومن هنا كانت التسمية D اختصاراً لكلمة تأخير delay. شكل (٩-١) يبين قلاب من النوع D وكيفية تسجيل الدخل على الخرج على سبيل التذكير.



٩-٣ العمليات المختلفة على محتويات مسجل الإزاحة

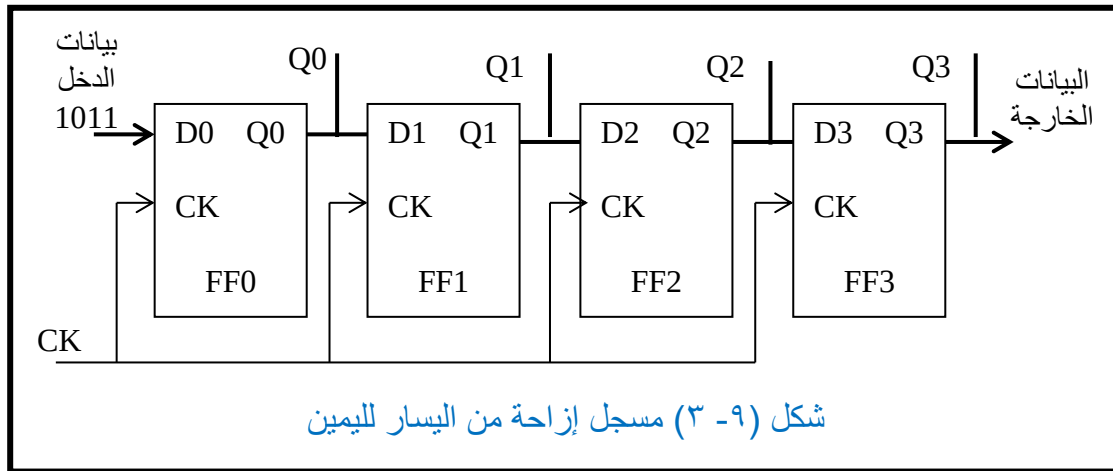
كما ذكرنا فإنه هناك الكثير من العمليات التي يمكن إجراؤها على محتويات مسجل الإزاحة. شكل (٩-٢) يبين رسماً تخطيطياً لهذه العمليات.



٩-٤ الإدخال والإخراج المتتالي للبيانات

Serial In Serial Out

شكل (٩-٣) يبين طريقة توصيل ٤ قلابات من النوع D لتعمل كمسجل إزاحة يمكن إزاحة محتوياته من اليسار لليمين مع كل نبضة على طرف التزامن CK. يتم إدخال البيانات من أقصى يسار المسجل وإخراجها على التوالي من أقصى يمين المسجل. جدول ٩-١ يبين محتويات كل قلاب مع كل نبضة من نبضات التزامن بفرض أن المسجل قد تم تصفيره في البداية، والبيانات المراد إدخالها إلى المسجل هي 1011. لاحظ من الجدول أنه بعد ٤ نبضات تم إدخال كل البيانات في المسجل.

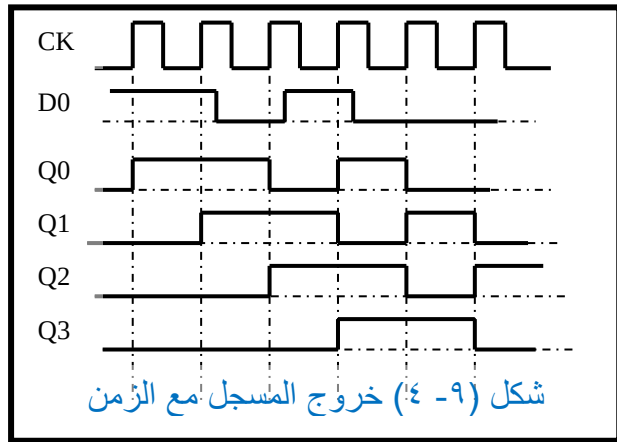


CK	D0	Q0	Q1	Q2	Q3
0	0	0	0	0	0
1	1	1	0	0	0
2	1	1	1	0	0
3	0	0	1	1	0
4	1	1	0	1	1

جدول ٩-١ بعد ٤ نبضات تزامن تم تسجيل الدخل 1011 على خرج المسجل

CK	D0	Q0	Q1	Q2	Q3
4	1	1	0	1	1
5	0	0	1	0	1
6	0	0	0	1	0
7	0	0	0	0	1
8	0	0	0	0	0

جدول ٩-٢ استمرار الإزاحة حتى تم تصفير المسجل مرة أخرى



في جدول ٩-٢ تم وضع صفر على الدخل D0 وإعطاء نبضات تزامن حيث نلاحظ أنه بعد ٤ نبضات خرجت كل البيانات الموجودة داخل المسجل من الخرج Q3 وتم تصفير المسجل مرة أخرى. شكل (٩-٤) يبين تغير الخرج على كل

قلاب من قلابات المسجل الموجود في شكل (٩-٣) مع الزمن عند وضع دخل معين على الدخل D3 وإعطاء نبضات على طرف التزامن CK، تتبع هذا الشكل وحاول فهمه.

٩-٥ إدخال البيانات على التوالى وإخراجها على التوالى

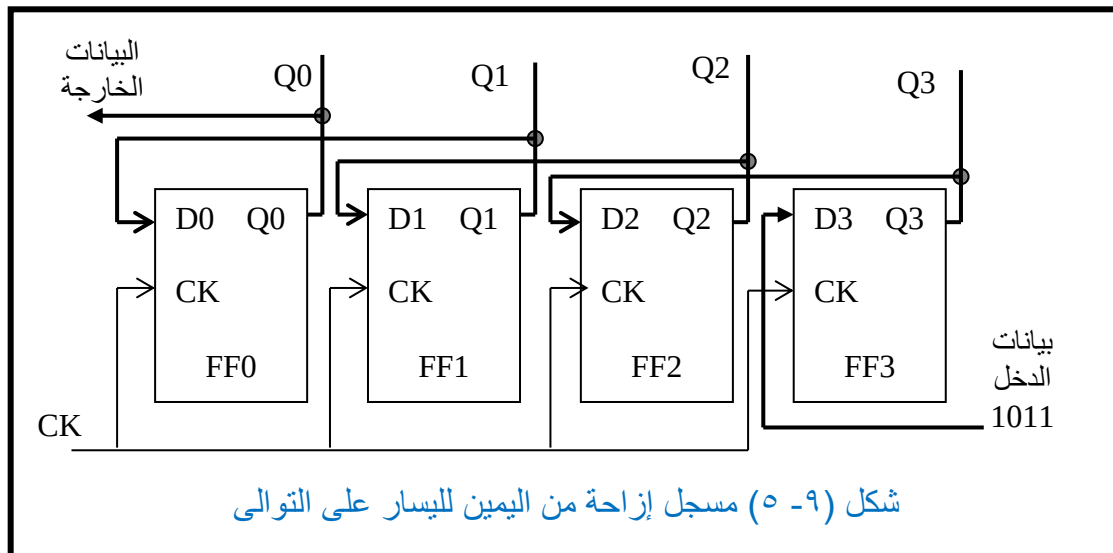
Serial In Parallel Out

في شكل (٩-٣) تم إدخال البيانات على التوالى من اليسار. بعد أى عدد من نبضات التزامن يمكن قراءة الخرج من على كل الخرج Q_0, Q_1, Q_2, Q_3 مرة واحدة على التوالى. بذلك نكون قد أدخلنا البيانات على التوالى من ناحية اليسار وقرأناها مرة واحدة على التوالى.

٩-٦ الإزاحة على التوالى من اليمين لليسار

Serial Right To Left Shift

بإعادة ترتيب التوصيلات بين القلايات في شكل (٩-٣) يمكن إدخال البيانات من ناحية اليمين وإزاحتها من اليمين لليسار مع كل نبضة تزامن. لاحظ أنه في هذه الحالة تم توصيل خرج كل قلاب كدخول للقلاب الذى على يساره. شكل (٩-٥) يبين هذا المسجل.



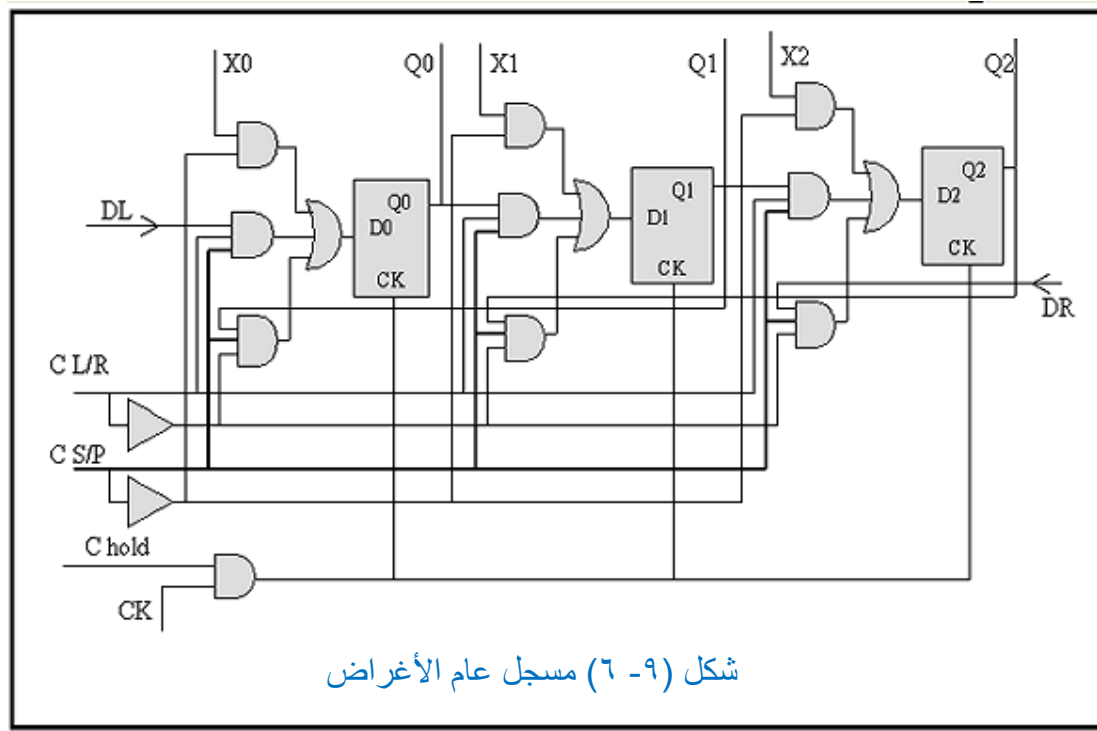
أكتب محتويات المسجل الموجود في شكل (٩-٥) مع كل نبضة تزامن لإدخال البيانات 1011 في جدولين كما في الجدولين ٩-١ و ٩-٢. ارسم شكل الإشارة على كل خرج مع الزمن في حالة الإزاحة من اليمين لليسار كما في شكل (٩-٤).

٩-٧ مسجل الإزاحة عام الأغراض

سنقدم في هذا الجزء مسجلاً عام الأغراض يمكن له عمل جميع أنواع الإزاحة المتتالية من اليمين لليسار أو العكس، كما يمكن له إدخال البيانات على التوالى وإخراجها على التوالى، أو إدخال البيانات على التوالى وإخراجها على التوالى. كل

هذه العمليات تتم من خلال خطوط تحكم يمكن بها اختيار العملية المطلوبة. شكل (٩ - ٦) يبين هذا المسجل. حاول أن تتبع كل العمليات السابقة على هذا المسجل.

في شكل (٩ - ٦) بوضع خط التحكم $Chold=0$ يتم منع نبضات التزامن من المرور إلى أطراف القلابات ويتجمد المسجل على وضعه ولا يتغير خرجة إلى أن يصبح هذا الخط واحد حيث عندها يسمح لنبضات التزامن بالمرور ويعمل المسجل. الخط CS/P يستخدم لاختيار التعامل على التوالى أم على التوازي. بوضع الخط $CS/P=1$ فإن المسجل يعمل في الإزاحة على التوالى، ويكون اتجاه الإزاحة على حسب الإشارة الموجودة على الخط CL/R . فإذا كان الخط $CL/R=1$ فإن الإزاحة تكون من اليسار إلى اليمين، ويتم إدخال البيانات المتتالية من ناحية اليسار (DL). أما إذا كان الخط $CL/R=0$ فإن الإزاحة تكون من اليمين لليسر ويتم إدخال البيانات من ناحية اليمين على الطرف (DR). أما إذا كان الخط $CS/P=0$ فإن كل مسارات الإزاحة المتتالية تغلق سواء من اليمين لليسر أو العكس حيث تخمد كل بوابات AND التي تعمل في هذا الاتجاه، أما البوابات التي تدخل البيانات المتوازية ($X0, X1, X2$) من خلالها فإنها تنشط في هذه الحالة وبذلك تدخل هذه البيانات المتوازية مع أول نبضة تزامن. توجد الكثير من الشرائح التي تؤدي جزء من ما يقوم به مثل هذا المسجل العام وشرائح تؤدي كل وظائفه، وسنقدم فيما يلي بعض هذه الشرائح.



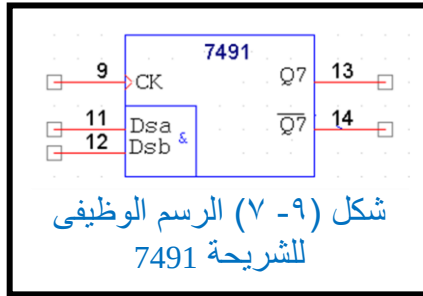
٩ - ٨ الشريحة 7491 مسجل إزاحة توالى ٨ بت

8 bit serial left to right shift register

الشريحة 7491 عبارة عن مسجل إزاحة توالى ومن اتجاه واحد فقط ذو ٨ بتات. البيانات الداخلة تدخل من أحد طرفي الدخل Dsa أو Dsb اللذان يمثلان طرفي دخل لبوابة AND. لذلك فإنه إذا كان $Dsa=Dsb=1$ فإنه يتم إدخال ١ إلى المسجل ويمكن إزاحته مع كل نبضة تزامن. أما إذا كان $Dsa=Dsb=0$ فإنه يتم إدخال صفر إلى المسجل. بوضع أحد الطرفين يساوى واحد، فإن البيانات الداخلة تكون مساوية للبيانات الموجودة على الطرف الآخر. الشريحة تحتوي

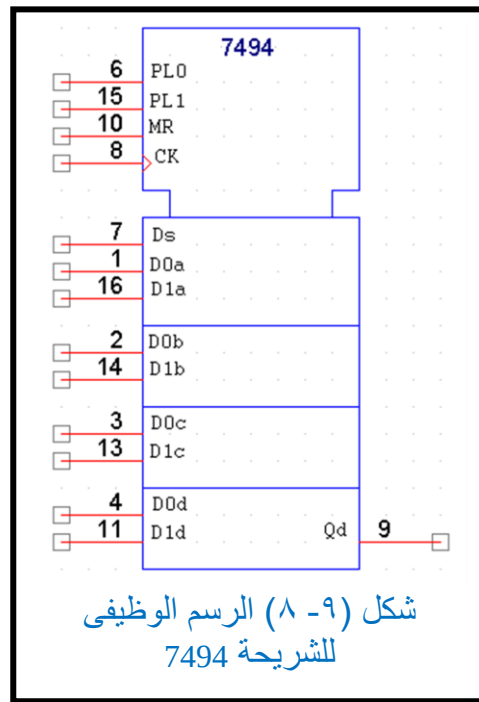
ثمان قلابات، المرحلة الأخيرة فقط هي المتاح خرجها Q7 وعكسه، لذلك فإنه كما يتضح من شكل (٩ - ٧) الذى يبين الرسم الطرفى للشريحة فإن معظم الأطراف غير مستخدمة. تيار القدرة لهذه الشريحة مقداره ٣,٥ ميللى أمبير وأقصى

تردد لها هو ١٨ ميغاهرتز. تتم إزاحة محتويات المسجل من Q0 إلى Q1 ثم Q2 وهكذا إلى أن تصل البيانات إلى آخر مرحلة حيث نراها على الخرج Q7. تتم هذه الإزاحة مع الحافة الصاعدة لبضبة التزامن، أى عند انتقال الإشارة على هذا الطرف من صفر إلى واحد. هذه الشريحة ليس لها طرف تصفير clear لتصفير الخرج عند الحاجة. الوسيلة الوحيدة لذلك هى إزاحة أصفاراً داخل الشريحة من الدخل. طرف القدرة للشريحة هو الطرف ٥ والأرضى هو الطرف ١٠ والشريحة لها ١٤ طرفاً.



٩ - ٩ الشريحة 7494 مسجل ٤ بت إدخال توازى أو توالى ، إخراج توالى

4 bit parallel in serial out shift register



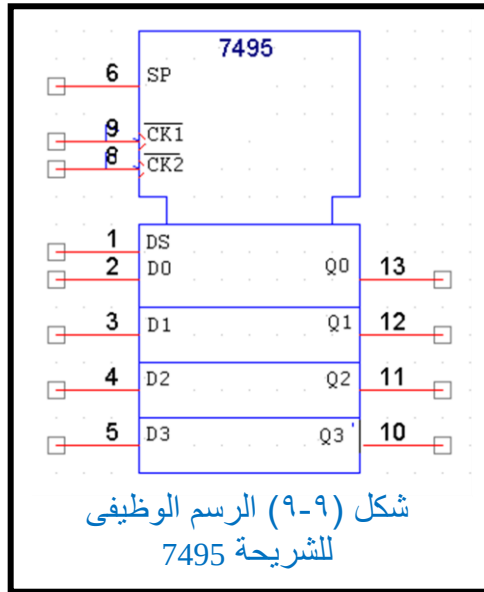
هذه الشريحة عبارة عن مسجل ذو ٤ بت يمكن إدخال البيانات له إما على التوالى من الطرف ٧ (Ds)، أو على التوازى من مجموعة الأطراف الأولى D0a, D0b, D0c, D0d أو من مجموعة الأطراف الثانية D1a, D1b, D1c, D1d. يتم اختيار المجموعة الأولى كدخل للمسجل بوضع الطرف PLO=1 والطرف P11=0 أو المجموعة الثانية كدخل للمسجل بوضع الطرف P11=1 والطرف P10=0، وذلك يعنى إمكانية إدخال البيانات من واحد من المصدرين D0 أو D1. الشريحة لها طرف تصفير MR عندما يكون واحد يجعل خرج جميع المراحل أصفاراً. يتم إزاحة البيانات عند انتقال الإشارة على طرف التزامن CK من الصفر إلى الواحد أى الحافة الصاعدة. تيار مصدر القدرة للشريحة يساوى ٣,٥ ميللى أمبير، وزمن المرور خلالها Propagation delay يساوى ٢٥ نانوثانية. شكل (٩ - ٨) يبين الرسم الطرفى

لهذه الشريحة. طرف القدرة للشريحة هو الطرف رقم ٥ والأرضى هو الطرف ١٢ والشريحة مكونة من ١٦ طرفاً.

٩ - ١٠ الشريحة 7495 مسجل ٤ بت إدخال توازى أو توالى، إخراج توالى

4 bit parallel in serial out shift register

هذه الشريحة عبارة عن مسجل ذو ٤ بت يمكن إدخال البيانات له إما على التوالى من الطرف ١ (Ds)، أو على التوازى من مجموعة الأطراف D0, D1, D2, D3. يتم اختيار الدخل المتوالى بوضع صفر على خط التحكم ٦ (SP)، واختيار



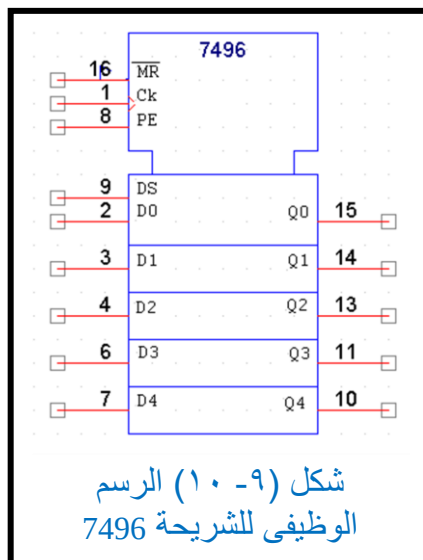
الدخل المتوازي بوضع واحد على نفس الطرف. عند وضع البيانات على الدخل المتوازي نضع نبضات التزامن على الطرف CK2 حيث في هذه الحالة مع أول نبضة تزامن تنتقل البيانات من الدخول D0, D1, D2, D3 إلى الخرج Q0, Q1, Q2, Q3 بالترتيب. وعند وضع بيانات متتالية على الطرف DS نضع نبضات التزامن على الطرف CK1 ومع كل نبضة تزامن على هذا الطرف تنتقل البيانات من Q0 إلى Q1 ومن Q1 إلى Q2 وهكذا، أي أنها إزاحة من اليسار لليمين حيث Q0 توجد في أقصى اليسار. خروج جميع مراحل الشريحة متاحة كأطراف على العكس من الشرائح السابقة، لذلك يمكن عمل إزاحة عكسية من Q3 إلى Q2 ومن Q2 إلى Q1 وهكذا، أي من

اليمين لليساار بفرض أن Q3 توجد في أقصى اليمين، وذلك بتوصيل الخرج Q3 إلى الدخل D2 والخرج Q2 إلى الدخل D1 وهكذا وذلك من خارج الشريحة. في هذه الحالة يتم إدخال البيانات المتتالية من على الطرف D3. يتم إزاحة البيانات عند انتقال الإشارة على أطراف التزامن CK1 أو CK2 من الواحد إلى الصفر أي عند الحافة الهابطة. تيار مصدر القدرة للشريحة يساوي ٣٩ ميللي أمبير، وأعلى تردد هو ٣٦ ميغاهرتز. شكل (٩-٩) يبين الرسم الوظيفي لها والشريحة لها ١٤ طرفا حيث طرف القدرة هو الطرف ١٤ والأرضى هو الطرف ٧.

٩- ١١ الشريحة 7496 مسجل ٥ بت إدخال توازي أو توالى

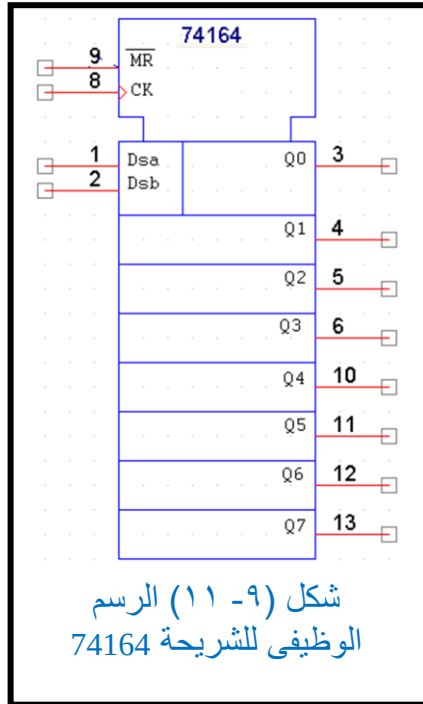
إخراج توالى أو توازي

5 bit parallel in serial out shift register



تتكون هذه الشريحة من ٥ بتات مع إمكانية إدخال البيانات على التوازي من على المداخل D0, D1, D2, D3 بعد تنشيط الطرف PE بوضعه يساوى واحد، أو على التوالى من على المدخل Ds. عند انتقال الإشارة على طرف التزامن CK من صفر إلى واحد تنتقل البيانات من المداخل المتوازية في حالة نشاط الطرف PE، أو تتم إزاحة البيانات على التوالى من DS إلى Q0 ومن Q0 إلى Q1 ومن Q1 إلى Q2 وهكذا. نتيجة وجود المخارج المتوازية الخمسة للشريحة فإنه يمكن إدخال البيانات على التوازي ثم إزاحتها في الاتجاه من Q0 إلى Q4، أو إدخال البيانات على التوالى من الطرف DS واستلامها على التوازي من المخارج. الشريحة لها طرف تصفير $\overline{MR}$ الذى يصفر كل المخارج عند وضعه يساوى صفر. تيار القدرة للشريحة يساوى ٤٨ ميللي أمبير، وزمن الانتقال خلالها

يساوى ٢٥ نانوثانية. شكل (٩ - ١٠) يبين الرسم الوظيفى للشريحة وطرف القدرة لها هو ٥ والأرضى هو ١٢ والشريحة لها ١٦ طرفا.



٩ - ١٢ الشريحة 74164 مسجل ٨ بت إدخال

توالى، إخراج توالى

8 bit serial in parallel out shift register

يتكون هذا المسجل من ٨ مراحل، جميع خروجها متاحة على أطراف الشريحة Q0 إلى Q7 كما فى شكل (٩ - ١١). هناك طرفان يمكن إدخال البيانات المتتالية من أى واحد منهما وهما الطرفان Dsa و Dsb حيث يستخدم أى واحد منهما كطرف تنشيط للطرف الآخر لأنهما دخلان لبوابة AND.

عند إدخال البيانات المتتالية على الطرف Dsa مثلا فإن الطرف Dsb لابد أن يكون واحد، وإذا تم إدخال البيانات المتتالية على الطرف

Dsb فإن الطرف الآخر Dsa لابد أن يكون واحد أيضا.

يمكن ربط الطرفين Dsa و Dsb مع بعضهما وإدخال

البيانات المتتالية من خلالهما فى نفس الوقت. مع كل انتقال

لنبضات التزامن من صفر إلى واحد تتم إزاحة البتات من

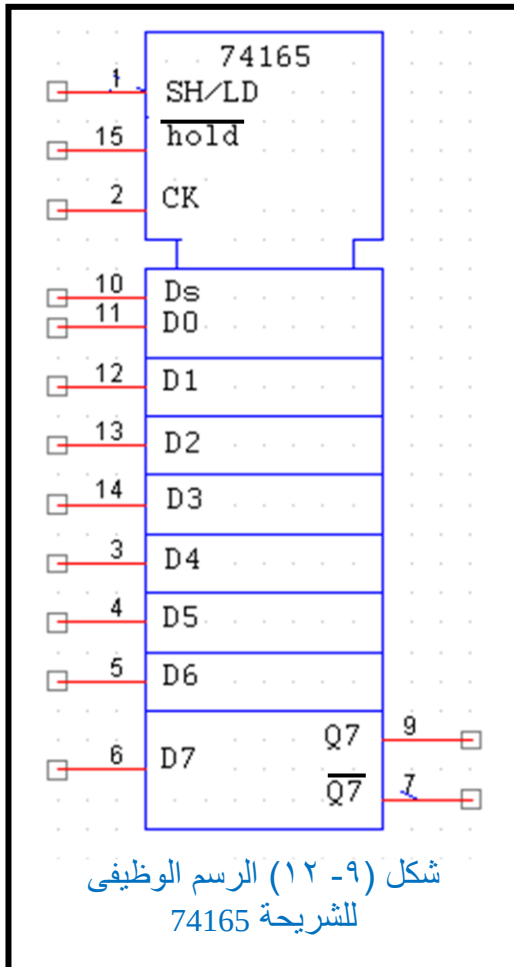
الدخل التتابعى إلى Q0، ومن Q0 إلى Q1، ومن Q1 إلى Q2 وهكذا إلى Q7. الطرف $\overline{MR}$ طرف تصفير لجميع

الخروج حيث عندما يكون هذا الطرف صفر تصفر كل

الخروج. تيار القدرة للشريحة يساوى ٣٧ ميللى أمبير، وأكبر

تردد لها هو ٣٦ ميغاهرتز. الشريحة لها ١٤ طرفا، الطرف ١٤

هو طرف القدرة والطرف ٧ هو الأرضى.



٩- ١٣ الشريحة 74165 مسجل ٨ بت إدخال توالى أو توازى ، إخراج توالى

8 bit parallel in/serial in, serial out shift register

يتكون هذا المسجل من ٨ مراحل يمكن إدخال البيانات له على التوالى من الطرف Ds أو على التوازى من الأطراف D0 إلى D7. الخرج من آخر مرحلة Q7 هو المتاح فقط وعكسه أيضا متاح Q7. الطرف SH/LD عندما يكون صفرا يتم تحميل البيانات المدخلة على الأطراف D0 إلى D7 إلى الخرج المناظرة لها Q0 إلى Q7. عندما يكون الطرف SH/LD=1 فى هذه الحالة يسمح بإزاحة البيانات تتابعيا من الدخل Ds إلى خرج المرحلة الأولى ومنه للمرحلة الثانية وهكذا حتى خرج آخر مرحلة Q7. تتم هذه الإزاحة مع الحافة الصاعدة لطرف التزامن CK بشرط أن يكون الطرف hold يساوى صفر. إذا كان hold=1 فإن نبضات التزامن يتم حجبتها ويتم تجميد الشريحة، أى أن خرجها لن يتغير مع أى نبضات تزامن. تيار القدرة للشريحة هو ٤٢ ميللى أمبير، وأقصى تردد لها هو ٢٦ ميجاهرتز. الشريحة لها ١٦ طرفا، القدرة على الطرف ١٦ والأرضى على الطرف ٨ كما فى شكل (٩- ١٢).

٩- ١٤ الشريحة 74166 مسجل ٨ بت إدخال توالى أو توازى، إخراج توالى

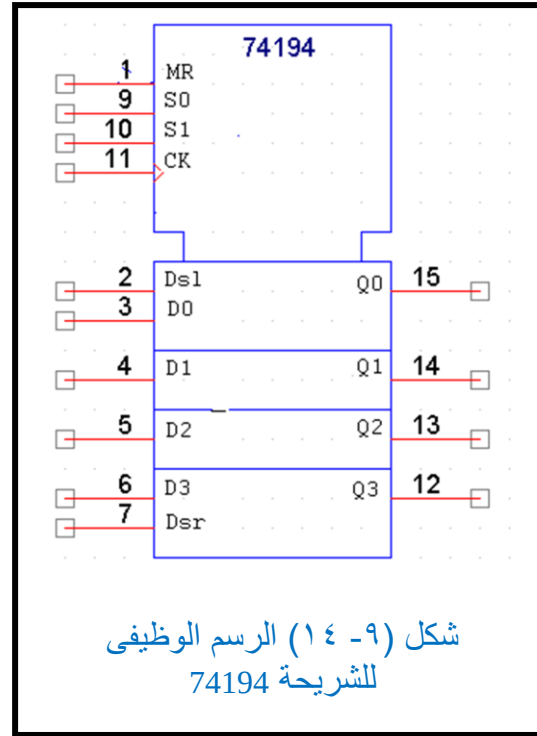
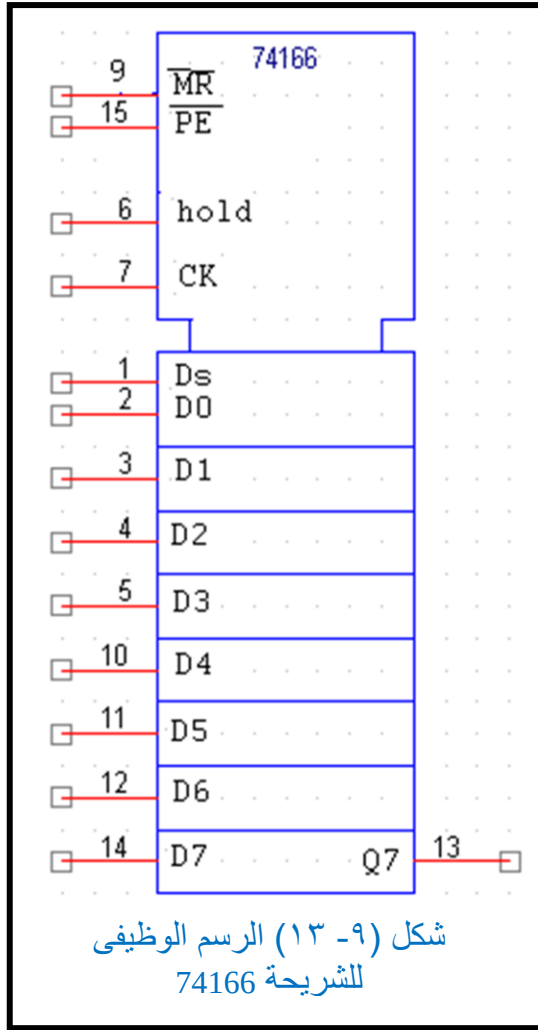
8 bit parallel in/serial in, serial out shift register

تتكون هذه الشريحة من ٨ مراحل يمكن إدخال البيانات لها على التوالى من الطرف Ds أو على التوازى من على الأطراف D0 حتى D7. يتم اختيار الإدخال التوالى أو التوازى عن طريق الطرف $\overline{PE}$. عندما يكون الطرف $\overline{PE}=0$ يتم تنشيط الإدخال التوازى ومع أول نبضة على الطرف CK تنتقل البيانات من الأطراف D إلى أطراف الخرج المناظرة Q. عندما يكون $\overline{PE}=1$ ينشط طرف الإدخال التوالى وتدخل البيانات من Ds وتزاح إلى Q0 ومنها إلى Q1 ومنها إلى Q2 وهكذا. نبضات التزامن CK منخفضة الفعالية أى نشطة عندما تنتقل من صفر إلى واحد. هناك طرف تجميد للشريحة وهو الطرف hold الذى يحجب نبضات التزامن. الشريحة لها طرف تصفير وهو الطرف $\overline{MR}$ الذى يصفر كل خروج الشريحة عندما يكون صفر. تيار القدرة للشريحة ٩٠ ميللى أمبير، وأقصى تردد لها هو ٣٥ ميجاهرتز. الشريحة مكونة من ١٦ طرفا، الأرضى على الطرف ٨، والقدرة على الطرف ١٦ كما فى شكل (٩- ١٣).

٩- ١٥ الشريحة 74194 مسجل متعدد الأغراض ٤ بت ثنائى الاتجاه

4 bit bidirectional universal shift register

تحتوى هذه الشريحة على ٤ مراحل يمكن من خلالها إجراء كل العمليات التى يمكن طلبها من أى مسجل إزاحة. الشريحة لها خطى تحكم S0 و S1 يمكن بهما التحكم فى طريقة تشغيل الشريحة. بوضع S0=1 و S1=1 فإن البيانات المدخلة على الأطراف D0 حتى D3 تنتقل إلى المخارج Q0 حتى Q3 مع أول نبضة تزامن من صفر إلى واحد على الدخل CK. يمكن إزاحة البيانات تتابعيا ناحية اليمين، أى من Q0 فى اتجاه Q3 بوضع S0=1 و S1=0، فى هذه الحالة يتم وضع البيانات التتابعية المدخلة على الطرف Ds (الطرف رقم ٢).



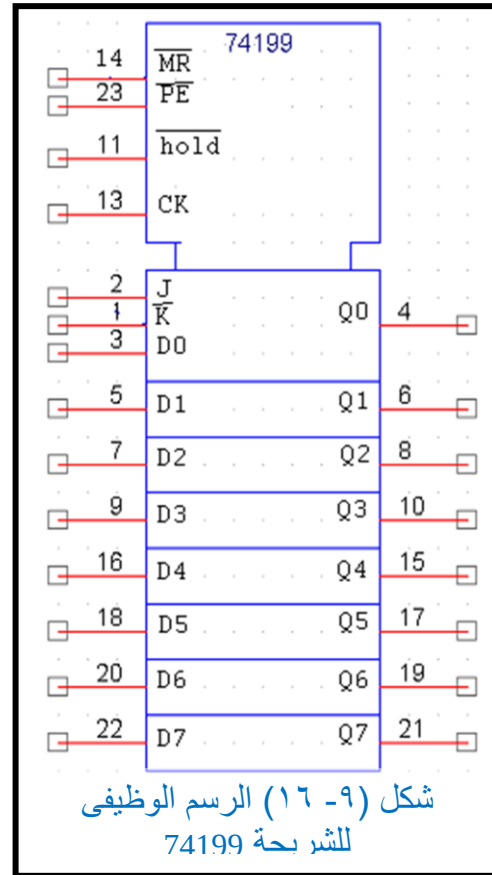
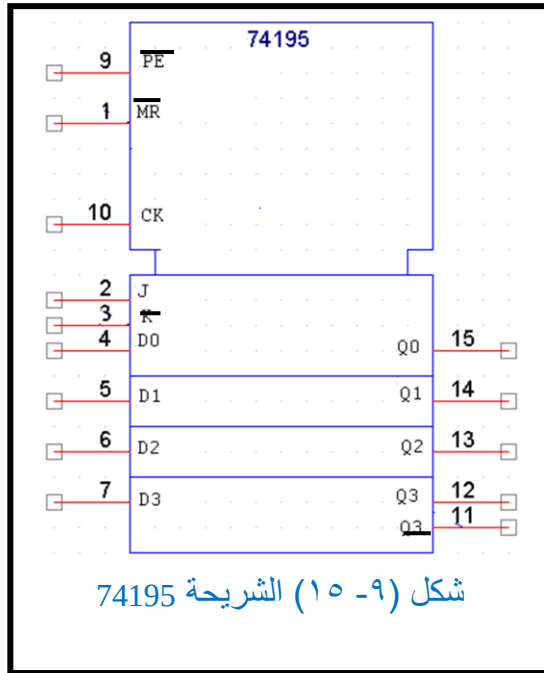
يمكن إزاحة البيانات تتابعياً ناحية اليسار، أى من Q3 فى اتجاه Q0 بوضع $S0=0$ و $S1=1$ ، فى هذه الحالة يتم وضع البيانات التتابعية المدخلة على الطرف Dsr (الطرف رقم ٧). الشريحة لها طرف تصفير $\overline{MR}$ بوضعه يساوى صفر فإن جميع مخارج المسجل يتم تصفيرها. تيار القدرة للشريحة هو ٣٩ ميللى أمبير، وأقصى تردد هو ٣٦ ميگاهرتز. الشريحة مكونة من ١٦ طرفاً، الأرضى على الطرف ٨، والقدرة على الطرف ١٦ كما فى شكل (٩-١٤).

٩-١٦ الشريحة 74195 مسجل ٤ بت ، دخل توازى خرج توالى

4 bit parallel in serial out shift register

تتكون هذه الشريحة من ٤ مراحل يمكن إدخال البيانات على التوازى لكل منها من خلال اطراف الدخل D0 حتى D3 بشرط أن يكون الطرف $\overline{PE}=0$ مع إعطاء نبضة تزامن على الطرف CK حيث عندها تنتقل البيانات الموجودة على المدخل D0 حتى D3 إلى المخارج Q0 حتى Q3. عندما يكون $\overline{PE}=1$ يمكن إجراء الإزاحة من اليسار لليمين، Q0 فى اتجاه Q3، ويتم إدخال البيانات التتابعية من خلال الطرفين J و K بعد توصيلهما ببعضهما. تتم الإزاحة عند انتقال الإشارة على الطرف CK من صفر إلى واحد. هناك طرف التصفير $\overline{MR}$ الذى عندما يكون صفر تصبح كل

المخارج تساوى صفر. تيار القدرة للشريحة هو ٣٩ ميللى أمبير وأقصى تردد هو ٣٩ ميغاهرتز. الشريحة مكونة من ١٦ طرفاً، الأرضى على الطرف ٨، والقدرة على الطرف ١٦ كما فى شكل (٩- ١٥).

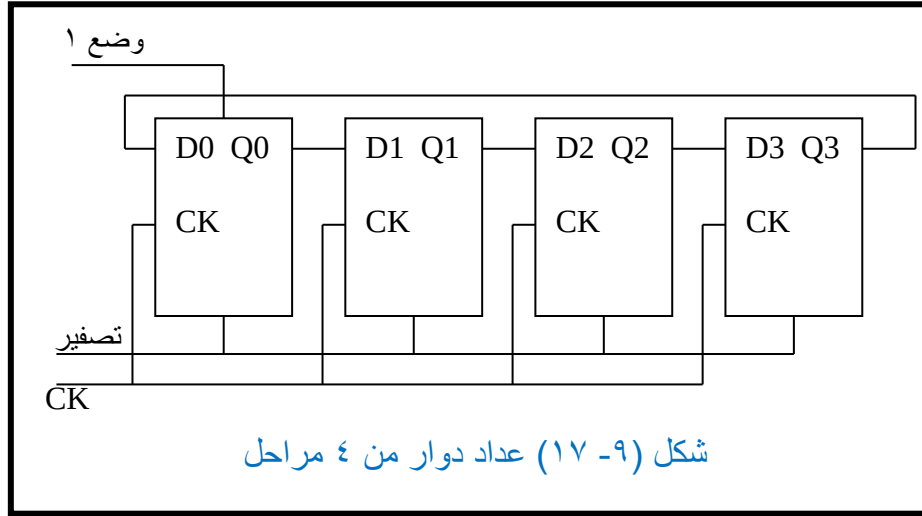


٩-١٧ الشريحة 74199 مسجل ٨ بت ، دخل توازى خرج توالى

8 bit parallel in serial out shift register

تتكون هذه الشريحة من ٨ مراحل يمكن إدخال البيانات على التوازى لكل منها من خلال اطراف الدخل D0 حتى D7 بشرط أن يكون الطرف $\overline{PE} = 0$ مع إعطاء نبضة تزامن على الطرف CK حيث عندها تنتقل البيانات الموجودة على المدخلات D0 حتى D7 إلى المخارج Q0 حتى Q7. عندما يكون $\overline{PE} = 1$ يمكن إجراء الإزاحة من اليسار لليمين، Q0 فى اتجاه Q7، ويتم إدخال البيانات المتتالية من خلال الطرفين J و K بعد توصيلهما ببعضهما. تتم الإزاحة عند انتقال الإشارة على الطرف CK من صفر إلى واحد. هناك طرف التصفير $\overline{MR}$ الذى عندما يكون صفر تصبح كل المخارج تساوى صفر. هناك طرف تجميد للشريحة وهو الطرف hold الذى يحجب نبضات التزامن، وبالتالي يجمد عمل الشريحة ويمنع أى تغيير. تيار القدرة للشريحة هو ٩٠ ميللى أمبير وأقصى تردد هو ٣٥ ميغاهرتز. الشريحة مكونة من ٢٤ طرف، الأرضى على الطرف ١٢، والقدرة على الطرف ٢٤ كما فى شكل (٩- ١٦).

٩-١٨ العدادات الدوارة Ring Counters



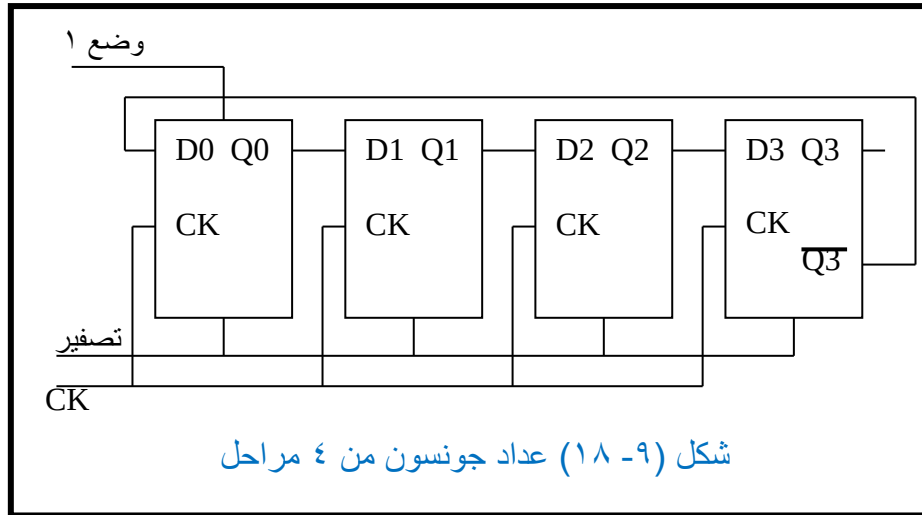
نبضات التزامن	Q0	Q1	Q2	Q3
0	1	0	0	0
1	0	1	0	0
2	0	0	1	0
3	0	0	0	1

جدول ٩-٣ التتابعات الناتجة مع كل نبضة تزامن من العداد الدوار

العدادات الدوارة عبارة عن مسجل إزاحة تم توصيل خرجه التتابعي من آخر مرحلة إلى دخله التتابعي في أول مرحلة. مثل هذه الدوائر تسمى عدادات مجازا لأنها تخرج تتابعات أو نماذج معينة كما سنرى، إلا أن هذه التتابعات ليس بالضرورة أن تكون أرقاماً متتالية كما في العدادات المعتادة. شكل (٩-١٧) يبين دائرة لعداد دوار مكونة من ٤ مراحل وجدول ٩-٣ يبين التتابعات الناتجة عن هذا العداد. لا بد قبل تشغيل العداد من

تحميله بنموذج من الواحد والأصفار قبل إطلاق نبضات التزامن باستخدام أطراف وضع الواحد presetting أو أطراف التصفير clear. في الدائرة الموجودة في شكل (٩-١٧) تم وضع أول مرحلة تساوى واحد $Q0=1$ وباقي المراحل أصفاراً، بحيث أنه مع كل نبضة تزامن يزاح هذا الواحد ناحية اليمين بمقدار بت واحدة كما في جدول ٩-٣. ليس بالضرورة أن يكون النموذج المبدئي هو بت واحدة تساوى واحد والباقي أصفاراً، ولكن من الممكن أن نبدأ العداد بأي نموذج من الواحد والأصفار فيما عدا أن تكون كل بتات العداد وحايد أو كل البتات أصفاراً. عدد التتابعات أو النماذج الناتجة من مثل هذا العداد يساوى عدد المراحل المكون منها العداد، فقد حصلنا على ٤ نماذج من الخرج كما في جدول ٩-٣ من العداد المكون من ٤ مراحل، أى أن عدد النماذج الناتجة يساوى n حيث n هي عدد المراحل.

يمكن مضاعفة عدد النماذج الناتجة من العداد الدوار بتوصيل الخرج المعكوس $\overline{Q3}$ من آخر مرحلة إلى دخل أول مرحلة كما في شكل (٩-١٨). مثل هذا العداد يسمى عداد جونسون، وجدول ٩-٤ يبين التتابعات الناتجة في هذه الحالة، حيث نلاحظ وجود ٨ حالات أو نماذج لهذا العداد بدلاً من ٤، أى أن عدد النماذج يساوى $2n$ حيث n هي عدد المراحل.



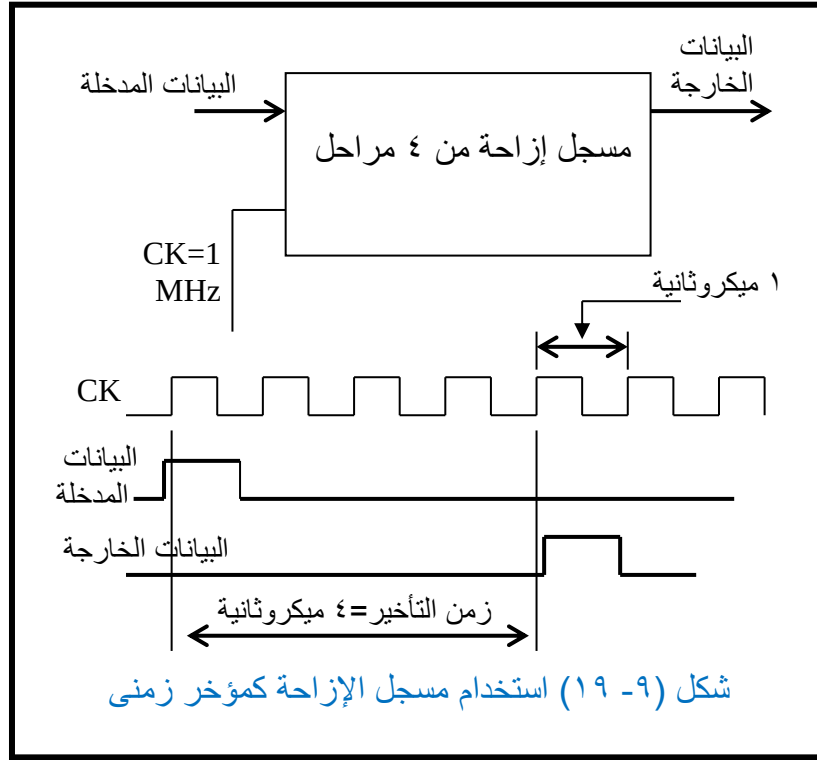
نبضات التزامن	Q0	Q1	Q2	Q3
0	1	0	0	0
1	1	1	0	0
2	1	1	1	0
3	1	1	1	1
4	0	1	1	1
5	0	0	1	1
6	0	0	0	1
7	0	0	0	0

جدول ٩-٤ التتابعات الناتجة مع كل نبضة تزامن من عداد جونسون

٩-١٩ تطبيقات مسجلات الإزاحة

مؤخر زمني Time delay

أى مسجل دخله توالى وخرجه توالى يمكن إدخال البيانات المتتالية على دخله ثم استقبال هذه البيانات على خرجه فى آخر مرحلة بعد زمن تأخير مقداره عدد مراحل هذا المسجل مضروباً فى زمن كل نبضة من نبضات التزامن. شكل (٩-١٩) يبين رسماً توضيحياً لذلك حيث نلاحظ من هذا الشكل أننا حصلنا على البيانات المدخلة بعد زمن تأخير مقداره ٤ ميكروثانية لأن عدد مراحل المسجل هو ٤ مراحل وزمن نبضة التزامن هو ١ ميكروثانية فقط.

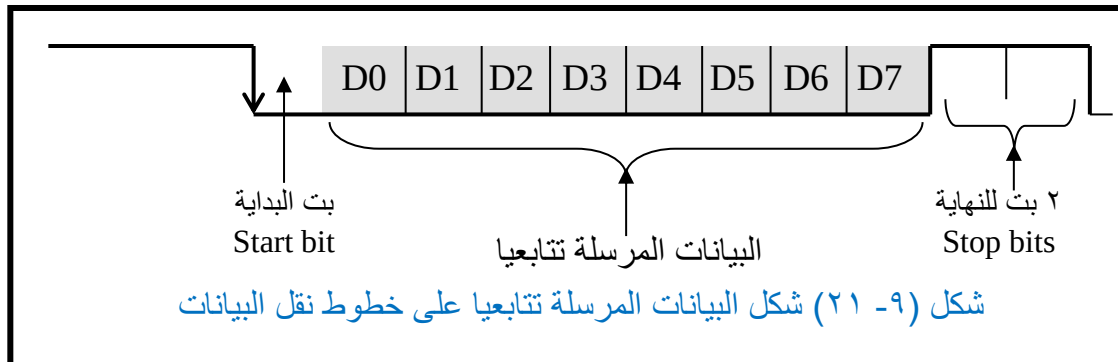
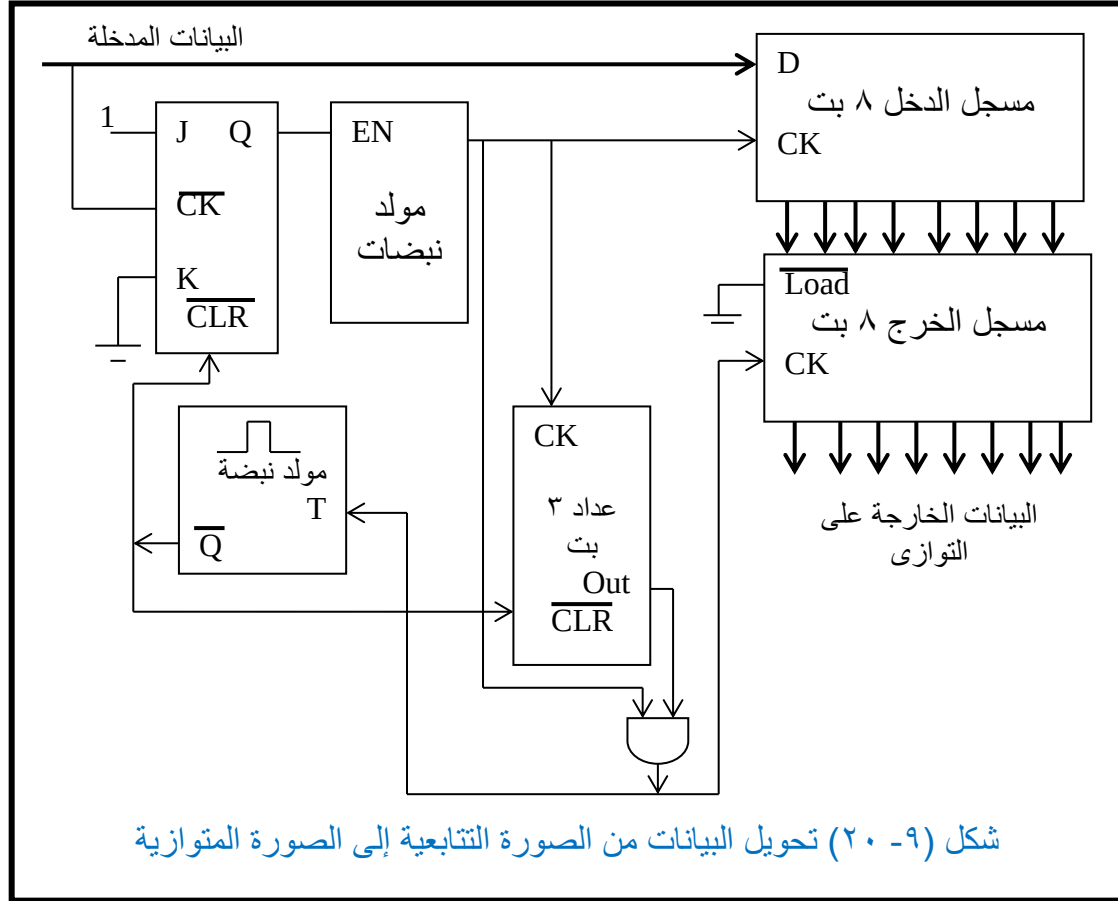


تحويل البيانات التتابعية إلى الصورة المتوازية

Serial To Parallel Conversion Of Data

في العادة ترسل البيانات لمسافات طويلة على خط واحد لنقل البيانات مثل خط التليفون. هذه البيانات عندما تصل إلى المستقبل لابد من تحويلها إلى الصورة المتوازية قبل إدخالها إلى المعالج أو الحاسب. شكل (٩-٢٠) يبين الدائرة التي ستقوم بهذا التحويل. لاحظ أن البيانات ترسل على خط النقل بصورة معينة كالمبينة في شكل (٩-٢١). في هذا الشكل نلاحظ أن الإشارة على الخط تكون واحد دائما في حالة عدم التراسل. عند نزول الإشارة من الواحد إلى الصفر يصبح خرج القلاب JK يساوى واحد، ونتيجة لذلك ينشط مولد النبضات الذي يعطى نبضات تزامن بتردد يساوى تماما تردد البيانات المرسل على خط البيانات. هذه النبضات تستخدم كنضات تزامن لمسجل الإزاحة الأول (مسجل الدخل) الذي يستقبل البيانات التتابعية وأيضاً للعداد ٣ بت الذي يعد ٨ عدات. مع كل نبضة من نبضات التزامن تزاح البيانات خلال مراحل المسجل بمقدار بت واحدة ويزداد العداد بمقدار واحد، إلى أن يصبح خرج العداد يساوى ٨ حيث تصبح آخر مرحلة فيه تساوى واحد. عند ذلك ومع أول نبضة تزامن قادمة فإن البوابة AND تعطى واحد في خرجها. هذا الواحد ينشط مسجل الإزاحة الثاني (مسجل الخرج) من خلال الدخل CK الخاص به فيقوم بتحميل الإشارة الموجودة على خرج المسجل الأول (مسجل الدخل) ويسجلها على خرجها هو فتصبح هي الصورة المتوازية من البيانات والتي يمكن التعامل معها من خلال أى معالج أو حاسب. عند صعود خرج بوابة ال AND من صفر إلى واحد ينشط مولد النبضة one shot الذي يعطى نبضة واحدة تصفر كل من العداد والقلاب JK استعداداً لبدأ التعامل مع مجموعة جديدة من البيانات. لا يخلو أى حاسب من شريحة الإرسال والاستقبال التتابعى والتي يطلق عليها UART وذلك اختصار لعبارة Universal Asynchronous Receiver Transmitter أو شريحة الاستقبال والإرسال الغير توافقى. تحتوى هذه

الشريحة على دائرة تحويل من توالى إلى توالى كالتى شرحناها سابقا كما تحتوى أيضا على دائرة أخرى تقوم بالعملية العكسية وهى التحويل من توالى إلى تتابع تمهيدا للإرسال. لذلك فإن هذه الشريحة توجد دائما فى كارت الموديم لأداء مهمة التحويل فى الاتجاهين.



٩-٢٠ تمارين

- ١- لماذا تعتبر مسجلات الإزاحة أحد وسائل التخزين؟
- ٢- مسجل إزاحة من ٤ بت، أكتب الخرج على كل مرحلة مع كل نبضة تزامن إذا كان الدخل التابعى هو 10011101010001110 .
- ٣- ارسم رسم صندوقى لمسجل إزاحة من ٥ بت عام الأغراض مستخدما شرائح حقيقية مبينا رقم كل شريحة يتم استخدامها.
- ٤- استخدم وحدتين من الشريحة ٧٤١٩٥ للحصول على مسجل إزاحة من ٨ بت.
- ٥- استخدم وحدتين من الشريحة ٧٤١٩٤ للحصول على مسجل إزاحة من ٨ بت يمكن إزاحة محتوياته فى كلا الاتجاهين.
- ٦- ما هو الفرق بين العداد الدوار والعداد الثنائى.
- ٧- صمم عداد دوار من ١٠ مراحل مستخدما أحد قلابات D.
- ٨- فى تمرين ٦ افترض أن أول قلاب فقط هو الذى خرج يساوى واحد وباقى الخرج تساوى أصفار. ارسم المخطط الزمنى على كل خرج مع نبضات التزامن.
- ٩- أكتب جدول الحقيقة للدائرة المصممة فى تمرين ٧.
- ١٠- كرر تمارين ٦ و ٧ و ٨ مستخدما عداد جونسون.
- ١١- استخدم الشريحة ٧٤١٩٥ للحصول على عداد دوار من ١٦ مرحلة.
- ١٢- ارسم دائرة تفصيلية لدائرة تحويل البيانات من الصورة المتوازية إلى الصورة التتابعية.
- ١٣- صمم دائرة تأخير إشارة بمقدار ٥ ميللى ثانية. الإشارة الداخلة ترددها يساوى ١٠٠ هرتز.

الفصل العاشر

١٠

الذاكرة

Memory

١٠-١ مقدمة

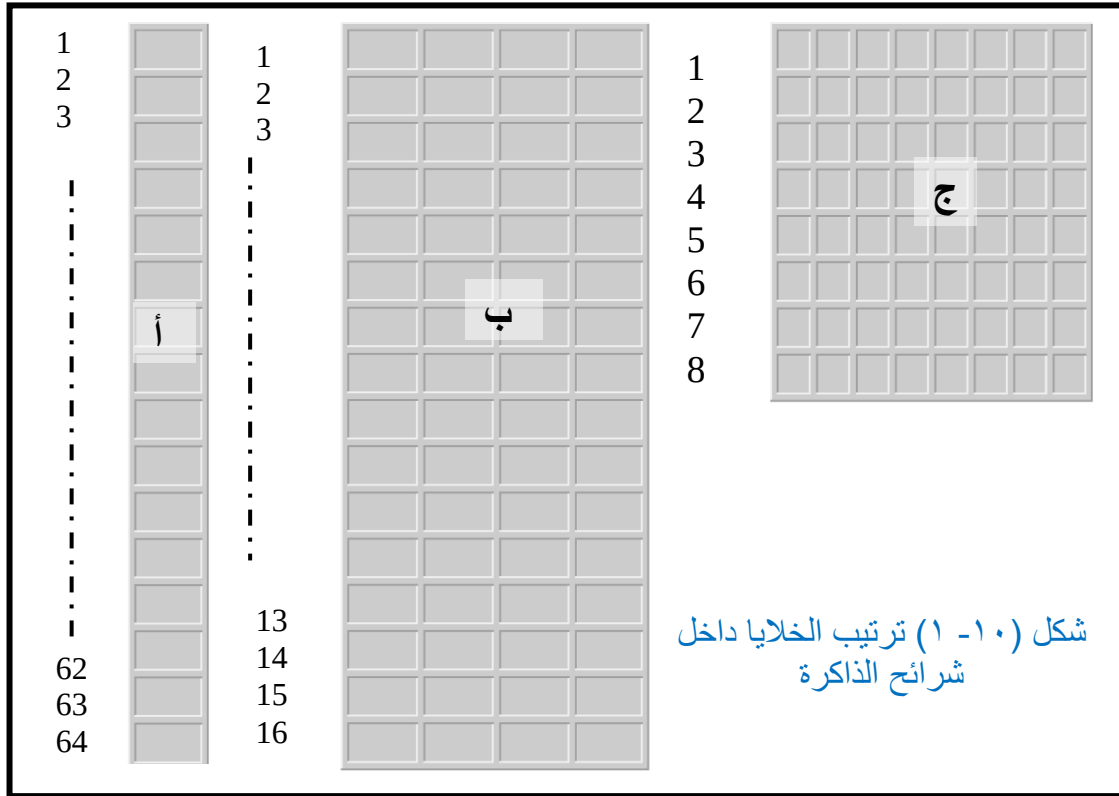
لقد شرحنا في فصل سابق مسجلات الإزاحة، التي تعتبر نوعاً من أنواع أجهزة التخزين محدودة المساحة، وبالتالي يمكن اعتبارها ذاكرة محدودة. الذاكرة التي سنشرحها في هذا الفصل هي الذاكرة الكبيرة المساحة والتي تستخدم في تخزين كم معين (كبير) من البيانات والتي لا يمكن تخزينها في مسجلات إزاحة. المعالجات والحاسبات تعتمد أساساً في تشغيلها على الذاكرة بأنواعها المختلفة لكي تخزن فيها البرامج والبيانات المستخدمة في أثناء عمليات المعالجة لهذه البيانات. يمكن تقسيم الذاكرة إلى نوعين من حيث طريقة التخزين. النوع الأول وهو الذاكرة المغناطيسية التي تعتمد في طريقة تخزينها للبيانات على إعادة توزيع مادة مغناطيسية على قرص معين بطريقة مغناطيسية. من أشهر أمثلة ذلك الأقراص المرنة والأقراص الصلبة وشرائط التسجيل، كلها تسجل البيانات مغناطيسياً. هذه الأنواع لن نتعرض لها في هذا الفصل. النوع الثاني من الذاكرة هو الذاكرة المصنعة من أشباه الموصلات semiconductors والتي توجد في صورة شرائح. وحدة التخزين في هذا النوع هي القلاب أو المكثف. هذا النوع (الثاني) هو الذي سنشرحه بالتفصيل في هذا الفصل.

١٠-٢ وحدة تخزين البيانات (البت والبايت والورد)

الوحدة الأساسية لتخزين البيانات هي البت bit. والبت هي الخانة الثنائية التي يمكن أن تكون واحد أو صفر. البت كما سنرى بعد قليل يمكن بناؤها من قلاب أو من مكثف، وعلى حسب طريقة البناء سيحدد نوع الذاكرة. ٤ بتات مع بعضها تسمى نبل nibble (نصف البايت)، ولكن النبل لم يعد يستخدم الآن كوحدة من وحدات التعامل مع البيانات. ٨ بتات تسمى البايت byte، والبايت هي الوحدة الشائعة الاستخدام الآن في دنيا التعامل مع البيانات والحاسبات على وجه العموم. ١٦ بت، أو ٢ بايت تسمى ورد word وهذه أيضاً قليلة الاستخدام عن البايت.

عند بناء شرائح الذاكرة يتم ترتيب الخلايا التخزينية (البتات) بأكثر من طريقة داخل كل شريحة. فيمكن مثلاً ترتيب هذه الخلايا التخزينية في صورة بتات متتابعة بحيث يمكن التعامل مع كل بت على حده كما في شكل (١٠-أ)، أو في صورة وحدات، كل منها عبارة عن نبل (٤ بت)، يتم التعامل معها على هذا الأساس كما في شكل (١٠-ب)، أو أخيراً في صورة بايتات يتم التعامل معها على هذا الأساس أيضاً كما في شكل (١٠-ج) الذي يبين ٦٤ وحدة تخزينية (بت) في شريحة معينة تم ترتيبها بثلاث طرق مختلفة. الطريقة الأولى ١٦×٦٤ بت ونقول في هذه الحالة شريحة مكونة من ٦٤ بت. الطريقة الثانية ٤×١٦ بت ونقول شريحة مكونة من ١٦ نبل. والطريقة الثالثة ٨×٨ بت ونقول شريحة مكونة من ٨ بايت. في العادة تذكر شرائح الذاكرة بعدد وحدات التخزين المستخدمة مضروباً في عدد البتات في كل وحدة من هذه الوحدات. فنقول مثلاً شريحة مكونة من ١٦×٤ بت. هذه الشريحة بالطبع تحتوى ١٦ كيلو نبل، أو نقول شريحة مكونة من ١٦×٨ بت لشريحة مكونة من ١٦ ك بايت وكل بايت من ٨ بت بالطبع.

كما ذكرنا فإن التعامل مع الذاكرة يكون على مستوى البايت لأن الشرائح التي تتعامل على مستوى البت أو النبل تكاد تكون غير موجودة الآن. عند التعامل مع ذاكرة مكونة من بايتات فإن كل بايت تتحدد بعنوان معين، وهذا العنوان يكون هو رقم الصف الذي تشغله هذه البايت في شرائح الذاكرة. فالبايت الثالثة مثلاً يكون عنوانها هو ٣، والبايت العاشرة يكون عنوانها هو ١٠، وهكذا.



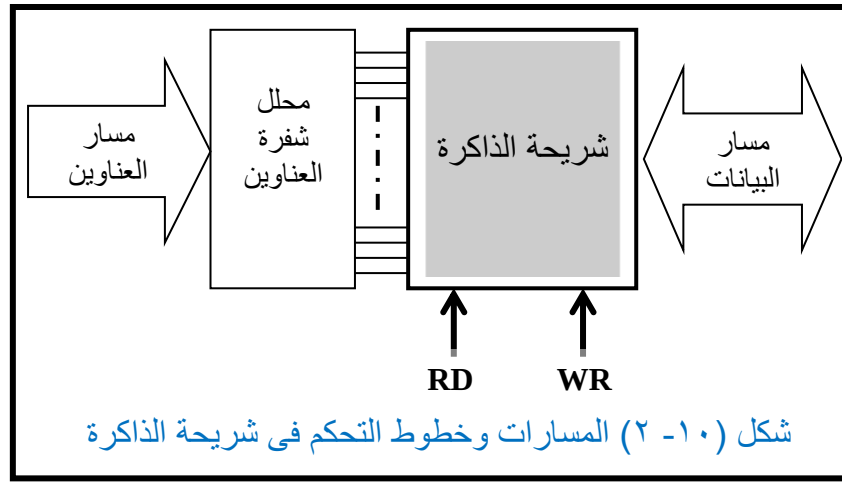
١٠-٣ العمليات الأساسية على الذاكرة

هناك عمليتان أساسيتان يتم التعامل بهما مع الذاكرة. العملية الأولى هي عملية الكتابة Write, WR في الذاكرة، والعملية الثانية هي عملية القراءة Read, RD منها. الكتابة هي تخزين بيانات معينة في مواضع معينة في الذاكرة، بينما عملية القراءة هي استخراج أو استرجاع بيانات معينة أيضا من مواضع معينة في الذاكرة. كما رأينا في العمليتين فإنه لا بد من تحديد العنوان الذي سيتم التعامل معه سواء بغرض الكتابة أو بغرض القراءة.

يتم إدخال البيانات إلى شريحة الذاكرة أو استخراجها من شريحة الذاكرة على مجموعة من الخطوط المتوازية تسمى مسار البيانات أو خطوط البيانات. كما ذكرنا فإن معظم شرائح الذاكرة الآن منظمة في صورة بايتات، أى أنه يتم إدخال أو استخراج بايت كاملة إلى أو من الشريحة. لذلك فإن مسار البيانات لمثل هذه الشرائح يتكون من ٨ خطوط. مسار البيانات يكون ثنائي الاتجاه لأن البيانات تدخل إلى الذاكرة من خلاله وتخرج منها من خلاله أيضا. لاحظ أن البيانات تكون خارجة من الذاكرة عند لحظة معينة وتكون داخلية عند لحظة أخرى ولا يمكن أن تكون داخلية وخارجة عند نفس اللحظة أو في نفس الوقت.

عند الكتابة أو القراءة في أو من الذاكرة لا بد من تحديد العنوان الذي سيتم التعامل معه. هذا العنوان يتحدد أو يوضع على مجموعة من الخطوط المتوازية أيضا تسمى مسار العناوين. عدد خطوط مسار العناوين لأى شريحة ذاكرة يتحدد على حسب سعة هذه الشريحة، والعلاقة بين سعة الشريحة وعدد خطوط مسار العناوين لها هي أن سعة الشريحة تساوى ٢ مرفوعة لأس عدد خطوط مسار العناوين. فإذا كان عدد خطوط مسار العناوين هو ٤ فإن سعة هذه الشريحة هي $2^4 = 16$ بايت، وإذا كان عدد خطوط مسار العناوين هو ٨ فإن سعة هذه الشريحة هو $2^8 = 256$ بايت، وهكذا. مسار

العناوين أحادى الاتجاه ويحمل إشارة العناوين إلى الذاكرة، أى أن الإشارة عليه تكون دائما داخله لشريحة الذاكرة. شكل (١٠ - ٢) يبين شريحة ذاكرة وقد وصل عليها كل من مسار البيانات ومسار العناوين. لاحظ أن مسار العناوين يدخل على محلل شفرة decoder يخرج منه عدد من الخطوط مساوى لعدد البايتات الموجودة في الشريحة. بجانب مسارى البيانات والعناوين فإن أى شريحة لابد أن يكون لها خطان للتحكم يتحدد من خلالهما الغرض من التعامل مع هذه الشريحة، هل هو بغرض الكتابة أم بغرض القراءة. يتم ذلك من خلال خطان يسميان خطى التحكم، أحدهما هو الخط Read, RD الذى يتم تنشيطه إذا كان الغرض من التعامل هو القراءة، والخط الآخر هو الخط Write, WR الذى يتم تنشيطه إذا كان الغرض هو الكتابة في شريحة الذاكرة. أحيانا يتم تنشيط هذه الخطوط بوضعها تساوى صفر وفى هذه الحالة نقول أنها منخفضة الفعالية Active low وفى هذه الحالة نضع شرطة على الخط لكى نميزه بهذه الصفة كما يلي:



$\overline{RD}$ و $\overline{WR}$. من الممكن أن يكون خط التحكم على الفعالية وفى هذه الحالة لا نضع شرطة فوق اسم الخط. بعض الشرائح القديمة يكون لها خط تحكم واحد عندما يكون بصفر فإنه يمكن الكتابة في الذاكرة وعندما يكون هذا الخط واحد فإنه يمكن القراءة من الذاكرة. فى هذه الحالة يكتب اسم الخط مع وجود شرطة على الحالة المنخفضة الفعالية كما يلي: $\overline{RD} / \overline{WR}$.

١٠-٣-١ عملية الكتابة في الذاكرة

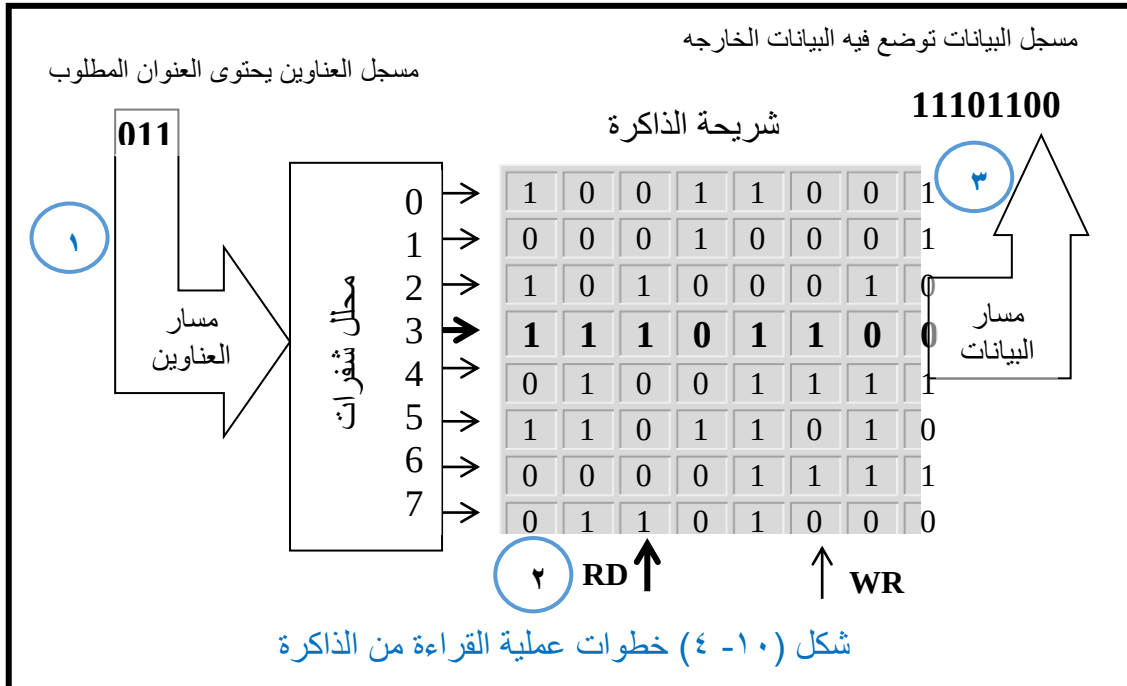
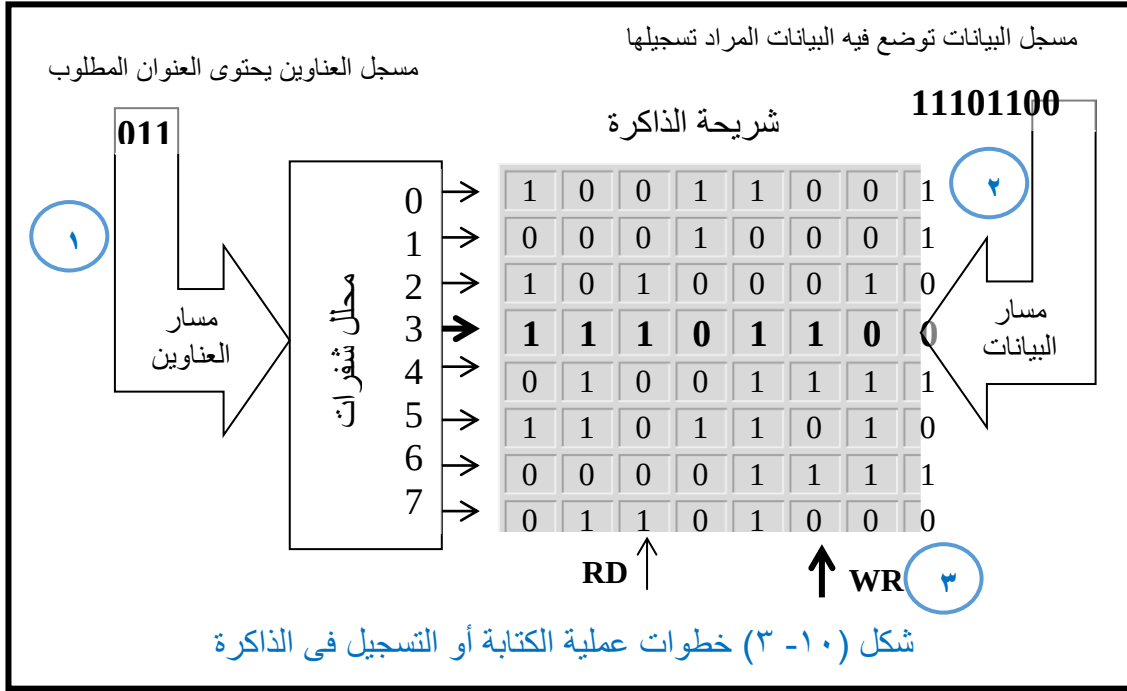
تتم عملية الكتابة في أى شريحة ذاكرة على ٣ خطوات كما يلي:

- ١- وضع العنوان على مسار العناوين الخاص بالشريحة.
- ٢- توضع البيانات المراد تسجيلها في الشريحة على مسار البيانات.
- ٣- ينشط خط التحكم WR فيتم فوراً تسجيل البيانات في العنوان المحدد وتخفى البيانات التي كانت موجودة أصلاً في هذا العنوان. شكل (١٠ - ٣) يبين رسماً تخطيطياً لهذه العملية.

١٠-٣-٢ عملية القراءة من الذاكرة

تتم عملية القراءة من أى شريحة ذاكرة على ٣ خطوات أيضاً كما يلي:

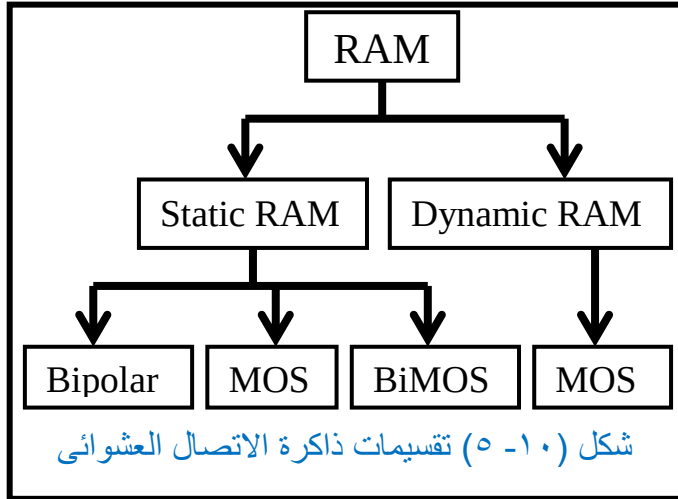
- ١- وضع العنوان على مسار عناوين الخاص بالشريحة.
- ٢- يتم تنشيط خط التحكم RD.
- ٣- تخرج البيانات من العنوان المحدد إلى مسار البيانات. البيانات الموجودة في هذا العنوان لا تتأثر ولكن يؤخذ منها نسخة فقط. شكل (١٠-٤) يبين رسماً تخطيطياً لهذه العملية.



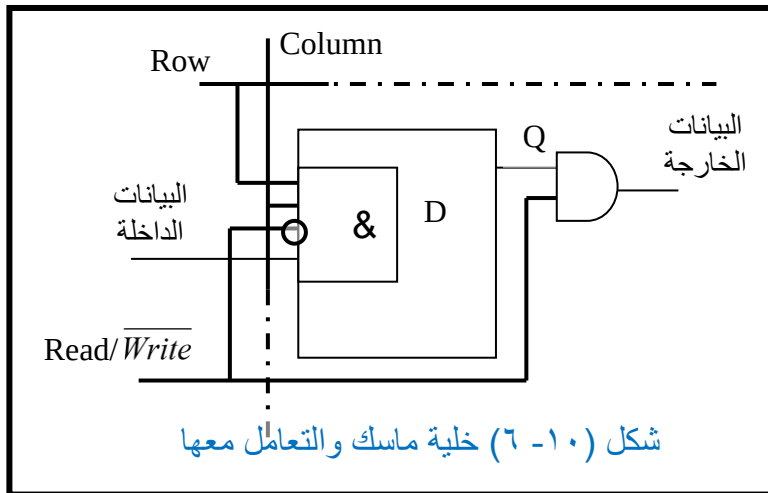
١٠-٤ ذاكرة الاتصال العشوائى

Random Access Memory, RAM

فى هذا النوع من الذاكرة يمكن الكتابة أو القراءة من أى عنوان يتم تحديده فى شريحة الذاكرة وليس بالضرورة أن تكون عملية القراءة أو الكتابة من عناوين متتالية، من هنا كانت التسمية بالعشوائية، أى أنه يمكن اختيار العنوان الذى ستتعامل معه من أى مكان فى الذاكرة. هذا النوع من الذاكرة كما ذكرنا يمكن القراءة منه والكتابة فيه، كما أن محتوياته أى البيانات المسجلة فيه تفقد بانقطاع القدرة عن هذه الشرائح، لذلك يطلق عليها الاسم Volatile، على العكس من النوع الآخر من الذاكرة الذى سندرسه بعد قليل والذى يسمى ذاكرة القراءة فقط Read Only Memory , ROM والذى لا يفقد محتوياته بانقطاع القدرة ولذلك يسمى ذاكرة Nonvolatile. كما نرى فقد جرت العادة بطريق الخطأ على إطلاق اسم RAM أو الذاكرة عشوائية الاتصال على الذاكرة القابلة للكتابة والقراءة مع أن كل من النوعين سواء الرام أو الروم تعتبر ذاكرة اتصال عشوائى لأننا يمكننا الاتصال بأى مكان فيها وليس بالضرورة أن يكون الاتصال عشوائيا مع الرام فقط. ولكن بحكم أن هذا أصبح شائعا فإننا سنغنى هنا أن الرام RAM هى ذاكرة القراءة والكتابة معا بينما الروم هى ذاكرة القراءة فقط.



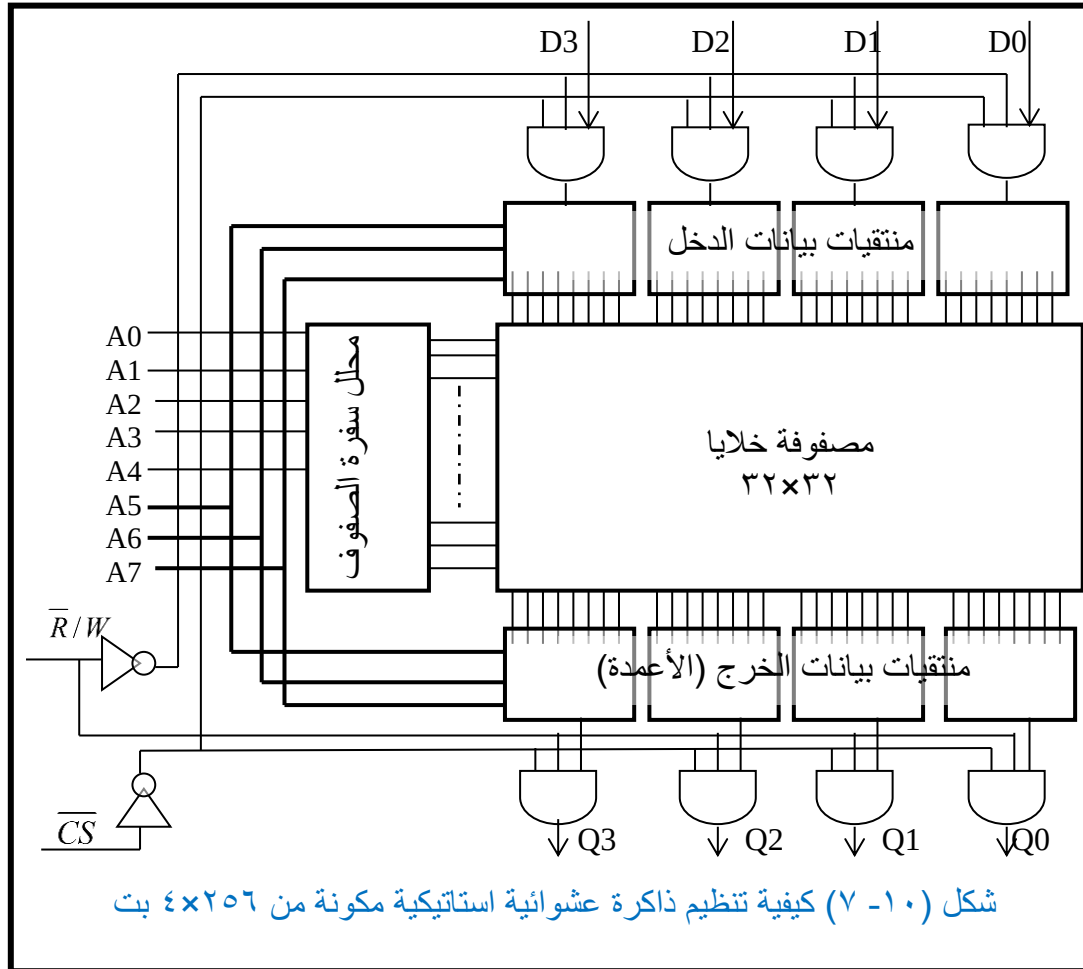
تصنع شرائح ذاكرة القراءة والكتابة من أشباه الموصلات باستخدام تكنولوجيا التصنيع المعروفة بثنائية القطبية Bipolar technology أو باستخدام التكنولوجيا المعروفة بـ MOS أو باستخدام الطريقتين معا BiMOS. الذاكرة العشوائية تقسم أيضا إلى نوعين من حيث طريقة الاحتفاظ بالبيانات، فهناك الذاكرة الاستاتيكية Static RAM, SRAM والذاكرة



الديناميكية Dynamic RAM, DRAM. الذاكرة الاستاتيكية تحتفظ بمحتوياتها طالما أن القدرة موجودة على الشريحة. بينما الذاكرة الديناميكية فتحتفظ بمحتوياتها لأزمنة قصيرة جدا وإذا لم تجدد هذه البيانات باستمرار فإنها تفقد بالرغم من وجود القدرة لأن البيانات فى هذه الحالة تكون فى صورة شحنة على مكثف.

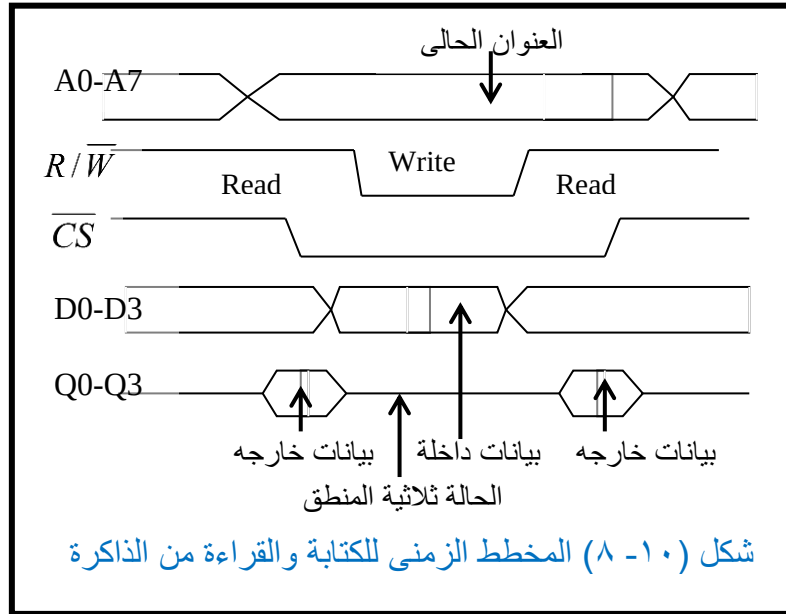
لذلك لابد من إنعاش هذا المكثف أو تجديد الشحنة عليه كل فترة زمنية معينة. شكل (١٠ - ٥) يبين رسماً صندوقياً لتقسيمات مختلفة لذاكرة الاتصال العشوائى.

خلية التخزين فى الذاكرة الاستاتيكية SRAM هى الماسك latch، وهذا الماسك من الممكن أن يصنع بتكنولوجيا ال Bipolar أو تكنولوجيا ال MOS أو بالطريقتين معا BiMOS وبالطبع فإن هذا ليس مكان الشرح التفصيلى لكل واحدة من هذه التكنولوجيات. شكل (١٠ - ٦) يبين ماسك مصنوع بأى طريقة من الطرق السابقة. دخل هذا الماسك يتم التحكم فيه من خلال بوابة آند لها ٣ مداخل: الدخل الأول ينشط عند اختيار الصف الذى تقع فيه هذه الخلية $Row=1$ ، والدخل الثانى ينشط عند اختيار العمود الذى تقع فيه هذه الخلية $Column=1$ ، والدخل الثالث ينشط عندما يكون الخط $Read/Write = 0$ أى فى حالة الكتابة فى الذاكرة. فى هذه الحالة تنشط الآند التى تتحكم فى دخل الخلية ويتم تسجيل البيانات الموجودة على خط بيانات الدخل فى الخلية. لاحظ أنه فى هذه الأثناء يتم إخماد بوابة الآند الموجودة فى خرج الخلية نتيجة الصفر الموجود على الخط $Read/Write = 0$. عند القراءة من الخلية يكون الخط $Read/Write = 1$ وبالتالي تنشط البوابة الموجودة فى الخرج وتُحمَد البوابة الموجودة فى الدخل وبالتالي تخرج البيانات الموجودة داخل الخلية إلى الخارج على خط بيانات الخرج.



يتم تنظيم خلايا التخزين داخل شريحة الذاكرة فى صورة مصفوفة مكونة من عدد من الصفوف وعدد من الأعمدة. الخلية التى ينشط فيها الصف مع العمود فى نفس الوقت هى التى يتم اختيارها للتعامل سواء للقراءة أو الكتابة. شكل (١٠ - ١٠)

(٧) يبين طريقة تنظيم الخلايا في شريحة سعتها ١٠٢٤ بايت منظمة في صورة ٤×٢٥٦ بايت. أى أن وحدة التعامل مع هذه الشريحة هي النبل أو ٤ بت، أى أنه يتم قراءة أو تخزين ٤ بت مرة واحدة. الخلايا مرتبة في هذه الشريحة في صورة ٣٢ صف و ٣٢ عمود. طالما أن الشريحة بها ٢٥٦ نبل فإنها ستحتاج إلى ٨ خطوط عناوين. ٥ من هذه الخطوط A0 إلى A4 تدخل على محلل شفرات الصفوف الذى يخرج منه ٣٢ خط يتم اختيار واحد منها على حسب الشفرة الموجودة على خطوط الدخل. الأعمدة مقسمة إلى ٤ مجموعات كل مجموعة تحتوى ٨ أعمدة كدخل. هذه الأعمدة في كل مجموعة تدخل على منتقى بيانات يختار الإشارة الموجودة على واحد من هذه الخطوط ويضعها على خط الخرج. هذا الخط يتم اختياره على حسب الشفرة الموجودة على خطوط العناوين المتبقية A5 إلى A7. هذه الخطوط تدخل على الأربع منتقيات على التوازي لتختار واحد من كل مجموعة خطوط. فإذا كانت هذه الخطوط تساوى 000 فإن ذلك يعنى أن الخط رقم صفر من كل مجموعة سيتم اختياره. هناك ٤ منتقيات في دخل الشريحة و ٤ في خرجها وكل منتقى سواء في الدخل أو الخرج يتم التحكم فيه من خلال نفس الثلاث خطوط A5 إلى A6 كما ذكرنا. منتقيات الدخل تختار واحد من الأعمدة لتوصل عليه البيانات الموجودة على أحد خطوط الدخل D0 إلى D3 وبالتالي تسجل في الخلية المقابلة للصف النشط من خرج محلل شفرة الصفوف. مجموعة المنتقيات الموجودة في الخرج يتم اختيار أحد خطوط كل منتقى ليخرج على الخرج. لاحظ أن مجموعة منتقيات الخرج تدخل على بوابات آند تنشط بالخط $\overline{CS} = 0$ والخط $R/\overline{W} = 1$ ، بينما إشارة الدخل تدخل من خلال بوابات آند تنشط بالخط $\overline{CS} = 0$ والخط $R/\overline{W} = 0$. شكل (٨-١٠) يبين المخطط الزمني لعملية القراءة والكتابة في الذاكرة .



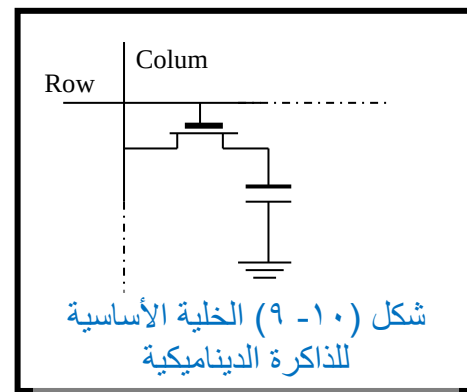
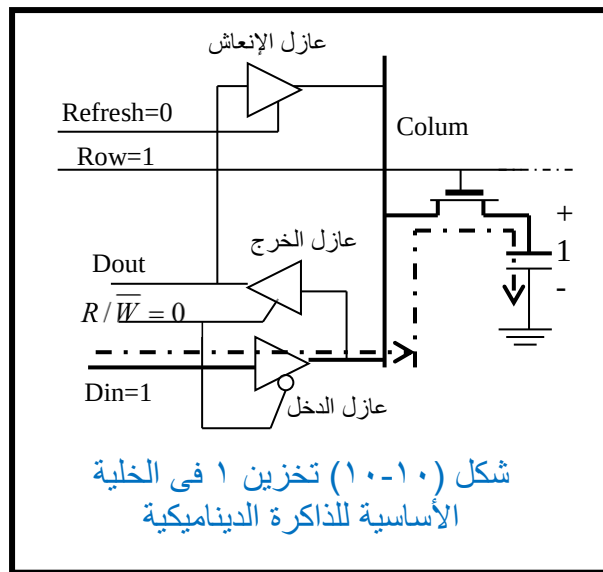
١٠-٥ ذاكرة الاتصال العشوائي الديناميكية

Dynamic RAM, DRAM

خلية التخزين في الذاكرة الديناميكية هي المكثف وليست ماسك كما ذكرنا سابقا. لذلك فإن هذا النوع من الذاكرة يمتاز ببساطته ولذلك فإنه يمكن بهذه الطريقة الحصول على شرائح ذاكرة عالية الكثافة مع رخص ثمنها الكبير بالنسبة للذاكرة الاستاتيكية. من عيوب هذه الخلية أنها تفقد محتوياتها بعد فترة قصيرة من الزمن، لذلك لابد من إنعاش هذه الخلية كل ٢ إلى ٤ ميللي ثانية وإلا فإن محتوياتها ستفقد. نقصد بالإنعاش إعادة كتابة البت مرة أخرى، فإذا كانت الخلية تحتوي واحد يعاد كتابة واحد، وإذا كانت الخلية تحتوي صفر يعاد كتابة هذا الصفر مرة أخرى. شكل (١٠ - ٩) يبين مكونات هذه الخلية حيث نرى أنها تتكون من ترانزستور CMOS متبوعا بمكثف. عند تنشيط خط الصف Row فإن الترانزستور يوصل ويصبح المصدر source والبلاعة drain متصلان. إذا كان خط العمود عليه واحد فإنه يشحن المكثف وبالتالي يكون قد تم تخزين واحد، أما إذا كان العمود عليه صفر فإن المكثف يفرغ شحنته وبالتالي يكون قد تم تخزين صفر في هذه الخلية. أى أن الترانزستور هنا بمثابة مفتاح يوصل خط العمود على المكثف أو يمنعه.

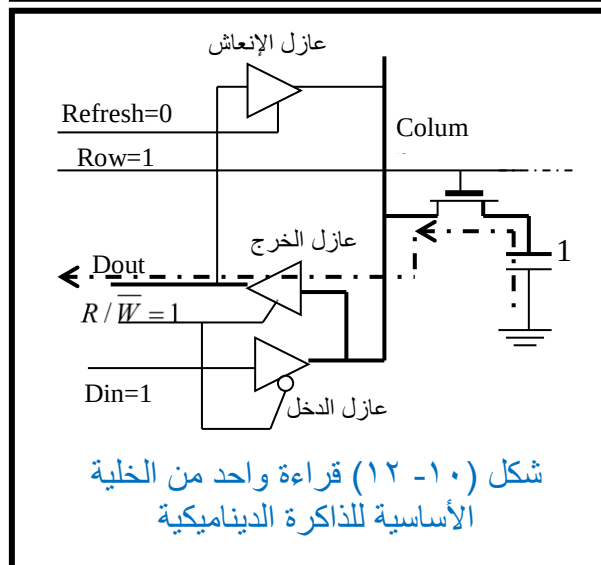
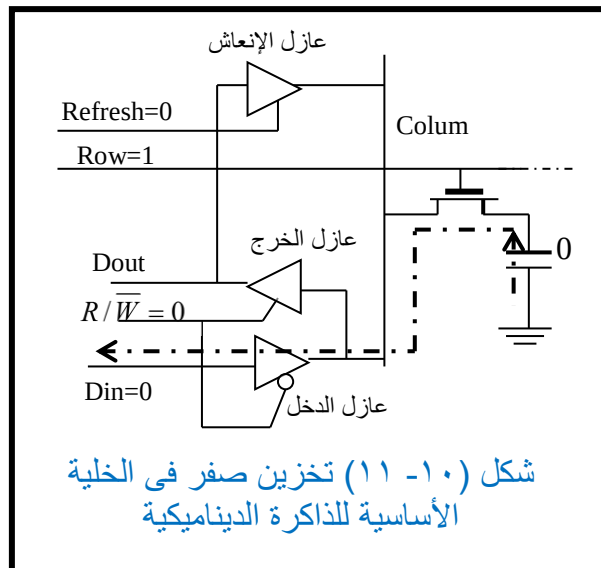
شكل (١٠-١٠) يبين الدائرة التفصيلية لعملية تسجيل واحد في هذه الخلية. في هذه الحالة نضع الخط $R/\bar{W} = 0$ وبالتالي فإن عازل الدخل يكون نشط فيسمح بمرور الواحد الموجود على الخط $Din=1$ إلى المكثف فيشحنه لأن الخط $Row=1$ ويكون الترانزستور موصل. في هذه الأثناء يكون عازل الخرج مفتوح فيمنع خروج البت المدخلة، كما أن عازل الإنعاش يكون مفتوحاً أيضاً نتيجة أن الخط $Refresh=0$ وبالتالي يمنع عملية الإنعاش التي سنهاها بعد قليل. شكل (١٠-١١) يبين عملية تخزين صفر في المكثف. الجديد هنا هو أن الخط $Din=0$ وبالتالي فإن المكثف يوصل بالأرضى

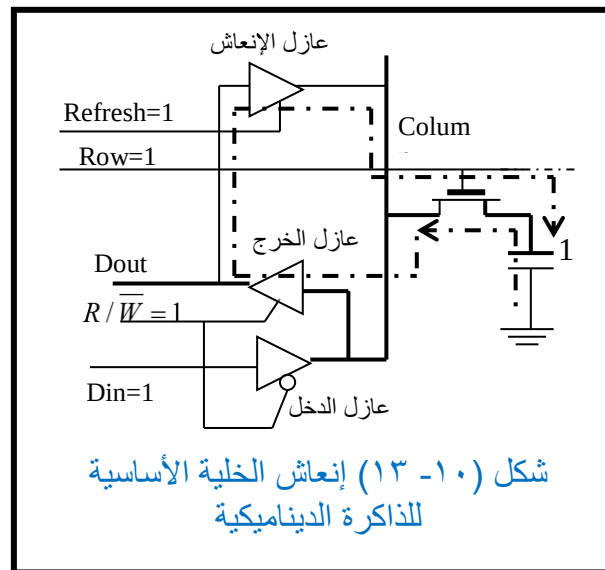
على هذا الخط فيفقد شحنته ويصبح عليه صفرا.



شكل (١٠-١٢) يبين عملية القراءة من الخلية حيث نرى أن الجديد هنا هو أن الخط $R/\overline{W}=1$ وبالتالي يفصل عازل الدخل ويصبح عازل الخرج موصلاً فيتم توصيل المكثف على خط الخرج Dout فنقرأ البيانات على خرج الشريحة. عازل الإنعاش في هذه الحالة يكون غير موصل. شكل (١٠-١٣) يبين عملية إنعاش الخلية حيث في هذه الحالة يبقى الخط $R/\overline{W}=1$ ويوضع الخط Refresh=1 فيصبح عازل الإنعاش موصلاً وبالتالي تدور البيانات الخارجة إلى المكثف

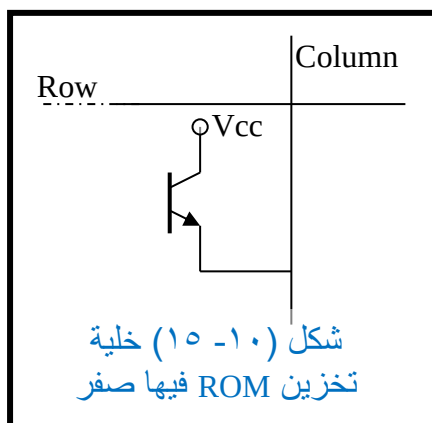
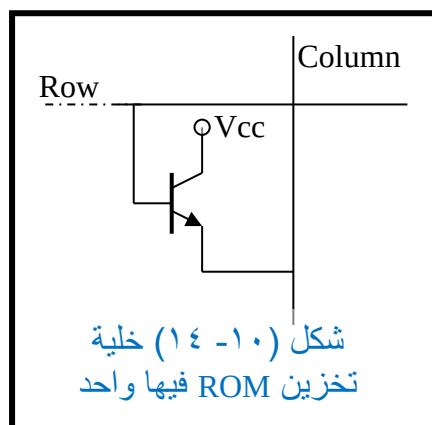
مرة أخرى فيعيد شحن نفس البيانات التي كانت موجودة فيه أصلا. في العادة تتم عملية الإنعاش للذاكرة في فترات انشغال الحاسب بعمليات أخرى.





١٠-٦ ذاكرة القراءة فقط

Read Only Memory, ROM

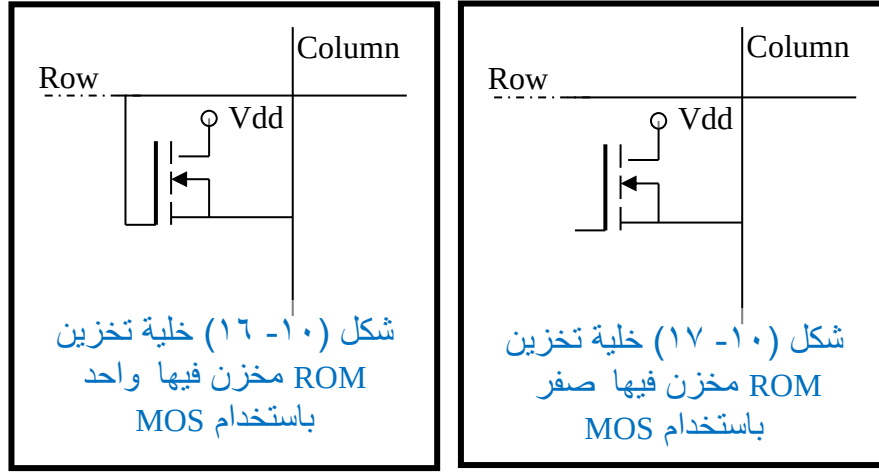


كما ذكرنا من قبل فإن هذا النوع من الذاكرة يمكن القراءة منه فقط. بعض أنواعه يمكن مسحه وإعادة الكتابة عليه باستخدام أجهزة خاصة. هذا النوع من الذاكرة لا تضيع محتوياته بانقطاع القدرة عنه، لذلك فإنه يتم تسجيل البيانات الضرورية عليها مثل جداول التحويل، وأوامر بدأ الأنظمة مثل الحواسيب وغير ذلك الكثير. كلمة ROM تطلق عادة على شرائح الذاكرة التي لا يمكن إعادة برمجتها. بينما PROM تطلق على الشرائح القابلة لإعادة البرمجة، وعملية إعادة البرمجة تكون إما باستخدام أجهزة برمجة خاصة، أو تتم كهربيا حيث يمكن مسحها وإعادة برمجتها كهربيا مثل شرائح ال Electrically Erasable Programmable ROM, EEPROM.

خلايا التخزين في ذاكرة القراءة فقط ROM تكون عبارة عن ترانزستور
 يوصل قاعدته بخط اختيار الصف Row في حالة تسجيل واحد في
 هذه الخلية بحيث عند قراءة الخلية وتنشيط الصف الخاص بهذه الخلية
 فإن الترانزستور يكون موصلاً وبالتالي يظهر الجهد V_{CC} على خط
 العمود Column. في حالة تسجيل صفر في هذه الخلية فإن خط
 الصف لا يوصل بقاعدة الترانزستور كما في الحالة السابقة بحيث يكون
 الترانزستور مفتوح وبالتالي فإن الخط Column يقرأ صفر في هذه

الحالة. شكل (١٠-١٤) يبين خلية وقد برجت لتخزن واحد وشكل (١٠-١٥) يبين خلية مماثلة وقد برجت لتخزن صفر. كما نرى فإن هذه الخلايا لا يمكن إعادة برمجتها. شكل (١٠-١٦) وشكل (١٠-١٧) يبينان نفس الدائرتين

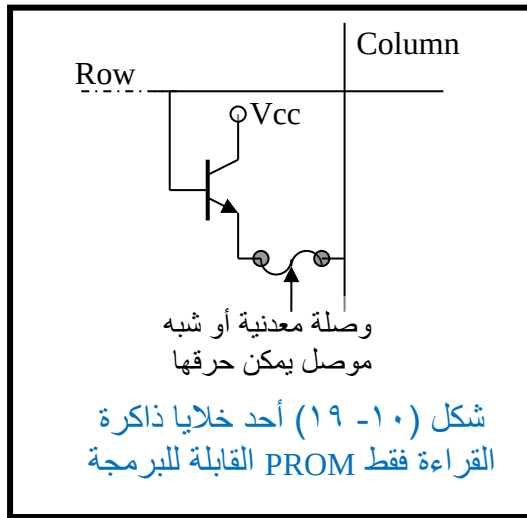
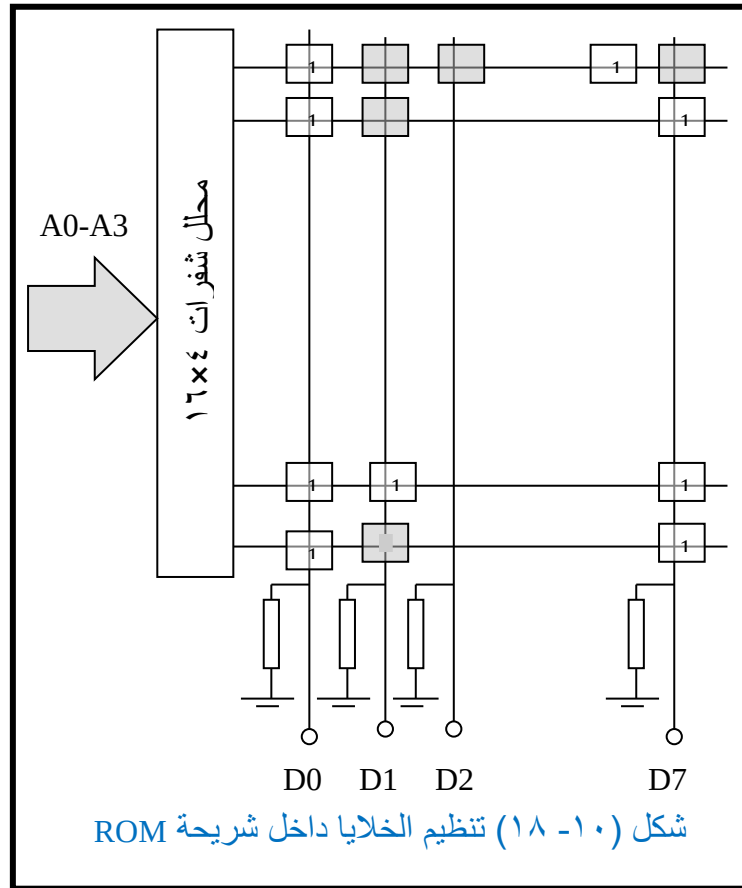
السابقتين ولكن باستخدام تكنولوجيا ال MOS بدلا من الترانزستور ثنائى القطبية كما فى شكل (١٠-١٤ و ١٠-١٥).



شكل (١٠-١٨) يبين طريقة تنظيم خلايا الذاكرة فى شريحة تتكون من ١٦ بايت. نلاحظ وجود محلل شفرات ٤ إلى ١٦ الذى ينشط أحد خطوط الخرج (صف) تبعا للشفرة الموجودة على الدخل. عند تنشيط صف معين فإن الخلية التى بها واحد تخرج واحد على العمود المقابل لها والخلية التى بها صفر تخرج صفر على العمود المقابل لها أيضا. معنى ذلك أن تنشيط أى عمود سيخرج محتويات الثمانية خلايا الموجودة فى هذا الصف على الأعمدة المناظرة وبالتالى على خرج الخلية. مفروض أن خطوط الخرج ستكون موصلة على بوابات ثلاثية المنطق حتى يمكن توصيلها على مسار البيانات لأى حاسب أو معالج.

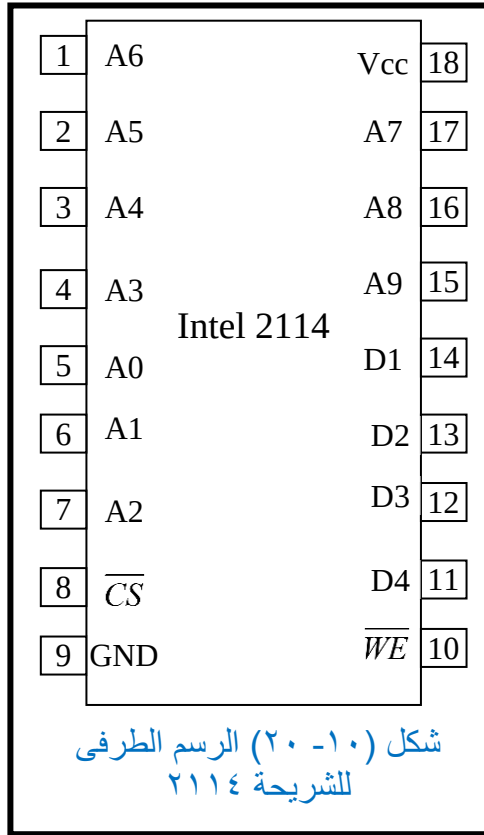
هناك أنواع من شرائح ذاكرة القراءة فقط القابلة للبرمجة. أول هذه الأنواع هى الأنواع التى تبرمج مرة واحدة فقط بواسطة المستخدم. فى هذه الحالة تكون كل الخلايا عبارة ترانزستور يصل بين الصف والعمود من خلال وصلة دقيقة يمكن حرقها لتمثل الصفر أو نتركها كما هى فتمثل الواحد. شكل (١٠-١٩) يبين واحدة من هذه الوصلات. المادة التى تصنع منها هذه الوصلات إما أن تكون سلك معدنى دقيق وعند مرور تيار بشدة معينة فيه فإنه ينصهر. أو أن هذه الوصلة تكون من مادة شبه موصلة مثلا موضوعة فى صورة اثنين دايمود موصلين عكسيا ويمثلان الصفر عند هذه النقطة. عند مرور تيار عكسى فى أحد الوصلتين يحدث لها انهيار وتصبح موصلة وتبقى الوصلة الأخرى مستخدمة كدايمود فى الاتجاه الأمامى وبذلك تمثل هذه الوصلة واحد. تباع الشرائح القابلة للبرمجة فى كثافات تخزينية عالية تصل إلى ٢٥٠ ك بايت وأكثر. الأجهزة التى تقوم ببرمجة مثل هذه الشرائح تختار الخلية المطلوبة بتنشيط الصف والعمود المقابلين لها، ثم تقوم بدفع تيار على نسبيا فى الوصلة الخاصة بهذه الخلية فتتحرق ويبقى مكانها صفر كما أشرنا. أى أن معظم خلايا ال PROM الغير مبرمجة تكون أصلا وحيد قبل حرقها ثم يتم اختيار البتات التى ستتحوّل إلى أصفار وتحرق.

الأنواع التى تكون وصلاتها عبارة عن مادة شبه موصلة يمكن تصميمها بحيث بعد حرقها يمكن إعادة خواصها الإلكترونية مرة ثانية عن طريق تعريضها لأشعة فوق بنفسجية مكثفة فترة من الوقت تصل إلى ٢٠ دقيقة تقريبا ترجع بعدها كل الوصلات إلى حالتها الأصلية حيث يمكن برمجتها مرة أخرى وهذه العملية تسمى عملية مسح الشريحة.



هذه الأنواع تتميز بوجود شبك زجاجي على قممتها يمكن للأشعة أن تدخل منه لداخل الشريحة في حالة مسحها. هذه الشرائح تسمى الشرائح القابلة للمسح والبرمجة Erasable PROM, EPROM. هناك بعض الأنواع من شرائح الذاكرة القابلة للقراءة فقط والتي يمكن برمجتها ومسحها عن طريق نبضة كهربية تحرق الوصلة في حالة البرمجة، ونبضة كهربية أخرى تعيد الوصلة إلى حالتها الأصلية في حالة مسح الشريحة. هذه الشرائح تسمى الشرائح القابلة للمسح والبرمجة كهربياً Electrically Erasable PROM, EEPROM.

١٠-٧ الشريحة ٢١١٤ ذاكرة استاتيكية ١ كيلو ٤ × بت



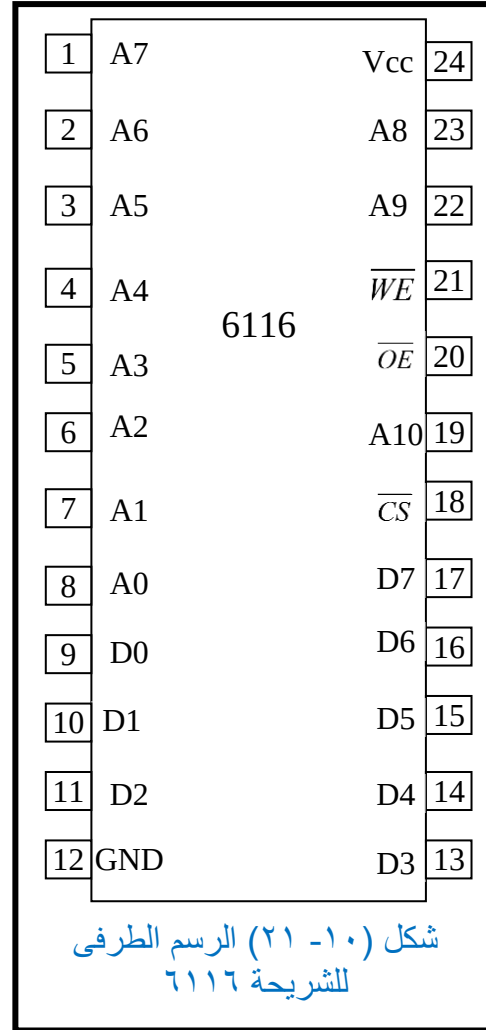
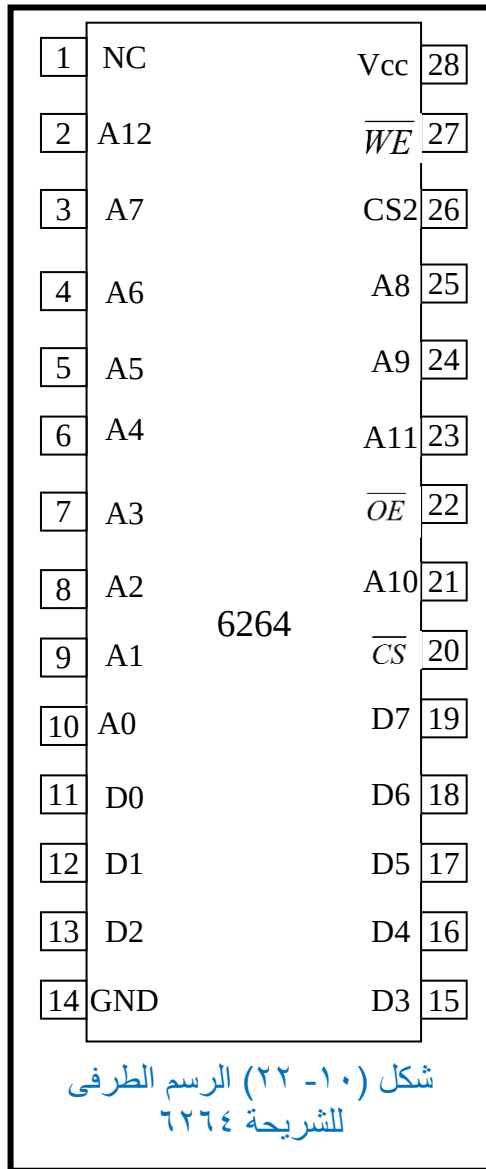
تتكون هذه الشريحة من ١٠٢٤ نبل، كل نبل من ٤ بت كما ذكرنا من قبل، والشريحة تمثل ذاكرة استاتيكية. زمن الاتصال بالشريحة حوالى ٤٥٠ نانوثانية. الخطوط A0 حتى A9 تمثل خطوط العنوان، والخطوط D1 إلى D4 تمثل خطوط إدخال وإخراج البيانات. الخط $\overline{WE}$ هو خط الكتابة فى الشريحة حيث يجب أن يكون صفراً عند الكتابة فى الشريحة. الخط $\overline{CS}$ يجب أن يكون صفراً حتى تكون الشريحة فعالة يمكن القراءة منها أو الكتابة فيها. شكل (١٠-٢٠) يبين الرسم الطرفى لهذه الشريحة.

١٠-٨ الشريحة ٦١١٦ ذاكرة استاتيكية ٢ كيلو بايت

تتكون هذه الشريحة من ٢٠٤٨ بايت ذاكرة استاتيكية. الشريحة لها ١١ خط عناوين A0 إلى A10 وثمانية خطوط بيانات D0 إلى D7. لكي تعمل الشريحة لابد أن يكون الخط $\overline{CS} = 0$ أى فعال. عند التسجيل فى الذاكرة يتم تنشيط الخط $\overline{WE}$ بوضعه يساوى صفراً، وعند القراءة من الذاكرة ينشط الخط $\overline{OE}$ بجعله يساوى صفراً أيضاً. شكل (١٠-٢١) يبين الرسم الطرفى لهذه الشريحة. زمن الاتصال بهذه الشريحة ١٥٠ نانوثانية.

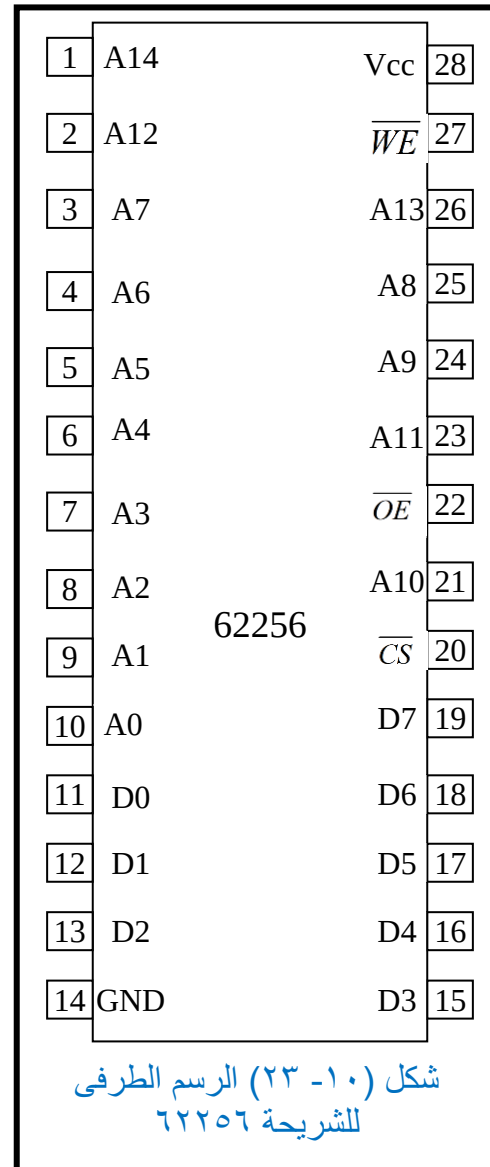
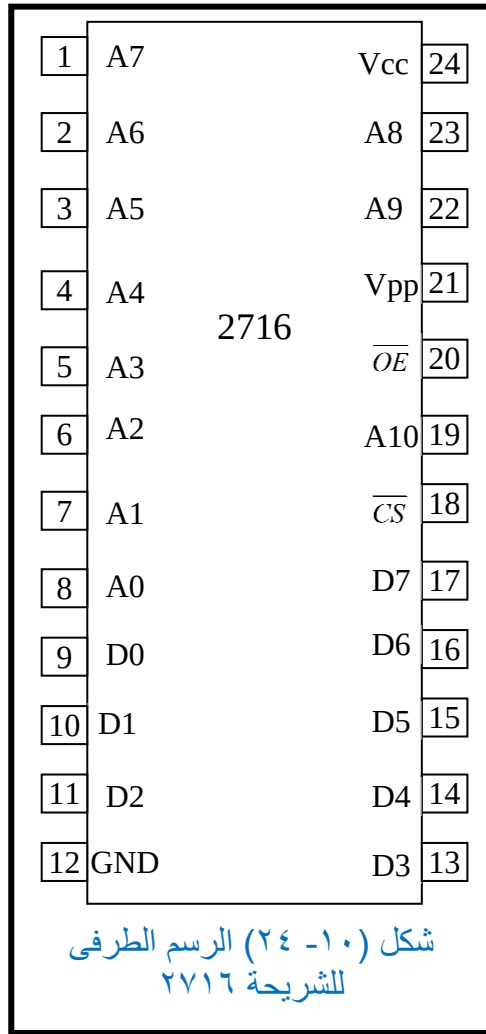
١٠-٩ الشريحة ٦٢٦٤ ذاكرة استاتيكية ٨ كيلو بايت

تحتوى هذه الشريحة على ٨ كيلوبايت من الذاكرة العشوائية الاستاتيكية. لذلك فهذه الشريحة لها ١٣ خط عناوين و ٨ خطوط بيانات. الشريحة لها خطين تنشيط وهما الخطان CS2 على الفعالية والخط $\overline{CS}$ منخفض الفعالية. هناك خط الكتابة فى الشريحة وهو الخط $\overline{WE}$ منخفض الفعالية وخط القراءة $\overline{OE}$ منخفض الفعالية أيضاً. الشريحة لها ٢٨ طرف منها الطرف ١ غير موصل NC. زمن الاتصال بهذه الشريحة ١٢٠ نانوثانية. شكل (١٠-٢٢) يبين الرسم الطرفى لهذه الشريحة.



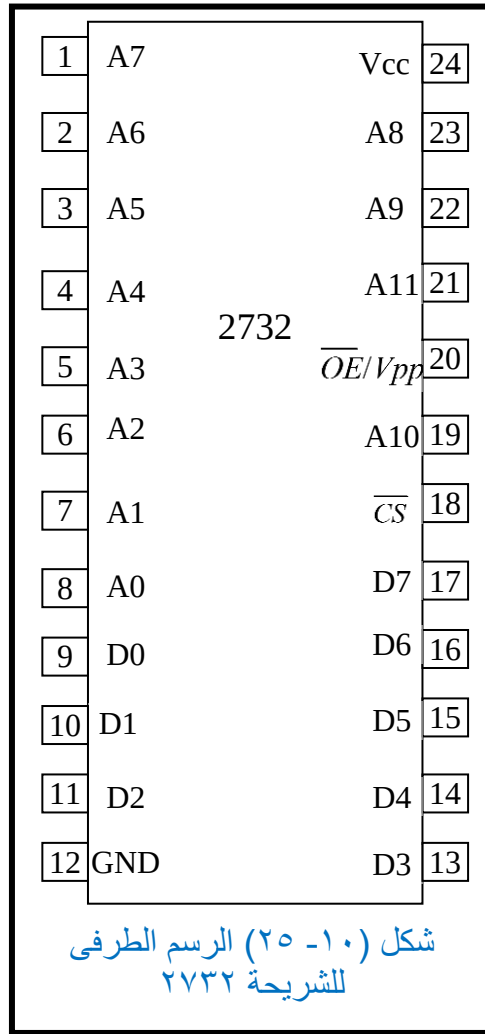
١٠-١٠ الشريحة ٦٢٢٥٦ ذاكرة استاتيكية ٣٢ كيلو بايت

تحتوى هذ الشريحة على ٣٢ كيلوبايت من الذاكرة العشوائية الاستاتيكية. لذلك فهذه الشريحة لها ١٥ خط عناوين و ٨ خطوط بيانات. الشريحة لها خط تنشيط واحد وهو الخط $\overline{CS}$. هناك خط الكتابة فى الشريحة وهو الخط $\overline{WE}$ منخفض الفعالية وخط القراءة $\overline{OE}$. الشريحة لها ٢٨ طرفا هى نفس أطراف الشريحة ٦٢٦٤ مع استخدام الطرف ١ كخط عناوين A14 والطرف ٢٦ كخط A13 بدلا من CS2 فى الشريحة السابقة. زمن الاتصال بهذه الشريحة ١٢٠ نانوثانية. شكل (٢٣ - ١٠) يبين الرسم الطرفى لهذه الشريحة.



١٠-١١ الشريحة ٢٧١٦ ذاكرة EPROM ٢ كيلوبايت

تحتوي هذه الشريحة على ٢ كيلوبايت من ذاكرة القراءة فقط القابلة للمسح وإعادة البرمجة. لاحظ أن أطراف هذه الشريحة متوافقة تماما مع الشريحة ٦١١٦، لذلك فهي تحتوي على ١١ خطا للعناوين A0 إلى A9 وثمانية خطوط بيانات هي الخطوط D0 حتى D7. هناك خط تنشيط للشريحة وهو الطرف ١٨، $\overline{CS}$ وطرف القراءة وهو الطرف ٢٠، $\overline{OE}$. الطرف ٢١ يوضع عليه ٢٥ فولت مستمر أثناء عملية البرمجة. أثناء عملية القراءة من الشريحة يوضع على هذا الطرف ٥ فولت.



قبل برمجة الشريحة تكون محتويات أى خلية غير مبرمجة تساوى واحد ولذلك عند قراءة أى شريحة غير مبرمجة تجد أن محتوياتها هي FF بالنظام الست عشري. بعض هذه الشرائح يكون جهده البرمجة لها هو ١٢،٥ فولت. شكل (١٠ - ٢٤) يبين الرسم الطرقي لهذه الشريحة. يمكن مسح محتويات الشريحة بتعريضها للأشعة فوق البنفسجية عالية الكثافة لمدة حوالى ١٥ دقيقة. بعد البرمجة ينصح بتغطية نافذة الشريحة بلاصق أسود لمنع الضوء من التسرب إليها.

١٠-١٢ الشريحة ٢٧٣٢ ذاكرة

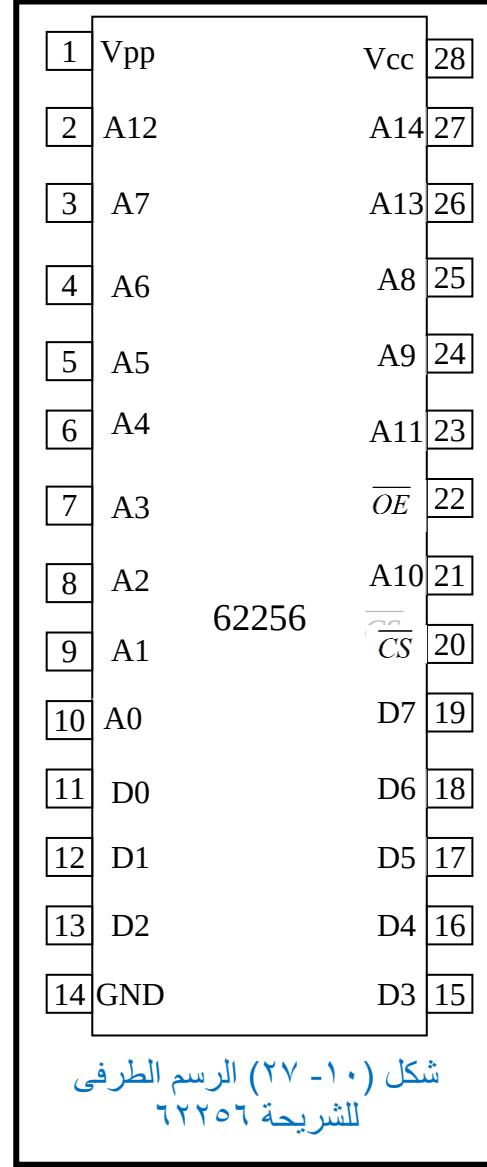
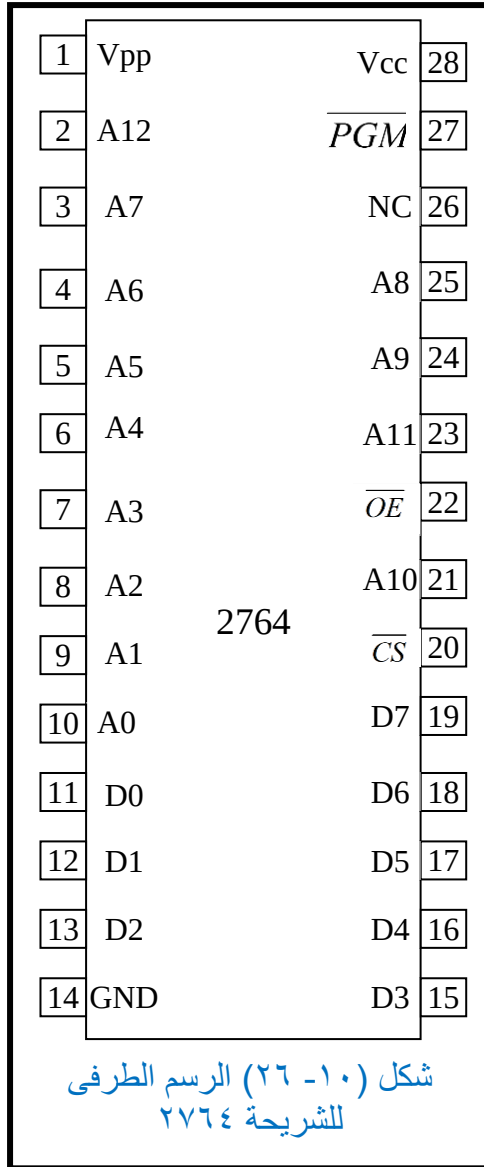
EPROM ٤ كيلوبايت

شكل (١٠ - ٢٥) يبين الرسم الطرقي لهذه الشريحة. جميع خواص الشريحة ٢٧١٦ مطابقة هنا أيضا لذلك ننصح بقراءة شرحها حتى لا نكررها هنا. لاحظ أن الشريحة ٢٧٣٢ لها نفس عدد الأطراف مثل الشريحة ٢٧١٦ بالرغم من أن خطوط العنوان زادت خط وهو الخط A11. لاحظ التغلب على ذلك في استخدام الطرف ٢٠ لأداء وظيفتين حيث يوضع عليه جهده البرمجة Vpp في حالة البرمجة، وهو نفسه أيضا OE حيث يوضع بصفر في حالة القراءة من الشريحة، ويوضع بواحد (٥ فولت) في أى حالة أخرى.

١٠-١٣ الشريحة ٢٧٦٤ ذاكرة EPROM ٨ كيلوبايت والشريحة ٢٧٢٥٦ ذاكرة

EPROM ٣٢ كيلوبايت

شكلى (١٠ - ٢٦ و ١٠ - ٢٧) يوضحان الرسم الطرقي للشريحتين. خطوط التحكم هنا لها نفس الوظيفة التى سبق شرحها مع الشريحة ٢٧١٦. الخط الجديد هنا هو الخط PGM في الشريحة ٢٧٦٤ وهذا الخط يوضع بصفر (ينشط) في حالة برمجة الشريحة ويوضع بواحد (٥ فولت) في حالة القراءة من الشريحة.



١٠-١٤ تمارين

- ١- اشرح لماذا تعتبر كل من ذاكرة القراءة والكتابة RAM وذاكرة القراءة فقط ROM عشوائية الاتصال.
- ٢- اشرح فائدة مسار العنوانين ومسار البيانات وخطوط التحكم في أى شريحة ذاكرة.
- ٣- ما هى فائدة الخط CE أو CS في أى شريحة.
- ٤- ما هى سعة شريحة ذاكرة بالبت لها ١٥ خط عناوين و ٨ خطوط بيانات.
- ٥- أعد شكل (١٠-٧) ولكن لتنظيم ٢٥٦ × ٨ بت ذاكرة بدلا من ٢٥٦ × ٤ بت.
- ٦- اشرح كيف تستخدم شريحتين ٢١١٤ للحصول على ذاكرة سعتها ١ كيلوبايت × ٨ بت.
- ٧- اشرح كيف تستخدم شريحتين ٦١١٦ للحصول على ذاكرة سعتها ٢ كيلوبايت × ١٦ بت.

٨- في دائرة إلكترونية توجد شريحة ٦١١٦ ، هل يمكن استبدالها بشريحة ٢٧١٦ تحمل نفس البرنامج، وهل ستحتاج لتعديل في الدائرة.

الفصل الحادى عشر

١١

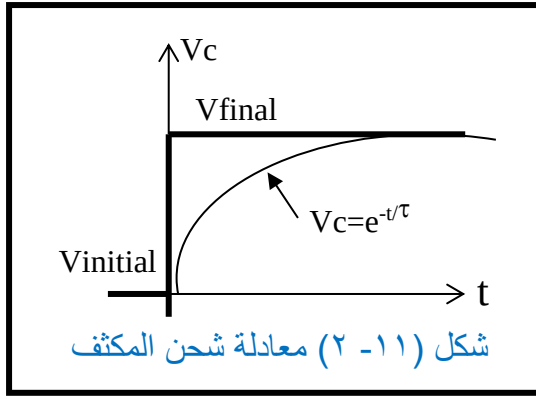
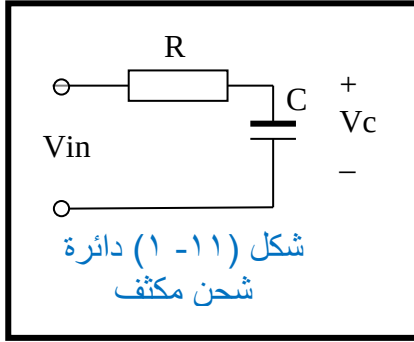
دوائر التوقيت

Timing Circuits

١-١١ مقدمة

إن التقدم السريع الذي حدث في مجال الالكترونيات وبالذات في مجال الدوائر التكاملية جعل تصميم دوائر التوقيت مسألة سهلة وبسيطة. لقد أصبح من الممكن أن تشتري بقروش قليلة دائرة توقيت timer كاملة على شريحة تكاملية صغيرة وهذه الشريحة قادرة على اعطاء توقيتات تتراوح في الصغر الى بعض المايكروثانية وتصل في الكبر الى عدد من السنين. في هذه الأيام قد كثرت التطبيقات التي تحتاج لمثل هذه الدوائر، ومن هذه التطبيقات ما يلي:

- الغسالات الأوتوماتيكية
- المجففات
- أفران الميكروويف
- السرائر المائية
- الألعاب
- مساحات السيارات
- أجراس الانزار المختلفة
- أجهزة ري التربة
- أجهزة التصوير الفوتوغرافي
- وهذه التطبيقات هي قليل من كثير.



المعلومات سبق شرحها في فصول سابقة وهذه سنمر عليها سريعا على سبيل التذكرة.

١-٢ معادلة الجهد على مكثف في دائرة مكونة من مقاومة ومكثف

إذا كان لدينا دائرة مكونة من مقاومة R ومكثف C كما هو مبين في شكل (١-١١) وتغير جهد الدخل من قيمته ابتدائية Vinitial الى قيمته نائية هي Vfinal فإن معادله الجهد على المكثف في هذه الحالة تعطى بالعلاقة التالية:

$$V_c = V_{initial} + (V_{final} - V_{initial})(1 - e^{-t/\tau}) \quad (١-١١)$$

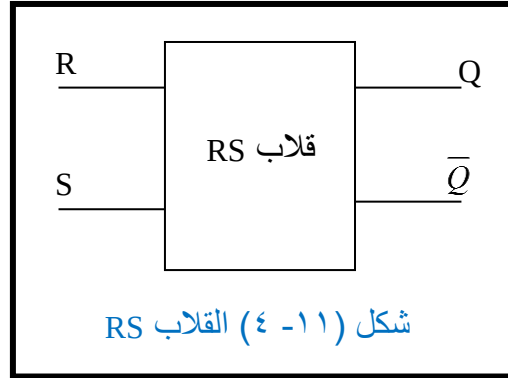
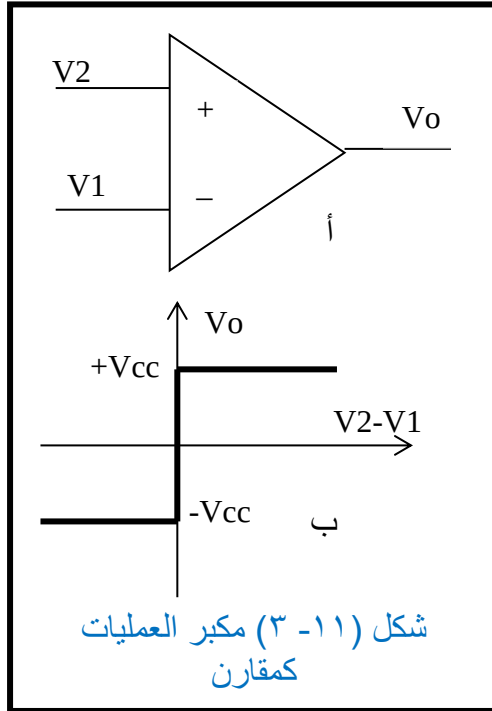
حيث τ هي الثابت الزمني للدائرة ويعطى بالعلاقة التالية :

$$\tau = RC \quad (٢-١١)$$

لاحظ بأنه بوضع $t=0$ في المعادلة (١-١١) فإن جهد المكثف يكون $V_c = V_{initial}$ وهي القيمة الابتدائية، وبوضع $t=\infty$ فإن جهد المكثف يكون $V_c = V_{final}$ وهي القيمة النهائية وهذا منطقي لأن التيار في النهاية يكون صفرا بعد استقرار الجهد على المكثف. شكل (١-١٢) يبين شكل معادلة تغير جهد الشحن للمكثف مع الزمن حيث نلاحظ

أن هذا التغير هو تغير أسي. وعلى ذلك فإنه لايجاد معادلة جهد الشحن علي مكثف عند أى لحظة أثناء الشحن، فإن كل ما علينا هو معرفة القيمة الابتدائية والقيمة النهائية لجهد الدخل والتعويض في المعادلة (١١ - ١).

١١-٣ المقارن Comparator



دائرة المقارن التي نقصدها هنا هي المقارن الانسيابي أو التماثلي الذي يقارن إشارتين كل منهما من النوع التناسبي أو التماثلي. أبسط هذه المقارنات التي سنستخدمها هنا هي مكبر العمليات كما في شكل (١١-٣ أ و ب). مكبر العمليات المفتوح، أى الذى لا يوجد به أى تغذية عكسية، يمثل مقارن. عندما يكون

الجهد الموصل على الدخل الموجب V_2 أكبر من الجهد الموصل على الدخل السالب V_1 فإن خرج المكبر يكون هو جهد الانحياز الموجب V_{cc} كما في شكل (١١-٣ ب). أما إذا كان $V_1 > V_2$ فإن جهد الخرج يساوى جهد الانحياز السالب $-V_{cc}$ كما في نفس الشكل. يمكن تصميم هذه المقارنات بحيث تتوافق مع الدوائر المنطقية بحيث إذا كان $V_2 > V_1$ فإن الخرج يكون ٥ فولت (الواحد المنطقي)، وإذا كان $V_1 > V_2$ فإن الخرج يساوى صفر، وهذا هو المكبر المستخدم في دوائر التوقيت عادة. أحد مكبرات العمليات الرخيصة التي يمكن استخدامها كمقارن هي الشريحة $\mu A741$ و $\mu A311$.

الدخل المطلوب		لتغيير الخرج إلى من	
Qn	Qn+1	R	S
0	0	d	0
0	1	0	1
1	0	1	0
1	1	0	d

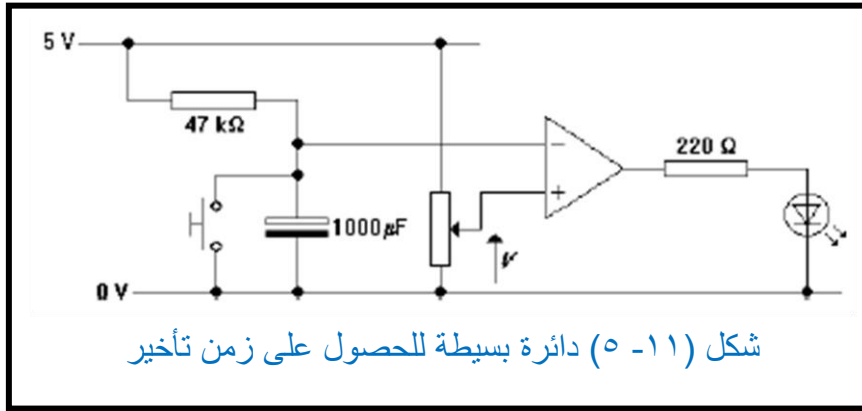
جدول ١١-١ جدول الحقيقة للقلاب RS

١١-٤ القلاب Flip Flop

القلاب الذي يهمننا هنا هو من النوع R-S وكما نعلم فإن مثل هذا القلاب له جدول حقيقة truth table كما هو موضح في شكل (١١-٤). من هذا الشكل نلاحظ أنه لتغير خرج القلاب من صفر الى واحد فإن S لابد ان تكون واحد و R لابد وأن تكون صفرًا، ولكي نغير الخرج من واحد الى صفر فإن S لابد أن تكون صفر و R لابد وأن تكون واحد. راجع هذا النوع من القلابات في الفصل السابع. إذا كان الخرج $Q=0$ ونريده أن يبقى كذلك فإنه يمكن

عمل ذلك بطريقتين، إما أن نجعل $S = 0$ و $R = 0$ وهذا معناه لا تغيير في الحالة أو نجعل $S = 0$ و $R = 1$. كل من الحالتين يمكن كتابتهما كما في الجدول ١١-١ السطر الأول في صورة $S = 0$ و $R = d$ حيث d معناها do not care أو (غير مهم أن تكون صفر أو واحد) كذلك إذا كان $Q = 1$ ونريده أن يبقى كذلك، فيمكن الحصول على ذلك بجعل $S = 0$ و $R = 0$ وهذا معناه لا تغيير أو أن نجعل $S = 1$ و $R = 0$ وكل من الحالتين يمكن كتابتهما كما في السطر الأخير في الجدول ١١-١ على الصورة $S = d$ و $R = 0$.

يمكن الحصول على دائرة توقيت بسيطة ورخيصة باستخدام مقاومتين ومكثف كما في شكل (١١ - ٥). هذه الدائرة مع بساطتها إلا أنها ستعكس لنا أساسيات الحصول على دائرة توقيت ذات امكانيات عالية. في هذه الدائرة عندما يكون

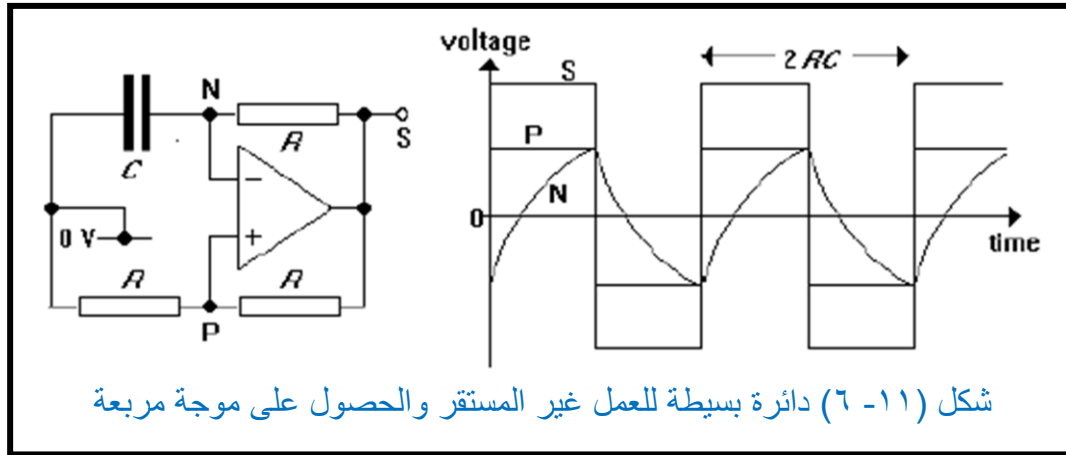


المفتاح مفتوح فإن المكثف يشحن لجهد يجعل الطرف السالب للمقارن أعلى من الطرف الموجب ويكون خرج المقارن صفر والمبين LED الموجود في الخرج

يكون مطفأ. عند قفل المفتاح فإن المكثف يفرغ شحنته فوراً، وعند ترك المفتاح ينفث مرة ثانية ويبدأ المكثف في الشحن. لاحظ أنه عند نزول جهد المكثف للصفر يصبح جهد الطرف الموجب للمقارن أعلى من جهد الطرف السالب ويصبح الخرج ٥ فولت ويضيء لمبة البيان. تظل لمبة البيان مضطربة طوال مدة شحن المكثف إلى أن يصل الجهد عليه لقيمة تجعل جهد الطرف السالب أعلى من الموجب حيث عندها يرجع خرج المقارن للصفر مرة أخرى وتطفئ لمبة البيان وتستقر الدائرة على هذا الوضع. مدة عدم الاستقرار بالطبع تتوقف على قيمة المكثف وقيمة المقاومة $R = 47K\Omega$ وقيمة الجهد V المثبت على الطرف الموجب للمقارن. يمكنك بناء هذه الدائرة وتجربتها عند قيم مختلفة للمقاومات والمكثف وقياس زمن التأخير في كل حالة باستخدام ساعة إيقاف. سنرى بعد قليل كيفية حساب زمن الاستقرار عند دراسة شرائح التوقيت.

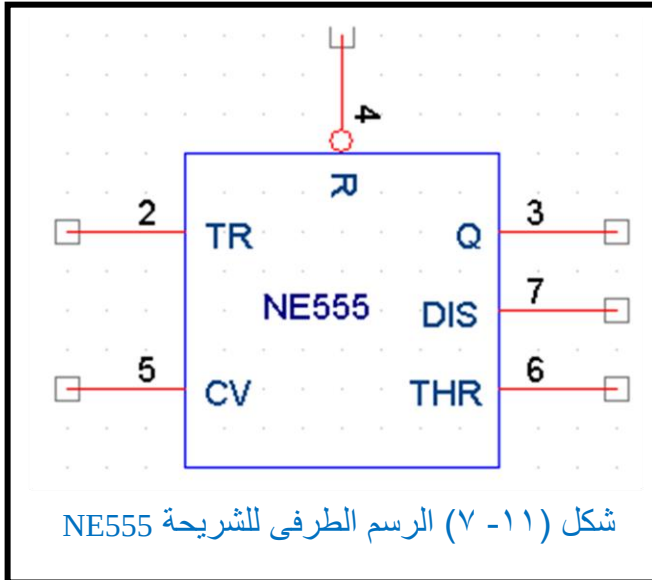
طريقة التشغيل السابقة تسمى الطريقة أحادية الاستقرار حيث أن الخرج كما رأينا يكون مستقراً عند الصفر وعند الإثارة يرتفع إلى الواحد لفترة زمنية معينة يمكن التحكم فيها ثم يعود مرة أخرى للصفر وهو الوضع المستقر ويظل كذلك إلى أن تتم إثارته مرة أخرى. هناك الطريقة عديمة الاستقرار التي لا يستقر فيها الخرج على وضع معين حيث يكون الخرج مرتفع لفترة زمنية يمكن التحكم فيها ثم ينخفض لفترة زمنية أخرى يمكن التحكم فيها أيضاً، ثم يرتفع مرة أخرى، ثم ينخفض، وهكذا يظل الخرج متأرجحاً بين الارتفاع والانخفاض دون أن يستقر على وضع معين. أي أن الخرج يكون عبارة عن موجة مربعة. شكل (١١ - ٦) يبين دائرة مقارن بسيطة تعمل بالطريقة عديمة الاستقرار. لكي نفهم طريقة عمل هذه الدائرة سنبدأها بافتراض أن الخرج عند النقطة S مرتفع ويساوي جهد القدرة V_{CC} . جهد النقطة P سيكون نصف هذه الكمية نتيجة المقاومتين الموصلتين بين الخرج والأرض. في هذه الأثناء يشحن المكثف ويرتفع الجهد عليه محاولاً الوصول للقيمة V_{CC} . عندما يصل جهد المكثف وبالتالي جهد النقطة N أعلى قليلاً من جهد النقطة P فإن خرج المكبر يتغير

من V_{CC} إلى V_{CC} - ويصبح جهد النقطة P سالبا ويبدأ المكثف في التفريغ. يظل المكثف يفرغ وتقل الشحنة عليه ويقل جهد النقطة N إلى أن يصل إلى جهد النقطة P أو أقل قليلا حيث عندها ينقلب خرج المقارن ويعود إلى الموجب مرة ثانية وهكذا يظل الخرج يتأرجح بين الموجب والسالب والمكثف بين الشحن والتفريغ في حالة من عدم الاستقرار إلى مالا نهاية. شكل (١١-٦) يوضح أيضا المخطط الزمني لهذه الدائرة عند كل نقاط الدائرة فحاول متابعته. معادلة أزمنة الشحن والتفريغ سندرسها بالتفصيل مع شرائح التوقيت.



١١-٥ التركيب الداخلي وطريقة التشغيل للشريحة NE555

الشريحة NE555 تعتبر أحد شرائح دوائر التوقيت الشائعة الاستخدام نتيجة رخص ثمنها وملائمتها للكثير من التطبيقات وأيضاً بساطة التعامل معها. هذه الشريحة قادرة على العمل بطريقتين، الطريقة الأولى هي طريقة التشغيل أحادية الثبات

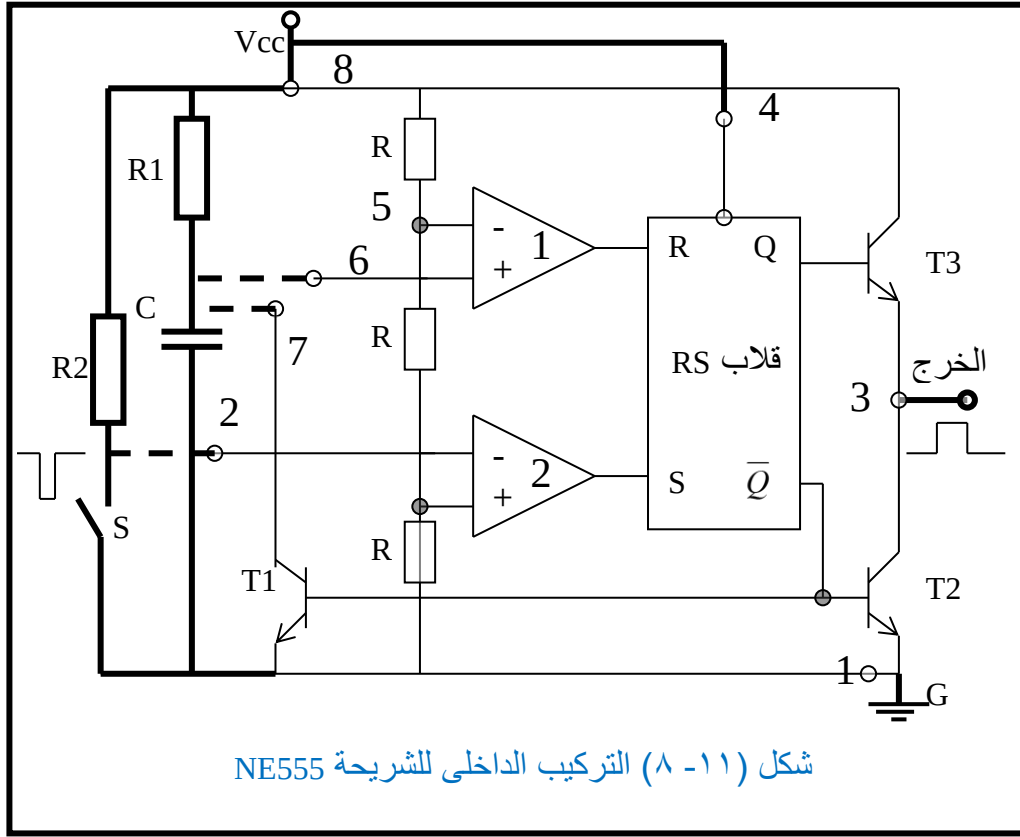


Monostable والطريقة الثانية هي الطريقة عديمة الثبات Astable، ونحن هنا سنعرض الطريقتين بالتفصيل. شكل (١١-٧) يبين الرسم الطرفي لهذه الشريحة. الطرف Q هو خرج الشريحة، والطرف TR هو طرف الإطلاق Trigger، والطرف CV هو طرف جهد التحكم Control Voltage DIS، والطرف DIS هو طرف التفريغ Discharge، والطرف THR هو طرف جهد التشبع Threshold، والطرف R هو طرف إعادة الوضع Reset، وكل هذه الأطراف سنعرف استخدامها ووظائفها في الأجزاء القادمة. طرف القدرة هو الطرف ٨ والأرضى على الطرف ١.

١١-٦ طريقة التشغيل أحادية الاستقرار

Monostable Operation

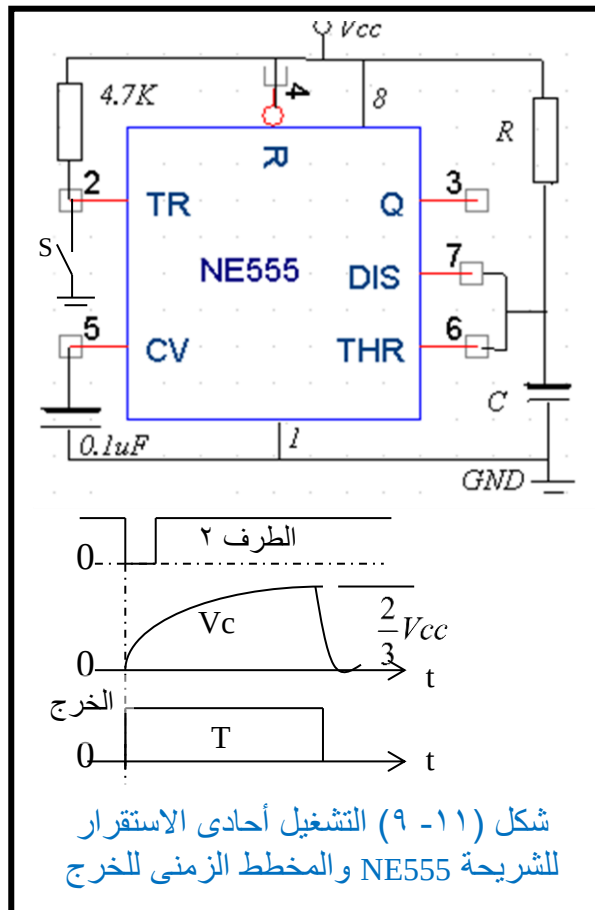
في الطريقة أحادية الاستقرار يكون الخرج Q مستقرًا تمامًا على القيمة صفر. عند إعطاء نبضة إطلاق Trigger على الطرف ٢ يرتفع الخرج إلى القيمة V_{CC} لفترة زمنية معينة يتحدد مقدارها بقيمة كل من المقاومة R والمكثف C اللذان يوصلان من خارج الشريحة كما سنرى. شكل (١١-٨) يوضح التركيب الداخلي للشريحة NE555 مع توصيل المقاومة R والمكثف C من خارج الشريحة لتشغيلها بالطريقة أحادية الثبات. كل التوصيلات الغامقة تعتبر توصيلات من خارج الشريحة. الأرقام من ١ إلى ٨ هي أرقام أطراف الشريحة حيث أن الشريحة لها ٨ أطراف فقط كما رأينا في شكل (١١-٧). هناك إصدار لهذه الشريحة يتكون من ١٤ طرف.



يوجد بداخل الشريحة ثلاث مقاومات متساوية تمامًا في المقدار وقيمة كل منها R ومتصلة بجهد المصدر V_{CC} من ناحية وبالأرض من الناحية الأخرى، وعلى ذلك فإن كل واحدة من هذه المقاومات ستحمل ثلث هذا الجهد. معنى ذلك أن المقارن ١ كما في شكل (١١-٨) يتصل دخله السالب بجهد مقداره ثلثا ($\frac{2}{3}$) جهد المصدر V_{CC} ، والمقارن ٢ يتصل دخله الموجب بجهد مقداره ثلث ($\frac{1}{3}$) جهد المصدر V_{CC} . أيضًا فإن دخل المقارن ١ الموجب يتصل بجهد المكثف C، أما دخل المقارن ٢ السالب فيتصل بدخل الشريحة وهو الطرف ٢ الذي سنعطى من عليه نبضة الإطلاق trigger. كما نرى في شكل (١١-٨) فإن الطرف ٢ يتصل دائمًا بجهد المصدر V_{CC} من خلال المقاومة R2 (هذه المقاومة ليس لها دخل بتحديد قيمة زمن التأخير) وعلى ذلك فإن جهده سيكون دائمًا V_{CC} إلا عند ضغط المفتاح S لإعطاء نبضة

الإطلاق حيث عندها سيكون جهد هذا الطرف يساوى صفر. أى أنه لكي نبدأ فترة عدم استقرار جديدة ينتقل فيها الخرج من صفر إلى واحد لمدة معينة علينا إعطاء نبضة إطلاق ينتقل فيها الطرف ٢ من الواحد إلى صفر ثم إلى واحد مرة أخرى. واحد نعني بها جهد المصدر V_{CC} والصفر هو الأرضى، وهذه الشريحة من الممكن أن يصل جهد المصدر لها إلى ١٨ فولت، وأقل جهد لها هو ٥ فولت.

خرج المقارن ١ يتصل بالدخل R للقلاب، وخرج المقارن ٢ يتصل بالدخل S لهذا القلاب. لاحظ أن خرج أي واحد من المقارنين إما أن يكون واحد اذا كان جهد دخله الموجب أكبر من جهد دخله السالب أو أن يكون صفراً اذا كان جهد دخله السالب أكبر من جهد دخله الموجب. وعلى ذلك فإن الاشارات الداخلة لكل من R و S ستكون إما واحد أو صفر على حسب خرج هذه المقارنات. خرج القلاب Q يتصل بقاعدة الترانزستور T3 ومن علي باعث Emitter هذا الترانزستور نأخذ خرج الشريحة. أما الخرج الآخر للقلاب $\bar{Q}$ فيتصل بقاعدة كل من الترانزستور T1 و T2 في نفس الوقت. يجب أن نتذكر دائما في هذا المجال أن الترانزستورات T1 و T2 و T3 كلها تعمل كمفاتيح، أي أنها إما أن تكون موصلة تماما كما لو كان الباعث متصلا تماما بالمجمع collector وذلك يتأني عندما يكون جهد القاعدة موجب، وإما أن تكون هذه الترانزستورات مفتوحة تماما وفي هذه الحالة يكون الباعث غير متصل علي الاطلاق بالمجمع open circuit وهذا يتأني عندما يكون جهد القاعدة صفراً.



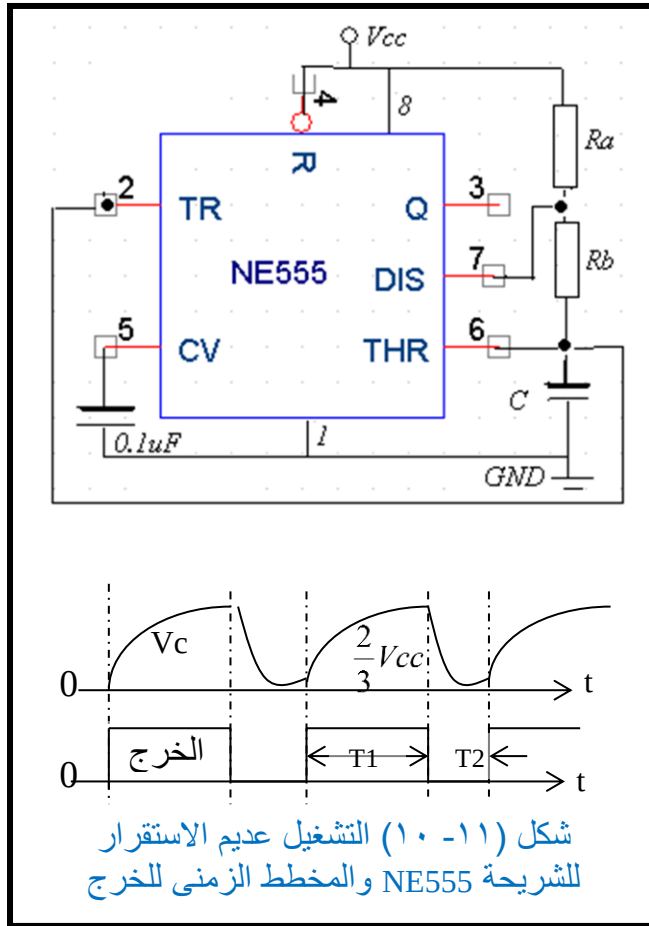
شكل (١١ - ٩) التشغيل أحادى الاستقرار للشريحة NE555 والمخطط الزمنى للخرج

لكي نشرح كيفية عمل هذه الشريحة سنبدأ بافتراض أنه ليست هناك أية إشارة علي دخل الشريحة (الطرف ٢) لذلك فإن هذا الطرف سيكون متصلا بجهد موجب مقداره V_{CC} ، لذلك فإن دخل المقارن ٢ السالب سيكون أكبر من دخله الموجب، وبالتالي سيكون خرج هذا المقارن يساوى صفر أى أن الطرف S للقلاب سيكون صفراً هو الآخر. وعلى ذلك فإن Q ستكون صفراً، و $\bar{Q}$ ستكون واحد. نتيجة ذلك فإن T3 سيكون مفتوح أما T2 و T1 فسيكونان موصلا، وعلى ذلك فإن خرج الشريحة سيكون صفر وسيكون المكثف C متصلا بالأرضى نتيجة أن T1 موصلا، وستستقر الشريحة على ذلك. في هذه الأثناء سيكون دخل المقارن ١ الموجب يساوى صفر (لأنه موصلا بالمكثف) أي أقل من دخله السالب وعلى ذلك فإن خرج هذا المقارن سيكون صفراً أيضاً، أي أن $R=0$ وعلى ذلك فإن خرج القلاب Q سيظل صفراً طالما أنه ليست هناك أية إثارة على الطرف ٢.

تعال نفترض الآن حدوث إثارة علي الطرف ٢ للشريحة عن طريق الضغط على المفتاح S ثم تركه، أي أن جهد هذا الطرف تغير من واحد إلى الصفر ثم رجع إلى الواحد مرة أخرى كما هو موضح في شكل (١١ - ٨). نتيجة هذه الإثارة سيكون أن دخل المقارن ٢ السالب أقل من دخله الموجب، وعلي ذلك فإن خرج هذا المقارن سيرتفع من صفر إلى واحد. أي أن S ستصبح واحد وهذا سيقرب حالة القلاب Q من صفر إلى واحد، أي أن $Q=1$ ، وبالتالي $\bar{Q}=0$. نتيجة ذلك فإن كل من T1 و T2 سيكون مفتوح ولن يري المكثف C جهد الأرض لذلك فإنه سيبدأ في الشحن من خلال المقاومة R بثابت زمني مقداره RC محاولاً الوصول إلى الجهد V_{CC} . في نفس الوقت سيكون الترانزستور T3 موصلًا وبالتالي فإن خرج الشريحة يتصل بجهد المصدر V_{CC} ويصبح واحد.

كما ذكرنا فإنه بمجرد أن يصبح الترانزستور T1 غير موصل فإن المكثف C سيبدأ في الشحن محاولاً الوصول إلى القيمة V_{CC} . لاحظ أيضاً أن جهد المكثف أثناء عملية الشحن يكون موصلًا على الدخل الموجب للمقارن ١، وعلي ذلك فإن جهد هذا الطرف سيتبع تماماً نفس التغير الحادث على المكثف. مع زيادة الجهد على طرف المكثف يزداد بالتالي الجهد على الطرف الموجب للمقارن ١ إلى أن يصل جهد المكثف إلى ثلثين V_{CC} أو أعلى قليلاً حيث عندها يصبح

الطرف الموجب لهذا المقارن أعلى من طرفه السالب، فيتغير خرجة إلى الواحد بدلاً من الصفر، وبالتالي تصبح $R=1$. لاحظ أن $S=0$ في هذه الأثناء، وبالتالي سيحدث إعادة وضع للقلاب ويصبح الخرج $Q=0$ و $\bar{Q}=1$ وبالتالي يصبح الترانزستور T3 مفصولاً مرة أخرى ويعود خرج الشريحة إلى الصفر. وأما T1 و T2 فيصبح كل منهما موصلًا مرة أخرى أيضاً، وبالتالي سيوصل المكثف C على الأرض ليفرغ شحنته وينتهي من دورة عدم الاستقرار التي حدثت له نتيجة الإثارة التي حدثت على الطرف ٢ للشريحة. كما رأينا فإن هذه الفترة هي عبارة عن فترة شحن المكثف من صفر محاولاً الوصول إلى الجهد V_{CC} ولكن عندما يصل جهده إلى $\frac{2}{3}V_{CC}$ سيتوقف ويفرغ شحنته. بالطبع فإن هذا الزمن سيتوقف على قيمة كل من C و R ويمكن حساب هذا الزمن من المعادلات التالية:



$$V_c = V_{CC}(1 - e^{-t/RC}) \quad (١١-٣)$$

عندما يكون $t=T$ حيث T هى نهاية زمن الشحن كما فى شكل (١١ - ٩) ، فإن جهد المكثف V_c يساوى $\frac{2}{3}V_{cc}$. بالتعويض بذلك فى المعادلة (١١ - ٣) نحصل على ما يلى :

$$\frac{2}{3}V_{cc} = V_{cc}(1 - e^{-T/RC}) \quad (١١-٤)$$

ومنها يمكن حساب الزمن T كما يلى :

$$T = RC \ln(3) \quad (١١-٥)$$

وهذه يمكن كتابتها كما يلى :

$$T = 1.1RC \quad (١١-٦)$$

فى المعادلات السابقة عندما تكون R بالأوم و C بالفاراد فإن T تكون بالثانية. شكل (١١ - ٩) يبين مرة أخرى طريقة توصيل الشريحة لتعمل بالطريقة أحادية الاستقرار، كما يبين المخطط الزمنى على الأطراف المختلفة. القيم العملية للمقاومة R ما بين ١٠٠ أوم وواحد ميجا أوم، وأما قيم المكثف C فتتراوح بين ١٠٠ بيكوفاراد إلى ١٠٠٠ ميكروفاراد وعلى ذلك فإن زمن التأخير الذى يمكن الحصول عليه من مثل هذه الدائرة يتراوح ما بين ١٠ نانوثانية و ١٠٠٠ ثانية أى ما يساوى حوالى ساعتين ونصف تقريبا.

١١-٧ طريقة التشغيل عديمة الاستقرار Astable Operation

فى هذه الطريقة يتم توصيل الطرف ٢ بالطرف ٦ للشريحة وبالتالي يصبح الدخل السالب للمقارن ٢ يرى جهد المكثف هو الآخر. هناك أيضا مقاومة جديدة R_b بين الطرفين ٦ و ٧ للشريحة وهذه سيقوم المكثف بالتفريغ من خلالها. شكل (١١ - ١٠) يوضح ذلك. معنى عديم الاستقرار أن الخرج يصعد للقيمة واحد لفترة زمنية معينة سنرى أنها تتحدد بقيمة مجموع المقاومتين R_a و R_b والمكثف C ، ثم بعد ذلك ينزل مرة ثانية للصفر لفترة تتحدد بقيمة المقاومة R_b فقط والمكثف C ويستمر فى ذلك بين الصعود للواحد والنزول للصفر إلى مالا نهاية، أى أننا سنحصل فى الخرج على موجة مربعة وليس نبضة وحيدة كما سبق. سنبدأ مع جهد المكثف عند أى لحظة ولتكن أثناء شحنه. فى هذه الأثناء يشحن المكثف من خلال المقاومتين R_a و R_b ويظل الجهد عليه فى الارتفاع محاولا الوصول إلى V_{cc} ، ولكن عندما يصل جهده إلى القيمة $\frac{2}{3}V_{cc}$ أو أعلى قليلا يصبح خرج المقارن رقم ١ يساوى واحد وبذلك يحدث إعادة وضع للقلاب ويصبح خرجة وبالتالي خرج الشريحة يساوى صفر. فى هذه الأثناء تصبح $\bar{Q}=1$ وبالتالي يصبح كل من T_1 و T_2 موصلا وبالتالي يبدأ المكثف C فى التفريغ من خلال المقاومة R_b نتيجة اتصال الطرف ٧ بالأرضى نتيجة توصيل الترانستور T_1 . يستمر المكثف فى التفريغ ويستمر الجهد عليه فى النقصان إلى أن يصل جهده إلى القيمة $\frac{1}{3}V_{cc}$ أو أقل قليلا حيث عندها يصبح جهد الطرف السالب للمقارن ٢ أقل من جهده الموجب وبالتالي تصبح $S=1$ وعندها ينقلب الحال ويصبح $Q=1$ وبالتالي خرج الشريحة ينقلب هو الآخر إلى واحد مرة أخرى ويبدأ المكثف فى الشحن مرة أخرى من خلال المقاومتين R_a و R_b كما سبق ويستمر فى ذلك إلى أن يصل جهده إلى $\frac{2}{3}V_{cc}$ حيث عندها ينقلب الخرج مرة أخرى، وهكذا تتكرر العملية إلى مالا نهاية. الآن سنحاول حساب زمن الشحن T_1 وزمن التفريغ T_2 .

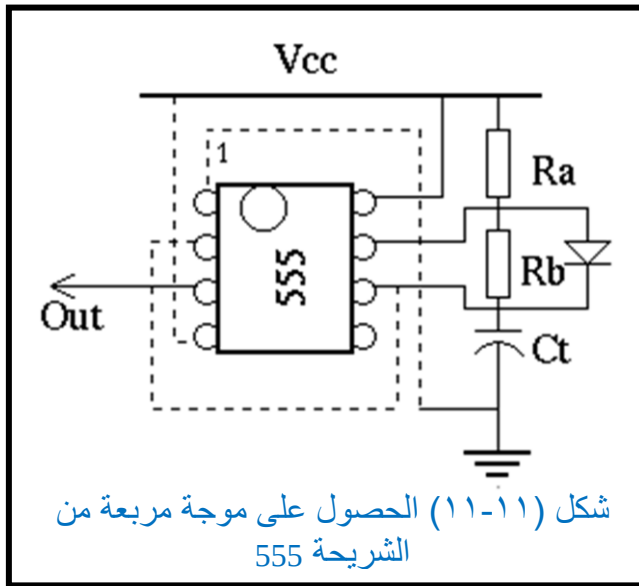
فى أثناء الزمن T_1 يشحن المكثف مبتدءاً من القيمة الابتدائية $\frac{1}{3}V_{CC}$ محاولاً الوصول إلى القيمة النهائية V_{CC} ولكن عندما يصل إلى $\frac{2}{3}V_{CC}$ يبدأ فى التفريغ. على ذلك يمكن كتابة معادلة شحن المكثف كما يلي:

$$V_C = \frac{1}{3}V_{CC} + (V_{CC} - \frac{1}{3}V_{CC})(1 - e^{-t/(R_a+R_b)C}) \quad (٧-١١)$$

عندما $t=T_1$ يكون $V_C = \frac{2}{3}V_{CC}$ وبالتعويض عن ذلك فى المعادلة السابقة مع بعض الاختصارات نحصل على الزمن T_1 كما يلي:

$$T_1 = (R_a + R_b)C \ln 2$$

$$T_1 = 0.693(R_a + R_b)C \quad (٨-١١)$$



فى أثناء الزمن T_2 يفرغ المكثف شحنته من خلال المقاومة R_b ابتداءً من القيمة $\frac{2}{3}V_{CC}$ محاولاً الوصول إلى القيمة النهائية صفر، وعلى ذلك فإن معادلة التفريغ للمكثف يمكن كتابتها كما يلي:

$$V_C = \frac{2}{3}V_{CC} e^{-t/R_b C} \quad (٩-١١)$$

عندما $t=T_2$ يكون $V_C = \frac{1}{3}V_{CC}$ ومنها يمكن حساب T_2 كما يلي:

$$T_2 = R_b C \ln 2$$

$$T_2 = 0.693 R_b C \quad (١٠-١١)$$

كما رأينا فإن الخرج يكون عبارة عن موجة مربعة زمن الدورة لها يمكن حسابه من المعادلتين (٨-١١) و (١٠-١١) كما يلي:

$$T = T_1 + T_2$$

$$= 0.693(R_a + 2R_b)C \quad (١١-١١)$$

كما يمكن وضع معادلة لتردد الموجة الناتجة كما يلي:

$$F = \frac{1}{T} = \frac{1.44}{(R_a + 2R_b)C} \quad (١٢-١١)$$

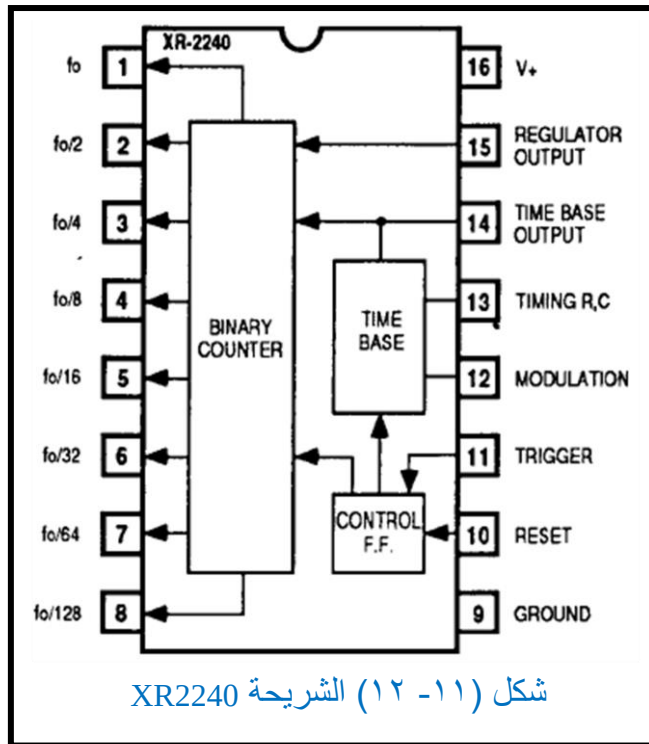
وعلى ذلك فإنه باستخدام مقاومتين ومكثف يمكن التحكم فى تردد الموجة الناتجة، كما يمكن التحكم فى نسبة زمن الواحد لزمن الصفر لهذه الموجة. كما نرى من طريقتى تشغيل الشريحة NE555 فإنها يمكن استخدامها فى العديد من التطبيقات، وأن التطبيقات التى ذكرناها فى مقدمة هذه الفصل ما هى إلا قليل من كثير يمكن عمله بهذه الشريحة.

فى التشغيل غير المستقر للشريحة 555 تتم عملية الشحن من خلال المقاومتين $R_a + R_b$ ، بينما تتم عملية التفريغ من خلال المقاومة R_b فقط ولذلك فإنه من الصعب جداً الحصول على زمن تفريغ يساوى زمن الشحن وهذا من عيوب الاستخدام الغير مستقر لهذه الشريحة. البعض يقول نضع $R_a = 0$ وهذا لا يمكن لأنه معنى ذلك أن توصل طرف التفريغ

بجهد القدرة مباشرة فلن يتمكن المكثف من التفريغ. شكل (١١-١١) يبين دائرة مقترحة يمكن الحصول منها على موجة مربعة متساوية الزمنين (زمن التفريغ وزمن الشحن). هنا تم وضع دايود على المقاومة R_b بحيث يكون هذا الدايود موصلا في حالة الشحن فقط فيلغى المقاومة R_b وتكون معادلة زمن الشحن هي $T_1 = 0.693 R_a C$. بينما في حالة التفريغ يكون الدايود غير موصل ويتم التفريغ من خلال R_b فقط وتكون معادلة التفريغ هي $T_2 = 0.693 R_b C$. وعلى ذلك لو وضعنا $R_a = R_b$ فإننا سنحصل على زمن شحن مساوى بدرجة كبيرة جدا لزمن التفريغ.

هذا النوع من دوائر التوقيت والتي تمثلها الشريحة NE555 تسمى بمؤقتات النبضة الواحدة one shot timers أو المؤقتات الغير قابلة للبرمجة unprogrammable. بمعنى أن الشريحة لنفس قيمة المقاومة R والمكثف C تعطى زمن تأخير واحد فقط. ذلك على العكس من المؤقتات الأخرى التي يمكن برمجتها لتعطى أكثر من زمن تأخير لنفس قيمة هذه المكونات الخارجية كما سنرى. المؤقتات أحادية النبضة تعاني من بعض العيوب وأهمها هي الحدود التي يمكن أن تضعها قيم كل من المقاومة والمكثف الخارجيين على قيمة زمن التأخير الناتج. فكما رأينا أنه لكي نحصل على زمن تأخير صغير لا بد أن نصغر قيم كل من المقاومة والمكثف لأقصى درجة، وبالطبع سيكون هناك حد لذلك حيث أن المقاومة الداخلية للدخل والمكثفات الطفيلية ستضع حدا لذلك. كما أنه للحصول على أزمنة تأخير كبيرة فإنه لا بد من تكبير قيم كل من المقاومة والمكثف، وبالطبع فإنه مع تكبير هذه القيم ستلعب دقة هذه المكونات دورا كبيرا في خطأ حساب الزمن الناتج. لذلك كان التفكير في نوع آخر من المؤقتات وهى المؤقتات التي تحتوى عدادات أيضا Timer/Counter أو أحيانا يطلق عليها المؤقتات القابلة للبرمجة.

١١-٨ المؤقتات ذات العدادات Timer Counters

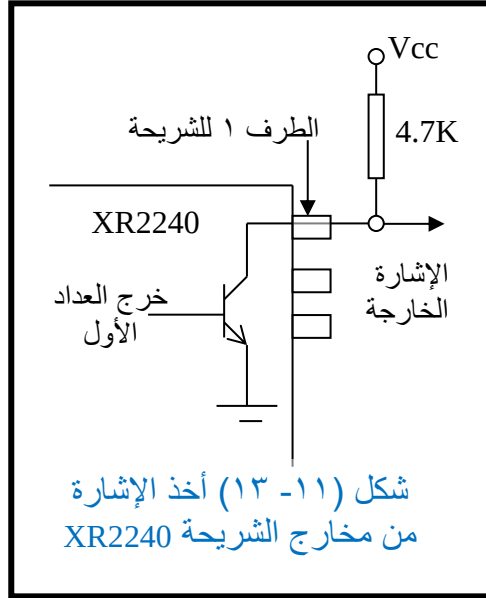


شكل (١١-١٢) الشريحة XR2240

تستخدم هذه المؤقتات في الحصول على أزمنة تأخير كبيرة جدا تصل إلى أيام وباستخدام تتابعات منها من الممكن الحصول على أزمنة تأخير تصل إلى سنين. تتكون هذه الشرائح عادة من مذبذب، وهذا المذبذب يكون غالبا دائرة توقيت تعمل في الطريقة عديمة الاستقرار حيث يكون خرجها موجة مربعة يتم التحكم فيها باستخدام مقاومة ومكثف خارجيين كما رأينا مع الشريحة NE555. هناك أيضا بداخل هذه الشرائح عداد ثنائى، يمكن ضبطه ليعد عدد معين من النبضات الخارجة من المذبذب، بعدها يعطى نبضة على خرجها تمثل زمن التأخير المطلوب من المؤقت. أى أن زمن التأخير في هذه الحالة يكون عدد معين من النبضات التي يمكن التحكم في زمن النبضة الواحدة منها كما يمكن التحكم في عددها. بذلك يمكن الحصول على أزمنة

تأخير كبيرة باستخدام قيم صغيرة للمكثف والمقاومة. أشهر شريحة ممثلة لهذا النوع من دوائر التوقيت هي الشريحة XR2240 التى سنلقى الضوء عليها فى هذا الجزء.

٩-١١ الشريحة XR2240 المؤقت بعداد Timer Counter

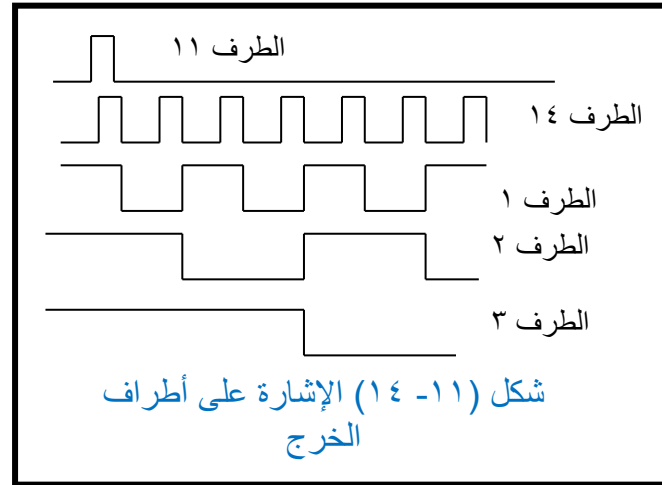


كما هو موضح فى شكل (١١-١٢) فهذه الشريحة تتكون من ثلاث أجزاء رئيسية هي كالتالى:

١- مذبذب وهو عبارة عن دائرة شريحة 555 تعمل فى الطريقة عديمة الاستقرار ويتم التحكم فى تردد هذه الذبذبات عن طريق مقاومة يتم توصيلها من الطرف ١٣ إلى المصدر Vcc على الطرف ١٦، ومكثف يتم توصيله بين الطرف ١٣ والأرضى على الطرف ٩. خرج هذا المذبذب يكون عبارة عن موجة مربعة متماثلة. خرج هذا المذبذب يمكن قراءته مباشرة على الطرف ١٤ كما أنه يعتبر دخلاً للعداد الثنائى كما هو موضح فى الشكل (١١-١٢). الطرف ١٢ هو الطرف السالب فى المقارن ١ فى الشريحة 555.

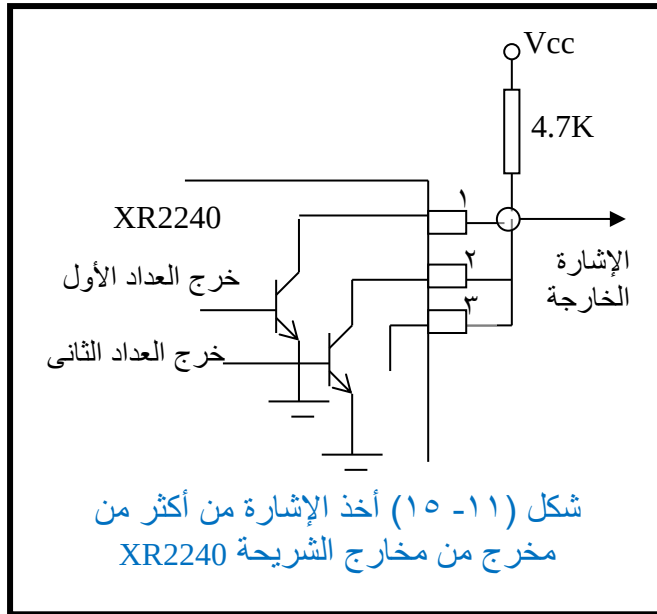
هذا الطرف يمكن توصيل جهد متغير عليه لنحصل على موجة مربعة معدلة التردد frequency modulated على خرج الشريحة.

٢- الجزء الثانى فى الشريحة هو عداد ثنائى من ٨ مراحل وله ٨ مخرج كما فى شكل (١١-١٢). هذا العداد يعد النبضات الداخلة له والقادمة من خرج المذبذب. كما نعلم من خصائص أى عداد ثنائى فإن المخرج الأول للعداد يقسم التردد

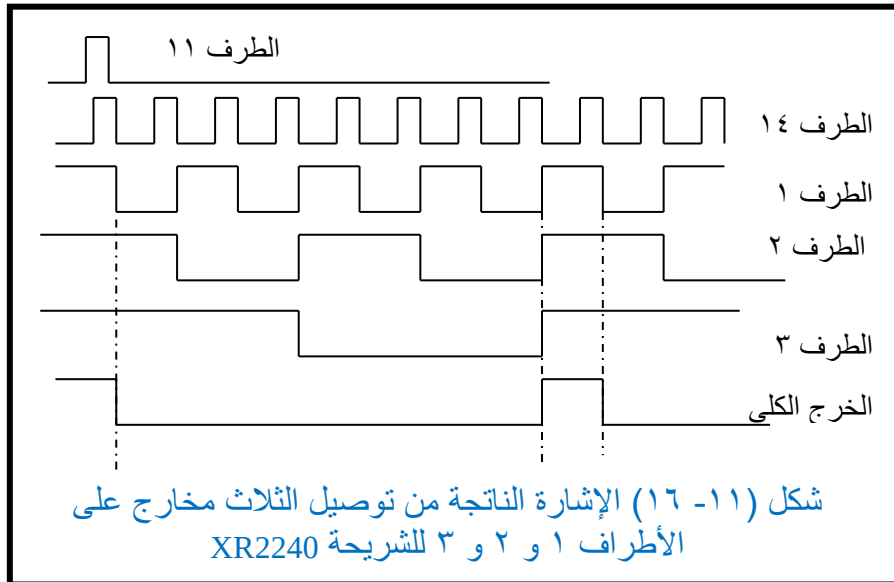


الداخل على ٢ (f0) فى شكل (١١-١٢) والمخرج الثانى يقسم على ٤ وهكذا حتى المخرج الثامن الذى يقسم الدخل على ٢٥٦ أى f0/128.

٣- الجزء الثالث هو قلاب التحكم فى الشريحة حيث من خلال هذا القلاب يمكن إعادة وضع عداد الشريحة أى تصفيره Reset عن طريق إعطاء نبضة على الطرف ١٠. كما يمكن بدأ فترة توقيت جديدة عن طريق إعطاء نبضة على الطرف ١١ trigger. كما يمكن عن طريق هذين الطرفين التحكم فى تشغيل الشريحة، إما بالطريقة أحادية الاستقرار، أو الطريقة عديمة الاستقرار كما سنرى.



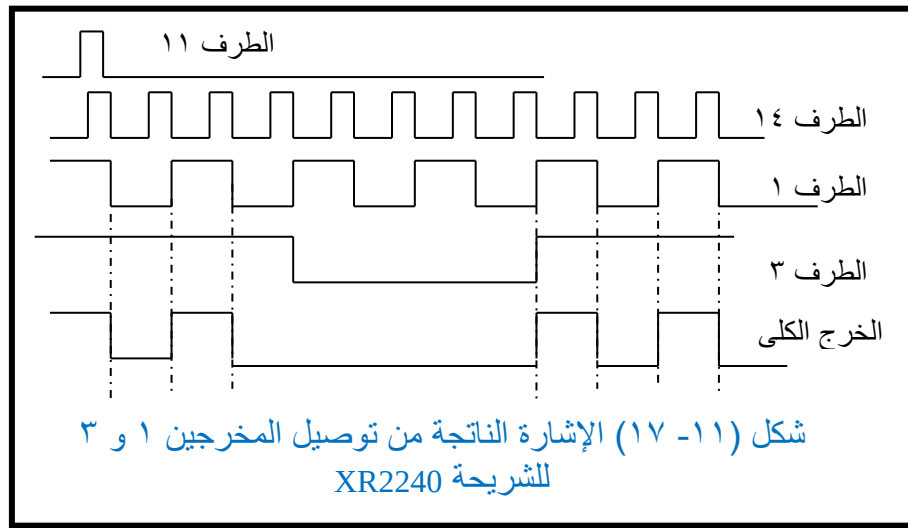
جميع مخارج العداد الثمانية موصلة على أطراف الشريحة من خلال ترانزستور مفتوح المجمع open collector. معنى ذلك أنه لكي نأخذ خرج من أى طرف من هذه الأطراف لابد من توصيل هذا الطرف من خلال مقاومة ٤,٧ كيلو أوم تقريباً على الجهد V_{cc} . شكل (١١) - (١٣) يبين المخرج f_0 ، والطرف ١، وكيفية أخذ الإشارة من عليه.



كما نرى من هذا الشكل فإنه عندما يكون خرج العداد واحد فإن الطرف ١ سيكون صفر، بينما عندما يكون خرج العداد صفر فإن الطرف سيكون واحد. وعلى ذلك فإنه مع تكرار النبضات الخارجة من العداد فإننا سنحصل على نفس هذه النبضات ولكن معكوسة كما في شكل (١١- ١٤). عند توصيل مقاومة ومكثف على الطرف ١٣ للحصول على موجة معينة وإعطاء نبضة بدأ على الطرف ١١ فإننا سنحصل على موجات مربعة ذات قواسم مختلفة من على كل طرف على حده كما في نفس الشكل (١١- ١٤) مع ملاحظة أن كل موجة على أى طرف تكون ذات تردد نصف تردد الموجة على الطرف السابق له. معنى ذلك أنه يمكن الحصول على ٨ قيم مختلفة لأزمة التأخير من على الثمانية مخارج كل على حده.

يمكن الحصول على قيم أخرى لأزمة التأخير عن طريق توصيل أكثر من خرج من مخارج الشريحة مع بعضها وتوصيلها على الجهد V_{cc} من خلال مقاومة واحدة كما في شكل (١١- ١٥). هذه التوصيلة تسمى بوابة أور الموصلة Wired

OR gate. هذه البوابة سيكون خرجها الكلى صفر طالما أن أى واحد من المخارج الموصلة يساوى صفر، وستكون واحد فقط عندما تكون كل هذه المخارج تساوى واحد. شكل (١١ - ١٦) يبين المخطط الزمني على المخارج الثلاثة الأولى f_0 و $f_0/2$ و $f_0/4$ حيث نلاحظ أن الخرج الكلى أصبح صفرا لمدة ٧ نبضات من نبضات المذبذب. لاحظ أن مجموع قواسم هذه المخارج الثلاثة يساوى $1+2+4=7$ ، والخرج الكلى الناتج كان صفر لمدة ٧ نبضات وواحد لمدة نبضة واحدة ثم يبدأ في التكرار كما في شكل (١١ - ١٦). بالمثل لو وصلنا الأطراف ١ و ٢ و ٣ و ٤ فإننا سنحصل على موجة تكون صفر لمدة ١٥ نبضة وواحد لمدة نبضة واحدة وهكذا. عند توصيل أطراف غير متتالية مثل الطرف ١ والطرف ٥ مثلا فإننا سنحصل في خرجهما على نموزج مختلف للموجة الناتجة كما في شكل (١١ - ١٧). من ذلك نرى أنه يمكن الحصول على ٢٥٦ نموزجا مختلفا لموجة الخرج عن طريق التوصيلات المختلفة بين أطراف الخرج.

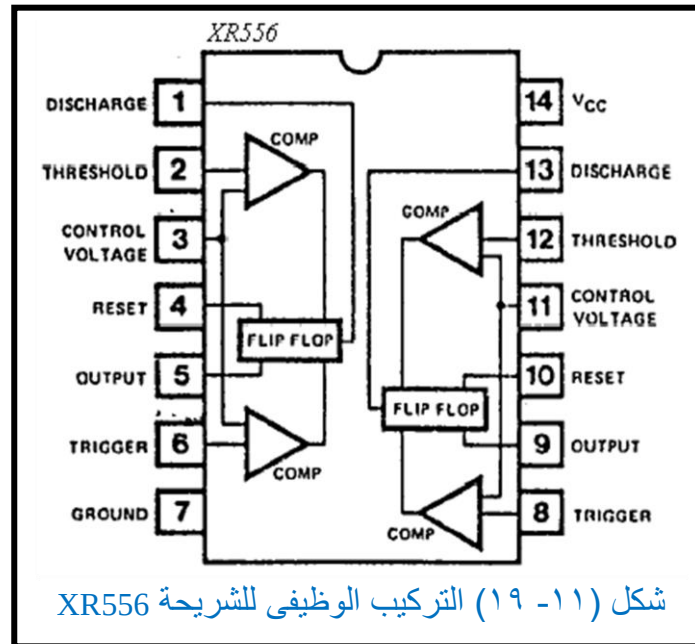
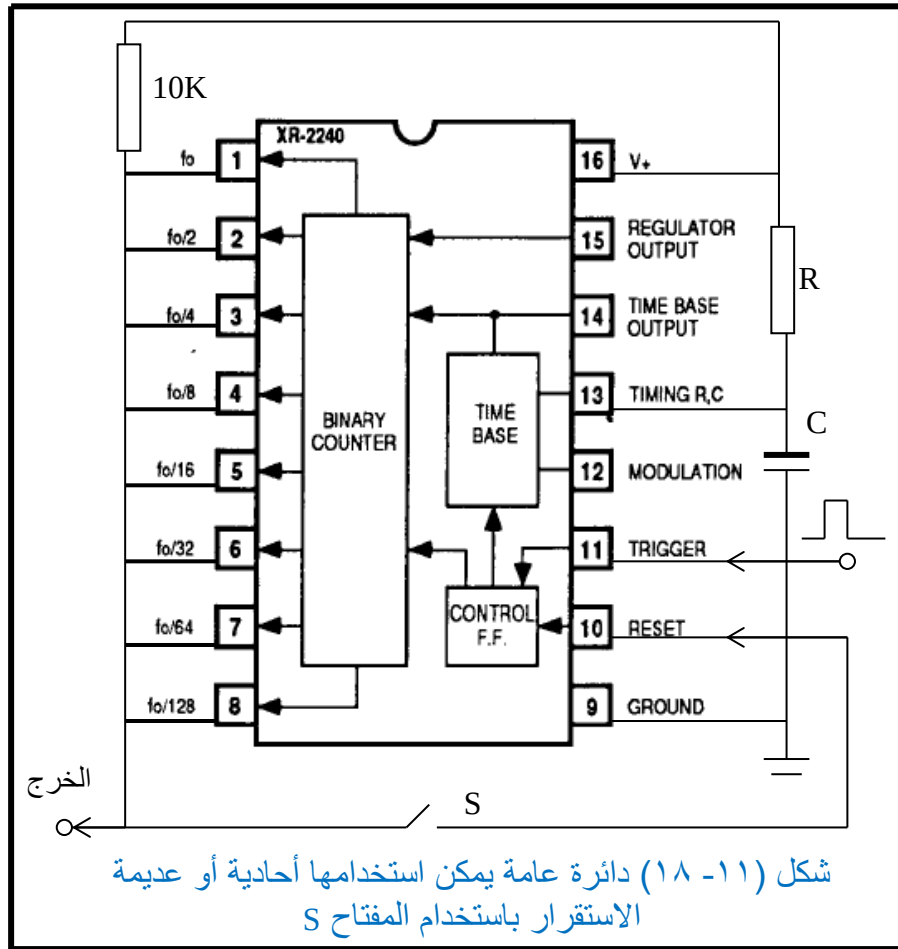


كما رأينا فإن كل هذه التوصيلات من النوع عديم الاستقرار الذى نحصل منه على موجة بنموزج خرج متكرر طوال الوقت إلى الملائمة. يمكن التشغيل في الطريقة أحادية الاستقرار عن طريق أخذ أى خرج من المخارج وتوصيله على الطرف ١٠ للحصول على إعادة الوضع (Reset) أو التصفير. عند أى حافة صاعدة على هذا الطرف يتم تصفير جميع مخارج العداد ليبدأ عملية العد من جديد. شكل (١١ - ١٨) يبين توصيل هذه الشريحة لتعمل في الطريقة أحادية الاستقرار التى تعطى نبضة مقدارها واحد لمدة نبضة واحدة بعد ٢٥٥ نبضة من بدء نبضة الإطلاق على الطرف ١١ وذلك عند قفل المفتاح S.

١٠-١١ الشريحة XR 556

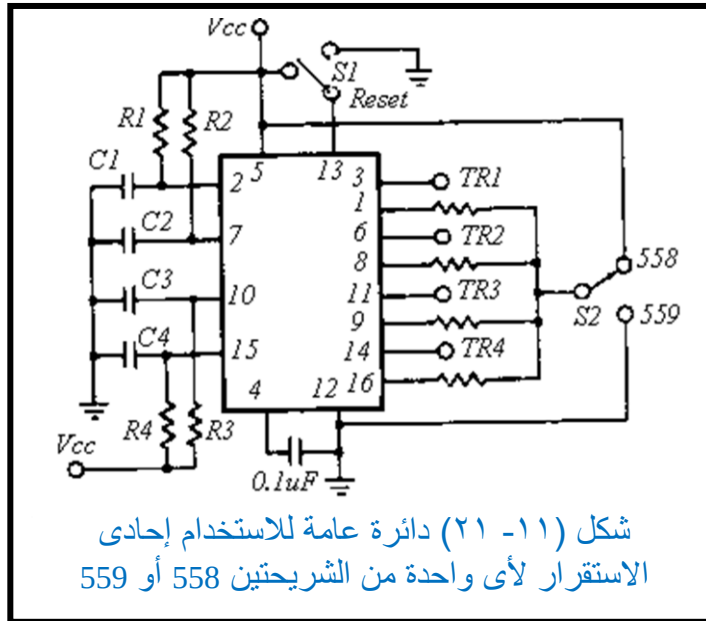
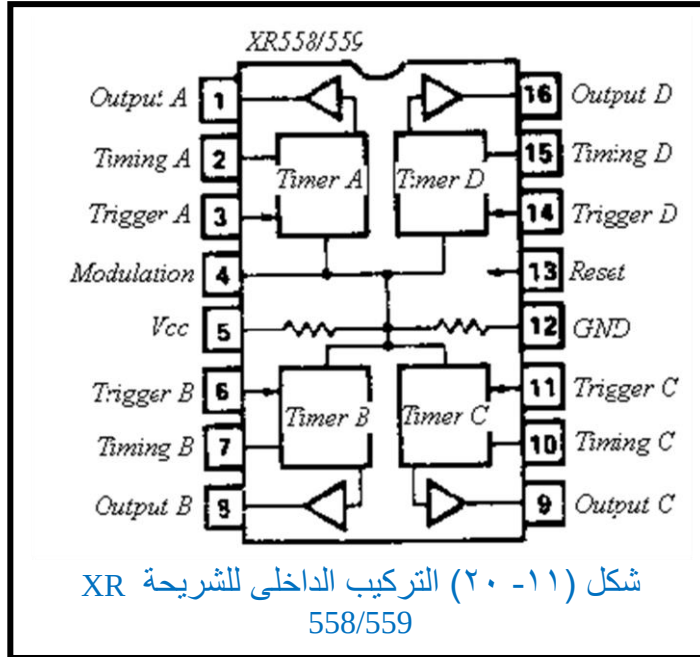
هذه الشريحة تحتوى على مؤقتين كل منهما متطابق تماما من حيث طريقة التشغيل مع المؤقت الموجود في الشريحة 555. شكل (١١ - ١٩) يبين محتويات الشريحة 556 حيث نلاحظ وجود المؤقتين والأطراف الخاصة بكل منهما حيث نرى أن كل مؤقت لا يعتمد على المؤقت الآخر، بمعنى أن كل منهما له الأطراف الخاصة به فقط وليس هناك أى أطراف عامة للمؤقتين سوى طرف القدرة VCC الذى يتراوح من ٥ إلى ١٨ فولت، وطرف الأرضى. كل من المؤقتين يمكن تشغيله

في الطريقة أحادية الاستقرار والطريقة عديمة الاستقرار عن طريق توصيل مقاومة ومكثف في الحالة أحادية الاستقرار، ومقاومتين ومكثف في الحالة عديمة الاستقرار. كل مؤقت يمكنه أن يدفع أو يبتلع تيار مقداره ١٥٠ ميلي أمبير.



١١-١١ الشريحتان XR 558/559

تحتوى هذه الشريحة على أربعة مؤقتات لا يعتمد أى واحد فيها على الآخر سوى فى طرف إعادة الوضع Reset فهو

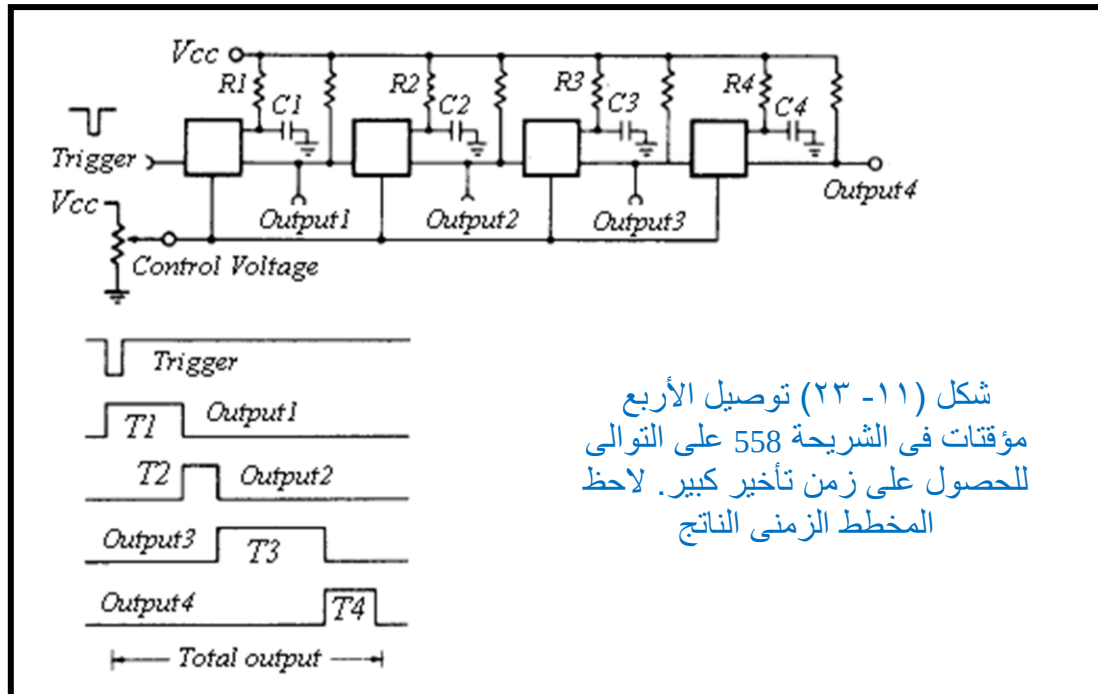
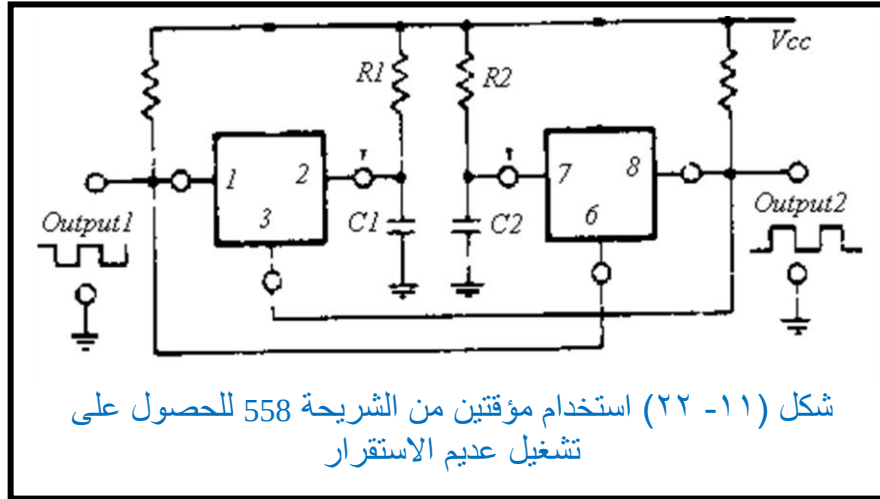


مشارك للأربعة مؤقتات كما فى شكل (١١- ٢٠) الذى يبين التركيب الداخلى لهذه الشريحة. يمكن تشغيل أى واحد من هذه المؤقتات فى الطريقة أحادية الاستقرار عن طريق مقاومة ومكثف توصل من الخارج كما فى الشريحة 555 تماما. لا يمكن تشغيل أى واحد من هذه المؤقتات فى الطريقة عديمة الاستقرار وحده نتيجة غياب طرف التشبع Discharge كما فى الشريحة 555 والشريحة 556. للتشغيل بالطريقة عديمة الاستقرار يمكن استخدام مؤقتين حيث يستخدم خرج الأول كنبتة

إثارة Trigger للثانى، وخرج الثانى كنبتة إثارة للأول كما فى شكل (١١- ٢٢). خرج كل المؤقتات الموجودة فى الشريحة 558 مأخوذ من خلال ترانزستور بمجمع مفتوح open collector. لذلك عند التعامل مع هذه المؤقتات لابد من توصيل الخرج بجهد القدرة Vcc من خلال مقاومة حوالى ٤,٧ كيلوأم. فى هذه الحالة سيكون الخرج مستقرا على الصفر إلا عند الإثارة فإن الخرج يتغير إلى Vcc للفترة الزمنية المحددة التى تحدد بالمقاومة

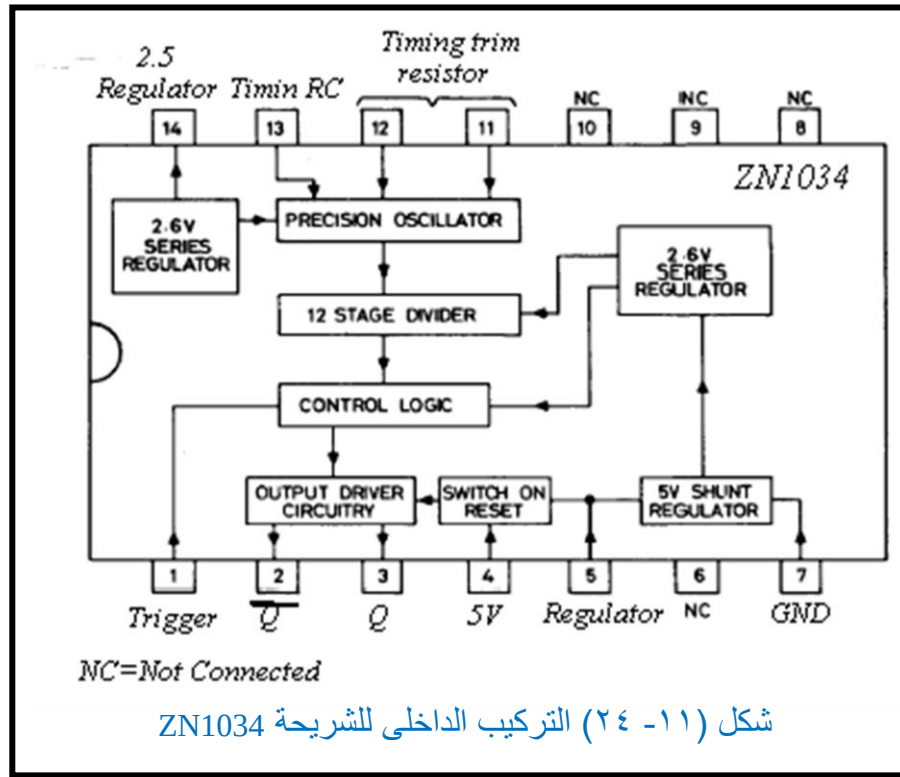
والمكثف. فى هذه الحالة يمكن للشريحة أن تبث حتى ١٠٠ ميللى أمبير. الشريحة 559 هى نفسها تماما الشريحة 558 سوى أن الخرج فى هذه الحالة مأخوذ من خلال باعث مفتوح open emitter وليس مجمع مفتوح كما فى حالة الشريحة 558. لذلك فإنه عند التعامل مع مؤقتات الشريحة 559 فلا بد من توصيل الخرج على الأرضى من خلال مقاومة ٤,٧ كيلوأم. الشريحة يمكنها أيضا أن تبث حتى ١٠٠ ميللى أمبير. فى هذه الحالة أيضا سيكون الخرج صفر إلا عند إثارة الشريحة فإن الخرج يرتفع إلى Vcc. جهد القدرة للشريحتان يتراوح من ٥ إلى ١٨ فولت. شكل (١١- ٢١) يبين دائرة عامة لتوصيل إما الشريحة 558 أو الشريحة 559 لتعمل فى الطريقة أحادية الاستقرار. أطراف الإثارة Trigger فى كل

من الشريحتين حساس للحافة النازلة للإشارة على هذه الأطراف . لذلك يمكن توصيل أكثر من مؤقت تتابعيا مباشرة ودون أى دوائر ربط للحصول على أزمنة تأخير كبيرة كما فى شكل (١١- ٢٣) الذى يبين الأربع مؤقتات وقد تم توصيلها كلها على التتابع وبأزمنة تأخير مختلفة لكل منها حيث سيكون زمن التأخير الكلى هو مجموع هذه الأزمنة . عند وجود حافة نازلة على طرف إعادة الوضع Reset وهو الطرف ١٣ فإن خرج جميع المؤقتات يرجع إلى الصفر. الطرف ٤ وهو طرف جهد التحكم Control voltage يعتبر طرف عام للأربعة مؤقتات كلها حيث يمكن من خلاله الحصول على تعديل لنبضات الخرج Pulse width modulation حيث يتغير زمن النبضة تبعا لتغير جهد هذا الطرف. فى الوضع العادى يوصل هذا الطرف على الأرضى من خلال مكثف كما فى شكل (١١- ٢١).



١١-١٢ الشريحة ZN1034

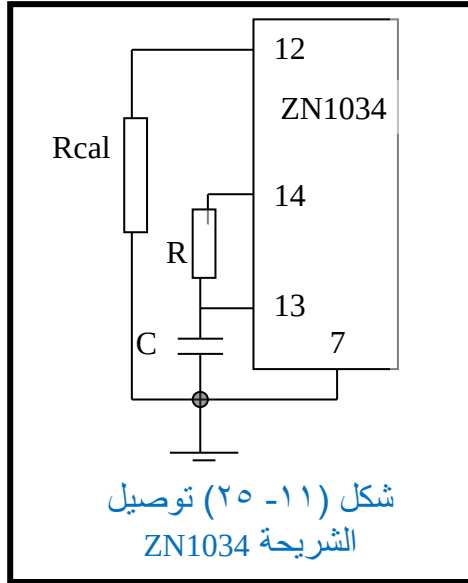
هذه الشريحة عبارة عن مؤقت بعدد بنفس فكرة الشريحة XR2240 ولكنها غير قابلة للبرمجة كما سنرى. شكل (١١-١) - (٢٤) يبين التركيب الداخلى لهذه الشريحة. إنها تتكون من مذبذب يمكن التحكم فى تردده عن طريق مقاومة خارجية بين الطرف ١٤ والطرف ١٣ ومكثف بين الطرف ١٣ والأرضى. تحتوى الشريحة أيضا على عداد ثنائى مكون من ١٢ مرحلة، أى أنه يعد من صفر حتى ٤٠٩٥، أى ٤٠٩٦ نبضة وهى القيمة ١٢. عند إعطاء نبضة البدء Trigger على الطرف ١ يبدأ العداد فى عد النبضات المولدة عن طريق المذبذب والموصلة داخليا كدخل له. عندما يصل العداد إلى أقصى قيمة له، أى بعد ٤٠٩٦ نبضة فإن الشريحة يرتفع جهد خرجها Q على الطرف ٣ إلى القيمة Vcc وينخفض جهد الخرج $\bar{Q}$ على الطرف ٢ إلى الأرضى. أى أن الطرفان ٢ و ٣ عبارة عن خرجان للشريحة كل منهما عكس الآخر. كل من الخرجين يمكنه أن يدفع أو يتلغ تيار حتى ٢٥ ميلي أمبير.



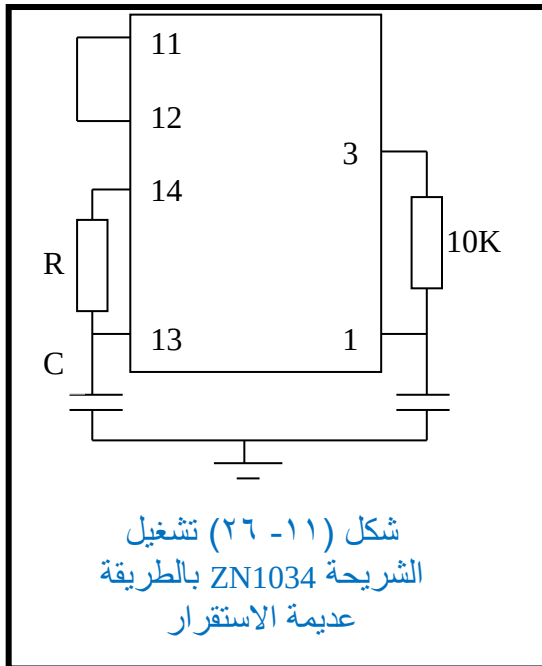
زمن التأخير الناتج يعطى بالمعادلة التالية:

$$T = K4095RC$$

حيث R مقاومة توصل بين الطرف ١٤ والطرف ١٣، و C مكثف يوصل بين الطرف ١٣ والأرضى. أما K فهو ثابت يستخدم للتحكم فى دقة زمن التأخير. هذا الثابت تحدد قيمته تبعاً لمقاومة (توضع فى العادة متغيرة) خارجياً بين الطرفين ١٢ والأرضى كما فى شكل (١١-٢٥). يمكن استخدام مقاومة داخلية من داخل الشريحة لهذا الغرض عن طريق التوصيل المباشر بين الطرفين ١١ و ١٢ بسلكة، short circuit، فى هذه الحالة يكون الثابت K يساوى 0.668. فى المعادلة السابقة يتم التعويض عن R بالأوم وعن C بالفاراد فيكون الزمن الناتج بالثانية. جدول ١١-١ يبين زمن التأخير الناتج مع استعمال قيم مختلفة لمقاومة ومكثف التوقيت، وعند استعمال مقاومة خارجية Rcal مرة تساوى ١٠٠ كيلو أوم



ومرة تساوى ٣٠٠ كيلوأوم. لاحظ كيف أن زمن التأخير الناتج يتغير من ١ ثانية (ويمكن النزول لقيم أقل) إلى ٢,٧ أسبوع (ويمكن الارتفاع إلى قيم أعلى من ذلك). جهد القدرة كما رأينا لهذه الشريحة هو ٥ فولت. يمكن تشغيل هذه الشريحة في الطريقة عديمة الاستقرار عن طريق توصيل الخرج من الطرف ٣ إلى الطرف ١ من خلال مقاومة ١٠ كيلوأوم كما في شكل (١١ - ٢٦). المكثف الموجود على الطرف ١ للتنعيم فقط.



C	R	Rcal= 100KΩ	Rcal= 300KΩ
0.01uF	39K	1sec	2.9sec
0.1uF	220K	1min	2.7min
1uF	100K	5min	12.5min
1uF	1.2M	1Hr	2.5Hrs
10uF	3.3M	1day	2.7days
100uF	2.2M	1week	2.7weeks

جدول ١١-٢ زمن التأخير الناتج من الشريحة ZN1034 عند قيم مختلفة لمقاومة ومكثف التوقيت ومقاومة ضبط الثابت K

١١-١٣ تمارين

١- في الدائرة الموضحة في شكل (١١ - ٥):

- ما هو تأثير تغيير قيمة المقاومة ٤٧ كيلوأوم.
- ما هو تأثير تغيير قيمة المقاومة المتغيرة (أو فرق الجهد V).
- ما هو تأثير تغيير قيمة المكثف C.
- ما هي قيمة R و C للحصول على زمن تأخير مقداره دقيقة واحدة.

- ٢- إرسم رسم صندوقى يوضح تركيب الشريحة 555 و اشرح كيفية تشغيلها فى الطريقة أحادية الاستقرار.
- ٣- كرر السؤال الثانى مع شرح الطريقة عديمة الاستقرار.
- ٤- إشرح طريقة استنتاج المعادلة (١١-١٢).
- ٥- احسب قيم كل من R و C للحصول على أزمنة التأخير التالية باستخدام الشريحة 555 فى الطريقة أحادية الاستقرار: ١٠ ثوان، ٥ دقائق، نصف ساعة، ١٢ ساعة.
- ٦- احسب قيم كل من R و C للحصول على الموجات المربعة ذات الترددات التالية باستخدام الشريحة 555 فى الطريقة عديمة الاستقرار: ١٠٠ هرتز، ٥٠٠ هرتز، ١٠٠٠ هرتز، ٥ كيلوهرتز. إجعل نسبة زمن الواحد للصفر تساوى ١ إلى ٣.
- ٧- مطلوب عمل دائرة توقيت لفرن ميكرويف يتم ضبطه الساعة ٨ صباحا (بدأ التشغيل) ليفتح فى تمام الساعة ٢ (بعد ٦ ساعات) لمدة ١٠ دقائق ثم يطفىء. ارسم الدائرة اللازمة واحسب قيم جميع المقاومات والمكثفات المستخدمة.
- ٨- أعد السؤال ٥ مستخدما الشريحة ٢٢٤٠.
- ٩- أعد السؤال ٦ مستخدما الشريحة ٢٢٤٠.
- ١٠- أعد السؤال ٧ مستخدما الشريحة ٢٢٤٠.
- ١١- صمم دائرة توقيت توقد مصباح فى الشقة أبتداء من الساعة ٨ مساء حتى الساعة ٦ صباحا ثم تطفىء المصباح من ٦ صباحا حتى ٨ مساء وهكذا إلى مالا نهاية وذلك لإيهام أى حرامى أن هناك أشخاص داخل الشقة.
- ١٢- صمم دائرة توقيت يظل خرجها صفر لمدة ٣ سنوات، وبعدها يقلب إلى الواحد لمدة ساعة ويعود للصفر. (أحادى الاستقرار).
- ١٣- ارسم شكل الإشارة الناتجة من الشريحة ٢٢٤٠ فى حالة أخذ الخرج من المخارج التالية:
 - ١، ٣، ٧
 - ١، ٥، ٨
 - ١، ٢، ٣، ٦
 - جميع المخارج الثمانية.

الفصل الثانى عشر

١٢

البوابات ثلاثية المنطق

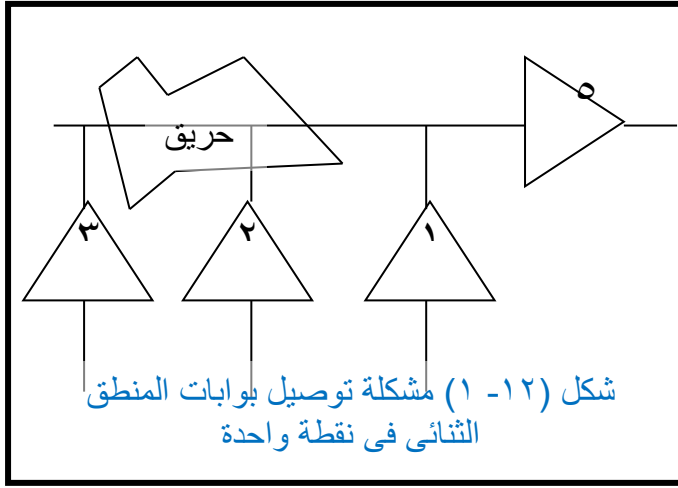
Tristate Logic Gates

١٢- ١ مقدمة

هناك بعض المواضيع البسيطة وكثيرة الاستخدام فى أى دائرة أو مشروع إلكترونى لم تتمكن من وضعها فى أى واحد من الفصول السابقة ورأينا أن نضعها فى هذا الفصل. من هذه المواضيع بوابات المنطق الثلاثى tristate logic التى يكتر استخدامها بالذات مع دوائر التقابل مع المعالجات أو الحاسبات.

١٢- ٢ ما هو المنطق الثلاثى، ولماذا ؟

فى مواضيع كثيرة تكون مضطرا لتغذية دائرة معينة من أكثر من دائرة، وبالتتابع. مثلا فى شكل (١٢ - ١) نريد إدخال خرج البوابة ١ على البوابة ٥، ثم نفصل خرج البوابة ١ ونوصل خرج البوابة ٢، ثم نفصل خرج ٢، ونوصل خرج البوابة ٣، وهكذا. كل مثلث فى شكل (١٢ - ١) عبارة عن رمز لدائرة أو نظام منطقى متكامل.

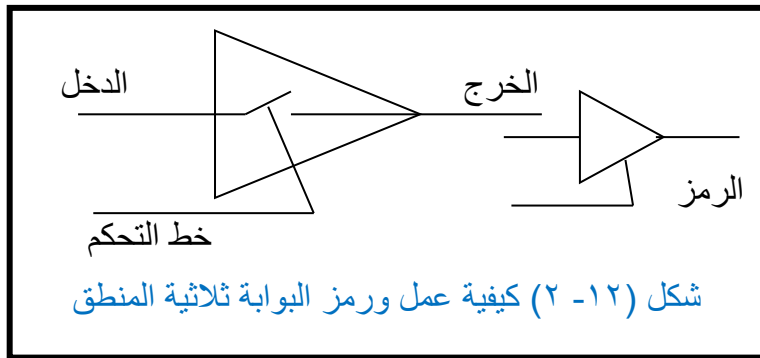


بالنظرة الأولى لشكل (١٢ - ١) يظن البعض أنه ليس هناك أى مشكلة على الإطلاق، ولكن فى الحقيقة هناك مشكلة كبيرة جدا قد تسبب لحرق أحد مكونات الدائرة أو مصدر القدرة. هذه المشكلة جاءت من استخدام بوابات أو دوائر المنطق الثنائى التى يكون خرجها إما واحد أو صفر. وليس هناك أى خيار ثالث سوى ذلك (الواحد أو الصفر). افترض أن أحد هذه

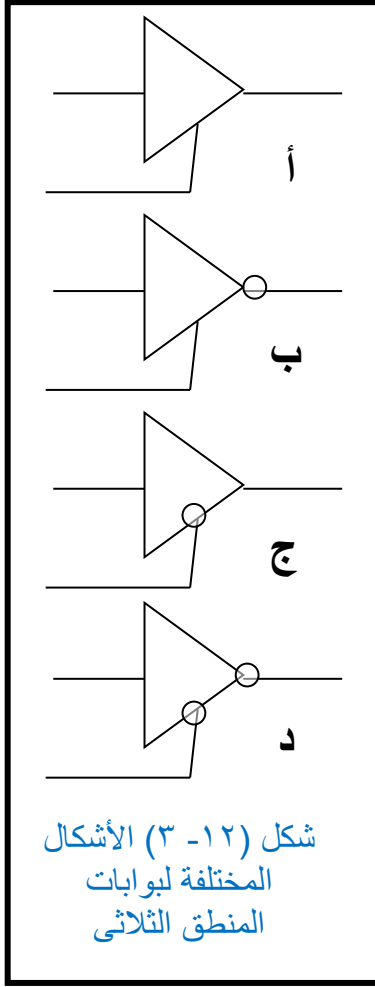
البوابات ولتكن البوابة ١ كان خرجها يساوى صفر، وبوابة أخرى ولتكن البوابة ٢ كان خرجها واحد. نحن نعلم أن الواحد يناظر ٥ فولت، والصفر هو الأرضى، ومعنى توصيل ٥ فولت على الأرضى هو قصر فى الدائرة Short circuit

ينتج عنها ضياع أى عنصر من عناصر الدائرة، فما هو الحل؟

البعض يقترح أن نضع مفتاح على مخارج البوابات ١ و ٢ و ٣ بحيث نقفل المفتاح المتصل بالبوابة المراد توصيلها ونفتح كل المفاتيح الأخرى، وبذلك ن عزل كل المدخل ما عدا مدخل واحد فقط



وهو المدخل المراد توصيله على البوابة ٥. هذا الحل يعتبر حل مثالى وسيجنبنا مخاطر القصر الذى من الممكن أن يحدث، ولكن لا أحد يتصور أن يمسك مجموعة من المفاتيح يقوم بفتحها وغلقها بسرعة كبيرة تصل إلى سرعة الحاسب الذى من الممكن أن يتعامل مع هذه البوابات، وبالتالى فهذا حل غير عملى.



الحل المثالي لهذا الموقف هو استخدام المنطق الثلاثي. شكل (١٢-٢) يبين أحد بوابات المنطق الثلاثي ورمزها. الجديد هنا هو وجود خط تحكم بحيث عندما ينشط هذا الخط (يساوى واحد) يقفل مفتاح إلكتروني فيصبح خرج البوابة موصلا على دخلها وتسلك البوابة مسلك أى بوابة ثنائية المنطق، بحيث يكون الخرج مطابقا للدخل. أما عندما يكون خط التحكم غير نشط (صفر) يكون المفتاح مفتوح ويصبح الخرج معزولا تماما عن الدخل أو يكون مقاومة عالية high impedance، وهذه هي الحالة الثالثة للبوابة. أى أن البوابة يكون خرجها إما صفر أو واحد على حسب الدخل، أو يكون مقاومة عالية. محتويات البوابة من الداخل بسيطة ولكن لا داعي للدخول في تفاصيلها هنا. كل ما يهمنا هنا هو الحالة الثالثة (المقاومة العالية) التي يكون خرج الدائرة فيها مفتوحا تماما.

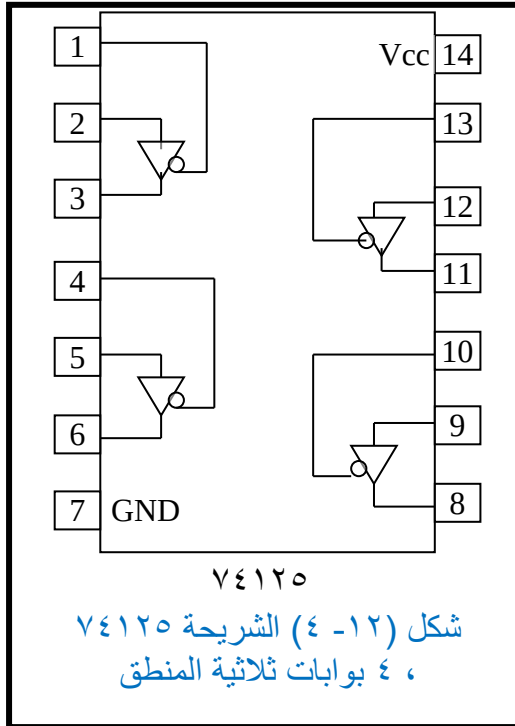
توجد البوابات المنطقية في السوق في أكثر من صورة. شكل (١٢-٣) يبين الصور المختلفة لهذه البوابات. في شكل (١٢-أ) عندما يكون خط التحكم واحد يكون الخرج مساويا للدخل. في شكل (١٢-ب) عندما يكون خط التحكم واحد يكون الخرج عكس الدخل. في شكل (١٢-ج) عندما يكون خط التحكم صفر يكون الخرج مساويا للدخل. في شكل (١٢-د) عندما يكون خط التحكم صفر يكون الخرج عكس الدخل. طبعا في كل هذه الأحوال عندما يكون خط التحكم غير نشط فإن الخرج يكون مقاومة عالية أى مفتوح.

توجد في السوق شرائح متعددة تحتوى كل أنواع هذه البوابات كما سنرى.

١٢-٣ الشريحة ٧٤١٢٥ أربع بوابات

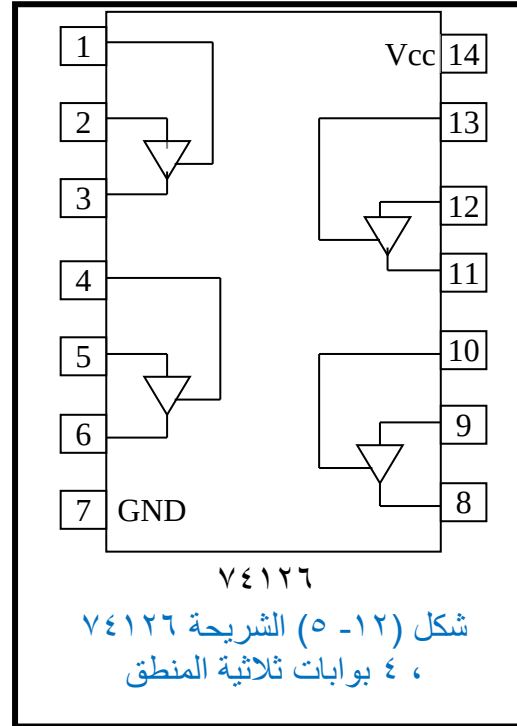
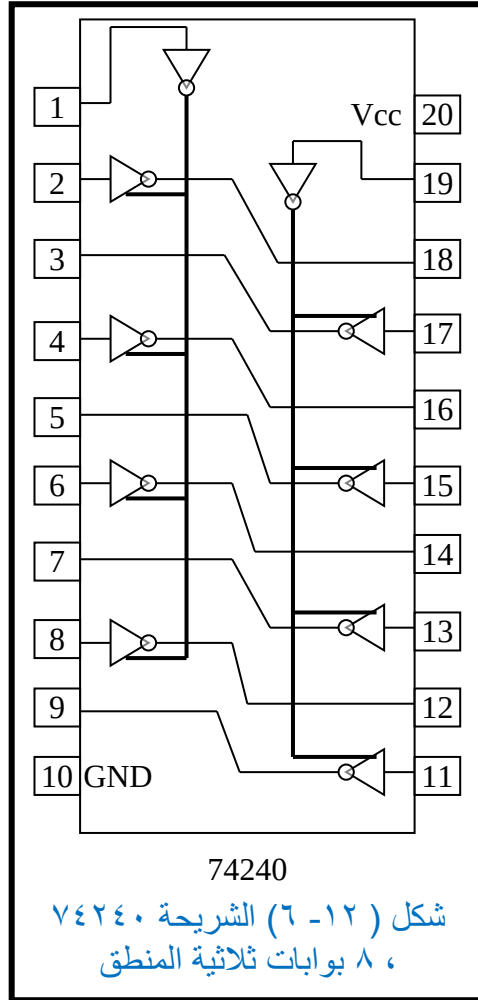
ثلاثية المنطق

كما نرى في شكل (١٢-٤) فإن هذه الشريحة تحتوى ٤ بوابات ثلاثية المنطق. كل خطوط التحكم لهذه البوابات منخفضة الفعالية، أى أنه بوضع أى خط تحكم بصفر فإن خرج هذه البوابة يساوى دخلها. وبوضع خط التحكم بواحد يكون خرج البوابة مقاومة عالية.



١٢-٤ الشريحة ٧٤١٢٦ أربع بوابات ثلاثية المنطق

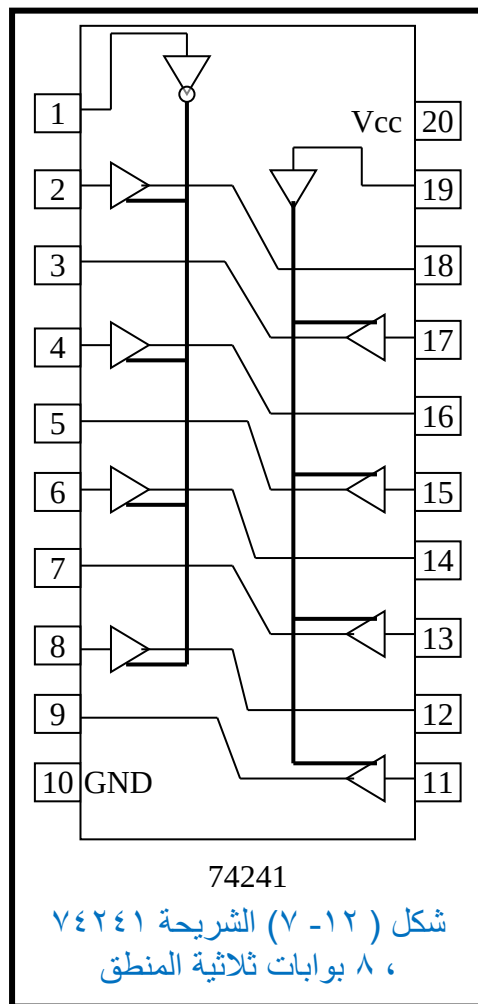
كما نرى في شكل (١٢-٥) فإن هذه الشريحة تحتوي ٤ بوابات ثلاثية المنطق أيضا. كل خطوط التحكم لهذه البوابات عالية الفعالية، أى أنه بوضع أى خط تحكم بواحد فإن خرج هذه البوابة يساوى دخلها. وبوضع خط التحكم بصفر يكون خرج البوابة مقاومة عالية.



١٢-٥ الشريحة ٧٤٢٤٠ ثمانية بوابات ثلاثية المنطق

تحتوى هذه الشريحة على ٨ بوابات ثلاثية المنطق كما في شكل (١٢-٦). كل البوابات من النوع العاكس، أى أنه عند تنشيط خط التحكم فإن الخرج لكل بوابة يكون عكس دخلها. نلاحظ كما في الشكل أن كل ٤ بوابات لها خط التحكم الخاص بها، وخطوط التحكم منخفضة الفعالية كما نرى حيث أنها كلها من خلال عاكس كما هو واضح من خروج إشارة التحكم من الطرف ١ والطرف ١٩ على عاكس، ثم تصل إلى كل البوابات.

١٢-٦ الشريحة ٧٤٢٤١ ثمانية بوابات ثلاثية المنطق



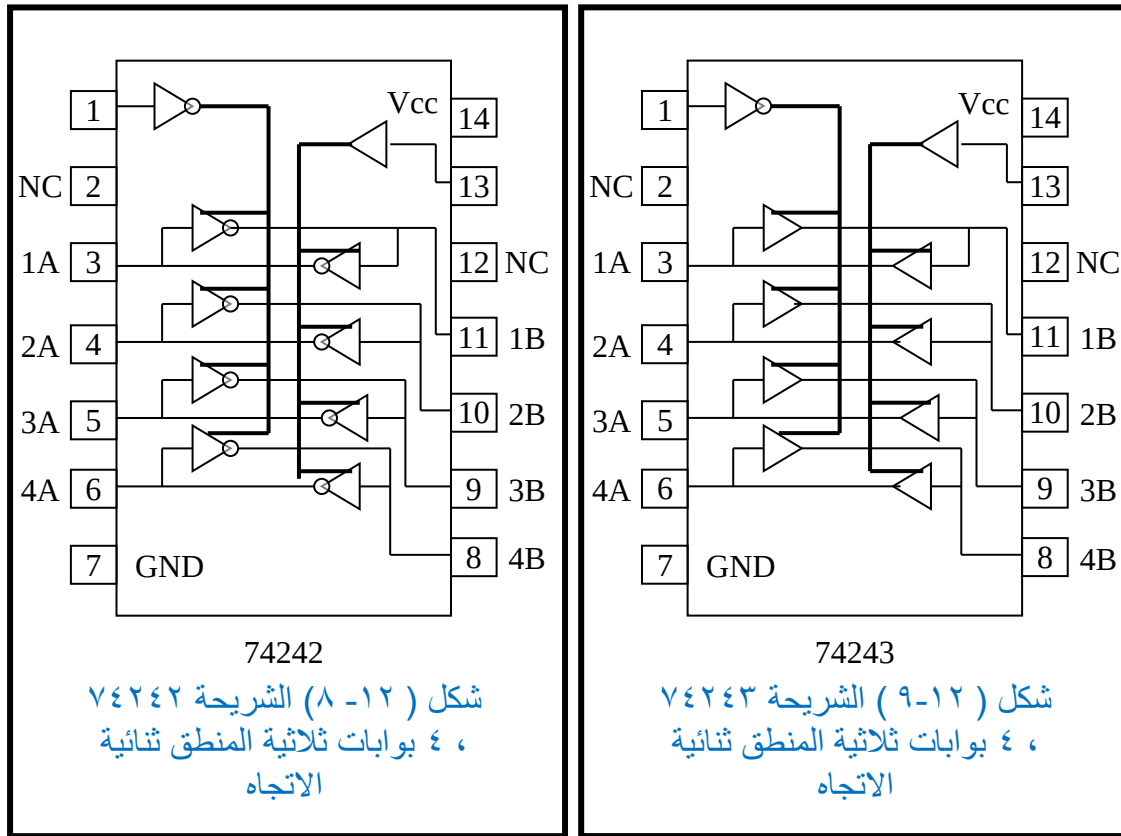
تحتوى هذه الشريحة على ٨ بوابات ثلاثية المنطق كما فى شكل (١٢-٧). كل البوابات ليست من النوع العاكس وهذا هو الفرق بينها وبين الشريحة ٧٤٢٤٠، أى أنه عند تنشيط خط التحكم فإن الخرج لكل بوابة يكون مثل دخلها. نلاحظ كما فى الشكل أن كل ٤ بوابات لها خط التحكم الخاص بها، وخط التحكم للمجموعة الأولى منخفض الفعالية وللمجموعة الثانية على الفعالية كما هو واضح من خروج إشارة التحكم من الطرف ١ والطرف ١٩.

١٢-٧ الشريحتان ٧٤٢٤٢ و ٧٤٢٤٣ أربع
بوابات ثلاثية المنطق ثنائية الاتجاه

الشريحتان ٧٤٢٤٢ و ٧٤٢٤٣ متماثلتان في العمل تماما. عند تنشيط طرف التحكم (الطرف ١) للمجموعة الأولى يجعله يساوى صفر، تنتقل الإشارات من الأطراف A إلى الأطراف B، حيث في الشريحة ٧٤٢٤٢ تكون الإشارة B عكس الإشارة A، بينما في الشريحة ٧٤٢٤٣ فإن الإشارة B تساوى الإشارة A. عند تنشيط طرف التحكم (الطرف ١٣) للمجموعة الثانية يجعله يساوى واحد، تنتقل الإشارات من الأطراف B إلى الأطراف A، حيث في الشريحة ٧٤٢٤٢ تكون الإشارة A عكس الإشارة B، بينما في B. أنظر شكل (١٢-٨) وشكل (١٢-٩).

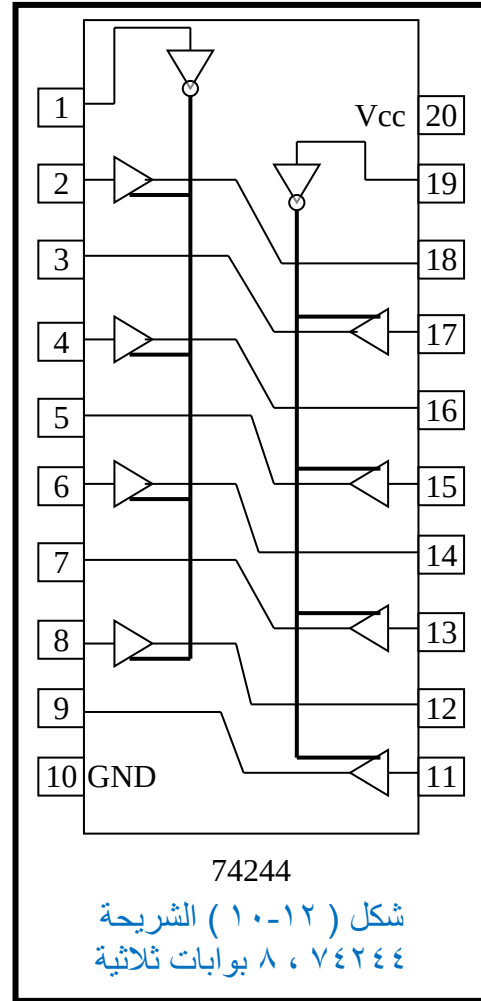
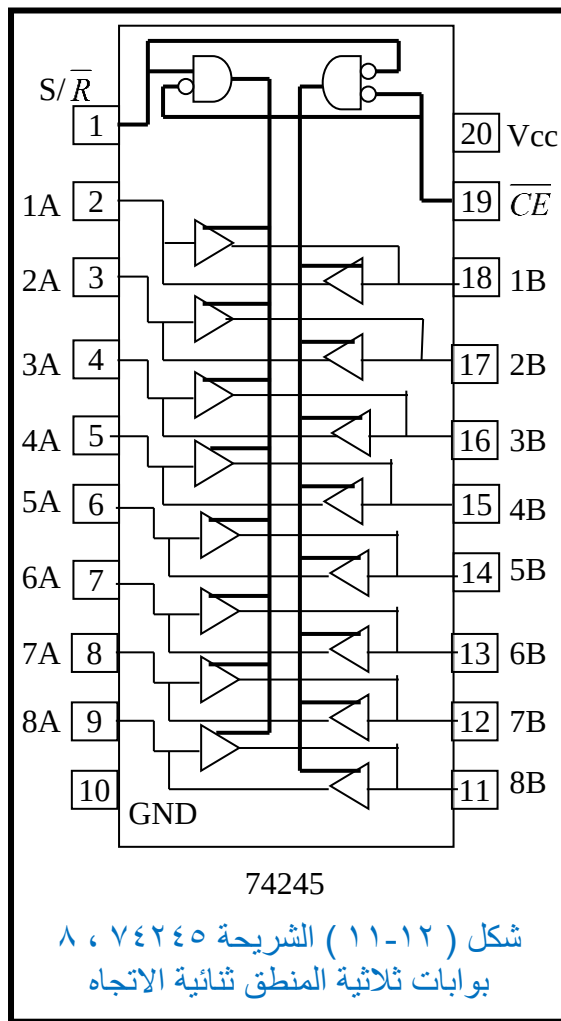
١٢-٨ الشريحة ٧٤٢٤٤ ثمانية بوابات ثلاثية المنطق

تحتوى هذه الشريحة على ٨ بوابات ثلاثية المنطق كما فى شكل (١٢ - ١٠). كل البوابات ليست من النوع العاكس، أى أنه عند تنشيط خط التحكم فإن الخرج لكل بوابة يساوى دخلها. نلاحظ كما فى الشكل أن كل ٤ بوابات لها خط التحكم الخاص بها، وخطوط التحكم منخفضة الفعالية كما نرى حيث أنها كلها من خلال عاكس كما هو واضح من خروج إشارة التحكم من الطرف ١ والطرف ١٩ على عاكس، ثم تصل إلى كل البوابات.



١٢-٩ الشريحة ٧٤٢٤٥ ثمانية بوابات ثلاثية المنطق ثنائية الاتجاه

تحتوى هذه الشريحة كما هو موضح فى شكل (١٢-١١) على ثمانية بوابات ثنائية الاتجاه. الشريحة لها خط تنشيط وهو الطرف ١٩ ($\overline{CE}$) الذى حينما يكون غير نشط (١) فإن الشريحة لا تعمل على الإطلاق ويكون كلا الاتجاهين فى الشريحة عبارة عن مقاومة عالية. عند تنشيط الطرف ١٩ ووضع واحد على الطرف ١ فإن الإشارة تمر فى الاتجاه من A إلى B. وعند تنشيط الطرف ١٩ ووضع الطرف ١ يساوى صفر، فإن الإشارة تنتقل من B إلى A. كما نلاحظ فإن الطرف ١٩ يعتبر طرف تنشيط للشريحة ككل، بينما الطرف ١ يعتبر خط تحكم فى الاتجاه Send/Receive أى إرسال أو استقبال. هذه الشريحة مناسبة للتعامل مع مسار البيانات فى المعالجات.



القاموس

Dictionary

A

Access time

زمن الاتصال، بشريحة ذاكرة. وهو الزمن من لحظة وضع إشارة عنوان معين إلى لحظة استلام الخرج على خطوط البيانات من هذه الشريحة.

Adder

مجمع، يجمع رقمين. منه المجمع الرقمي الذي يجمع رقمين ثنائيين، والمجمع الانسيابي أو التماثلي الذي يجمع إشارتين انسيابيتين مثل مكبر العمليات.

Address

عنوان. إشارة أو رقم ثنائي يحدد عنوان بايت معينة في نظام ذاكرة معين. عدد بتات هذا العنوان يحدد كمية الذاكرة التي يمكن التعامل معها في هذا النظام.

Amplitude

مقدار، وتطلق على مقدار الإشارة. وهو أحد السمات المهمة التي تعرف بها أى إشارة.

Analog

انسيابي، أو تماثلي، أو مستمر، أو غير منقطع مثل تغير درجة الحرارة على مدار اليوم التي يمكنها أن تأخذ مالا نهاية من القيم بين قيمتها الصغرى والعظمى.

AND gate

بوابة الأند AND، أو بوابة "و"، أو بوابة الضرب المنطقي. خرجها يساوى واحد في حالة واحدة فقط وهى عندما تكون كل دخولها تساوى وحيد.

Astable

عديم الاستقرار، أو عديم الثبات، خرج يتردد باستمرار بين الواحد والصفر ولا يستقر على أى حالة منهما.

Asynchronous

غير توافقي، لا يتغير بالتوافق مع نبضات تزامن معينة. يمكن تصنيف الدوائر الرقمية إلى توافقية وهى التي يتغير خرجها بالتوافق مع نبضات تزامن، وغير توافقية وهى التي لا تحتاج لنبضات تزامن تتوافق معها.

B

Bidirectional

ثنائي الاتجاه. مثلا مسجل إزاحة ثنائي الاتجاه يمكن إزاحة بياناته من اليمين لليسار أو العكس. أو مسار البيانات في المعالجات الذي يكون ثنائي الاتجاه حيث تكون الإشارة عليه خارجة من المعالج أو داخلة إليه.

Binary

ثنائي، Binary signal إشارة ذات مستويين، مستوى عالى (واحد) ومستوى منخفض (صفر).

وهناك نظام العد الثنائي الذى له رقمان، صفر وواحد.

Binary Coded Decimal, BCD

عشرى مكود ثنائيا، وضع الأرقام العشرية من صفر حتى تسعة فى صورة أكود ثنائية من أربع خانات.

Bipolar

ثنائي القطبية. Bipolar transistor ترانزستور مصنع بتكنولوجيا القطبية الثنائية والتي تعنى التعامل مع حوامل شحنات سالبة وموجبة فى نفس الترانزستور.

Bistable

ثنائي الاستقرار، دائرة لها حالتين من حالات الاستقرار.

Bit

الخانة فى نظام العد الثنائي التي تكون واحد أو صفر.

Boolean algebra

الجبر البوليني، نسبة إلى عالم انجليزي، وهو عبارة عن مجموعة قوانين جبرية خاصة بالتعامل مع المتغيرات المنطقية.

Borrow

استلاف من خانة تالية إلى الخانة الحالية فى أثناء عمليات الطرح فى كل نظم العد.

Bounce

إهتزاز. عند غلق أو فتح مفتاح ميكانيكى فإنه يحدث اهتزازات ميكانيكية غير مرغوب فيها، وهذه الاهتزازات تحدث ضوضاء كهربية فى صورة نبضات تؤثر على أداء الدوائر المنطقية.

Buffer

عازل أو فاصل. دائرة تستخدم لفصل الحمل عن الدائرة المغذية له، وبذلك لا يؤثر الحمل العالى على أداء الدائرة المغذية. وقد يكون عازل رقمى أو تماثلي.

Bus

مسار، مجموعة من خطوط الاتصال بين عناصر نظام إلكترونى معين. مثلا مسار عناوين يحمل إشارة العناوين بين شريحة المعالج وشريحة ذاكرة. ومسار البيانات الذي يحمل إشارة البيانات بين المعالج والذاكرة.

Byte

ثمانى بتات.

C

Capacitor

مكثف الشحنات، capacitance هى السعة الكهربية.

Carry

الحمل من خانة إلى خانة تالية في أثناء عمليات الجمع.

Clear

تصفير، طرف غير توافقي يجعل الخرج صفر بدون توافق مع نبضات الساعة.

Clock

نبضات التزامن، أو الإطلاق. نبضات لها شكل معين يتزامن معها عمل نوع مهم من الدوائر المنطقية وهي الدوائر التتابعية أو الدوائر التوافقية.

Code

مجموعة من البتات تمثل شفرة لمعلومة معينة.

Combinational logic circuit

دائرة منطقية توافقية، دائرة مكونة من مجموعة من البوابات المنطقية الموصلة مع بعضها بحيث لا تحتوى على أى عنصر من عناصر الذاكرة مثل الفلابات وما يعلوها. خرج هذه الدوائر يكون دالة فى الدخل فقط عند نفس اللحظة، ولا يعتمد على الخرج عند لحظات سابقة ولا تحتاج لنبضات تزامن لى يتوافق الخرج معها.

Commutative law

فى بعض العمليات الحسابية والمنطقية لا يهم الطريقة التى ترتب بها المتغيرات . $x+y=y+x$.

Comparator

مقارن، دائرة لمقارنة رقمين وتقرر إذا كانا متساويين أم أن أحدهما أكبر من الآخر، ويوجد المقارن الرقمية، والمقارن الانسيابى.

Complement

المتمم، المتمم الأحادى ones complement هو معكوس أى رقم ثنائى. المتمم الثنائى twos complement هو معكوس الرقم الثنائى مضافا إليه واحد المتمم لأى رقم فى أى نظام عد هو حاصل طرح هذا الرقم من قاعدة هذا النظام.

Counter

عداد، يعد النبضات الداخلة له وهو العداد الرقمية.

D**Data**

بيانات.

D flip flop

قلاب له دخل واحد اسمه D حيث يصبح الخرج هو الدخل D بعد إعطاء نبضة التزامن.

Decade

دائرة تتميز بعشرة حالات. Decade counter عداد عشرى له عشرة حالات.

Decimal

عشرى. نظام العد العشرى الذى له عشرة أرقام من صفر حتى تسعة.

Decoder

محلل شفرة. دائرة رقمية تدخل لها شفرة رقمية فيحولها إلى صورة أخرى فى الخرج. إذا كان عدد بتات شفرة الدخل هو n فإن محلل الشفرة فى هذه الحالة يكون له عدد 2^n من المخارج يتم تنشيط أحدها على حسب شفرة الدخل.

Decrement

ينقص بمقدار واحد.

Demultiplexer

موزع، دائرة رقمية دخلها عبارة عن إشارة واحدة يتم توزيعها على مخارج الدائرة فى تتابع زمنى معين على حسب شفرة على خطوط خاصة لاختيار أحد هذه المخارج.

Digital

رقمى. الإشارة الرقمية هى إشارة مقطعة لها قيم محددة عند أزمنة محددة.

Digit

رقم، يمثل خانة معينة فى أحد أنظمة العد.

Driver

دافع تيار. يستخدم لدفع تيار عالى فى الدوائر التى تحتاج لذلك.

Dynamic RAM, DRAM

ذاكرة اتصال عشوائى ديناميكية. تتميز بسرعة الاتصال ورخص الثمن ولكنها تحتاج لإعادة تسجيل محتوياتها كل ٤ ميللى ثانية وإلا فإنها تفقد هذه المحتويات ووحدة بناؤها هو المكثف.

E**Edge triggered flip flop**

قلاب يغير من حالة خرجة عند حافة نبضة التزامن سواء كانت الحافة الصاعدة (صفر إلى واحد) أو الحافة النازلة (واحد إلى صفر).

EEPROM

ذاكرة قراءة فقط يمكن برمجتها ومسحها كهربيا.

EPROM

ذاكرة قراءة فقط يمكن برمجتها بطرق خاصة ومسحها بالتعريض لأشعة فوق بنفسجية عالية الكثافة.

Enable

تنشيط. طرف يستخدم لتنشيط خرج الدائرة المنطقية ثلاثية المنطق بحيث عندما يكون هذا الطرف غير فعال يكون خرج الدائرة عبارة عن مقاومة عالية.

Encoder

مولد الشفرة، دائرة تحول البيانات الداخلة إلى صورة مكودة أو مشفرة. المشفر الرقمي الذي له عدد من خطوط الدخل وعدد من خطوط الخرج، بحيث أنه عند تنشيط أحد خطوط الدخل فإنه يتم إعطاء شفرة لهذا الخط على كل خطوط الخرج.

Exclusive NOR

عملية منطقية على متغيرين تعطى صفراً في حالة عدم تساوى المتغيرين.

Exclusive OR

عملية منطقية على متغيرين تعطى واحد في حالة عدم تساوى المتغيرين.

F

Frequency

التردد. عدد مرات التكرار في الثانية. عدد النبضات في الثانية. وحداتها هي الهرتز.

Feedback

التغذية المرتدة، وهي جزء من خرج أى دائرة يرجع أو يرتد إلى دخلها.

Flip flop

قلاب أو نطاظ. دائرة منطقية ذات خرجين منطقيين كل منهما عكس الآخر. هناك أكثر من نوع منها على حسب الدخل، فهناك النوع JK والنوع D والنوع T وغيرها. هناك طرف تزامن للقلاب لا يتغير الخرج إلا عند إعطاء نبضة على هذا الطرف.

Full Adder, FA

مجمع كامل، دائرة تجمع ٣ بت وتعطى مجموع وحمل للمرحلة التالية.

G

Gate

بوابة، دائرة لها مجموعة من المداخل وخرج واحد. يتم إجراء عملية منطقية تمثل هذه البوابة على المداخل ووضع نتيجة العملية على الخرج. هناك أنواع عديدة من البوابات.

Glitch

نتوء يظهر في المخطط الزمني وهو غير مرغوب فيه ومن الممكن أن يسبب مشاكل في تشغيل بعض الدوائر. انظر العدادات الرقمية مثلاً.

H

Half adder

نصف مجمع، يجمع ٢ بت فقط ويعطى مجموع وحمل للمرحلة التالية.

Hexadecimal

ستعشري. نظام العد الذي قاعدته ١٦ ويحتوى ستة عشر رقماً تبدأ بالصفر وتنتهى بالرقم F.

Hold time

زمن المسك، وهو الفترة الزمنية التي يجب أن يظل الدخل فيها مستقراً بعد تطبيق الحافة المؤثرة لنبضة التزامن حتى يتغير الخرج بصورة مستقرة ومحددة.

I

Increment

الزيادة بمقدار واحد.

Integrated Circuit, IC

دائرة تكاملية. وهي نظام إلكترونى متكامل على شريحة واحدة لأداء وظيفة معينة.

Inverter

عاكس، بوابة عكس، خرجها عكس دخلها.

J

JK flip flop

قلاب تم التغلب فيه على الحالة التي يكون فيها الخرج غير محدد. فى هذه الحالة فإن الخرج يعكس حالته.

Johnson counter

عداد جونسون، نوع من العدادات الدوارة يتميز بأن له عدد من الحالات ضعف العداد الدوار العادى.

K

Karnaugh map

طريقة تخطيطية منظمة لتبسيط المعادلات المنطقية إلى أبسط صورة ممكنة.

L

Large Scale Integration, LSI

التكامل عالى المستوى، درجة من التعقيد فى تصنيع الشرائح الإلكترونية حيث تبلغ كثافة الكونات من ١٠٠٠ حتى ١٠٠٠٠ ترانزستور على الشريحة التكاملية الواحدة.

Latch

ماسك، دائرة منطقية ذات خرجين كل منهما عكس الآخر، أنظر flip flop أو القلاب.

Least significant bit, LSB

البت (الخانة) ذات القيمة الصغرى فى أى رقم وهى البت الموجودة فى أقصى يمين الرقم.

Logic

منطقى. المستوى المنطقى فى الإلكترونيات الرقمية هو تمثيل التعبير الغير حقيقى بصفر والتعبير الحقيقى بواحد.

Look ahead

ينظر للأمام، look ahead carry adder المجمع ذو الحمل الأمامي، يتميز بسرعه.

M**Master slave flip flop**

قلاب مكون من ماسكين، الأول هو السيد master والثاني هو العبد slave. وهذه أحد طرق الحصول على قلاب حساس لأحد حواف نبضة التزامن.

Medium Scale Integration, MSI

التكامل المتوسط، درجة من التعقيد في تصنيع الشرائح الإلكترونية حيث تبلغ كثافة المكونات من ١٠٠ حتى ١٠٠٠ ترانزستور على الشريحة الواحدة.

Monostable

أحادي الاستقرار، دائرة يستقر خرجها على حالة واحدة فقط إما الصفر أو الواحد. إذا تغير الخرج فإن ذلك يكون لفترة محددة ثم يرجع تلقائياً لحالة الاستقرار.

Most significant bit, MSB

البت أو الخانة ذات القيمة العظمى وهي البت الموجودة في أقصى يسار أى رقم ثنائي.

Multiplexer, MUX

منتقى، دائرة إلكترونية تختار واحد من مداخلها وتضعه على الخرج تبعاً لتتابع معين.

Multivibrator

مذبذب، دائرة يذبذب خرجها بين الواحد والصفر ولا تستقر على أى واحدة من هذه الحالات.

N**NAND gate**

بوابة ناند NAND، بوابة أند متبوعة بعكس، يكون خرجها يساوى صفر في حالة واحدة فقط وهي عندما يكون جميع مداخلها تساوى وحيد.

Nibble

٤ بتات. نصف بايت.

Nonvolatile

غير متطاير، تعبير يطلق على نوع من الذاكرة لا تفقد محتوياتها بانقطاع القدرة مثل ذاكرة القراءة فقط ROM.

NOR gate

بوابة نور NOR، بوابة أور متبوعة بعكس، يكون خرجها واحد في حالة واحدة فقط وهي عندما تكون جميع مداخلها أصفاراً.

NOT gate

بوابة NOT، بوابة عكس. هي بوابة يكون خرجها عكس دخلها.

O**Octal**

ثمانى، نظام العد الثمانى الذى قاعدته ٨.

One shot

أحادي النبضة، أحادي الاستقرار. دائرة عند إثارتها تعطي نبضة واحدة فقط على الخرج.

Open collector

يتم أخذ خرج الدائرة المنطقية من خلال ترانزستور مفتوح المجمع. تستخدم هذه الطريقة مع الدوائر ذات الأحمال العالية.

OR gate

بوابة أور OR، بوابة "أو". بوابة منطقية يكون خرجها صفر في حالة واحدة فقط وهي عندما تكون كل الدخول أصفاراً.

Oscillator

مذبذب، مولد إشارة. دائرة تعطي على خرجها موجة متكررة باستخدام نظام تغذية مرتدة في تصميمها.

Output

خرج دائرة معينة أو نظام معين.

Overflow

فيضان، يحدث في عملية الجمع عندما يزداد عدد بتات الناتج عن عدد بتات أى واحد من العددين المجموعين وبالتالي مع الأرقام ذات الإشارة حيث يطغى الحمل من الخانة الأخيرة على خانة الإشارة.

P**Parallel**

التوازي، ويعنى خروج مجموعة من البيانات على مجموعة من الخطوط في نفس الوقت.

Potentiometer

مقسم جهد ويكون في العادة من خلال مقاومة متغيرة.

Power dissipation

الطاقة المهدرة، وهي حاصل ضرب تيار مصدر القدرة في جهد مصدر القدرة الذى يغذى أى دائرة أو شريحة إلكترونية.

Preset

جعل الخرج يساوى واحد قبل التشغيل بطريقة غير توافقية لا تعتمد على نبضات التزامن.

Priority encoder

مشفر مع الأولوية، مشفر يعطي شفرة الدخل ذو الأولوية الأعلى في حالة تنشيط أكثر من دخل في نفس الوقت.

Product Of Sums, POS

مضروب المجاميع، طريقة لعرض التعبيرات المنطقية في صورة عملية أند AND على كميات كل منها عبارة عن أور OR لمجموعة متغيرات.

Propagation

انتشار، Propagation delay زمن التأخير الناتج عن انتشار الإشارة أو وصول الإشارة من دخل أى دائرة حتى خرجها.

Pulse

نبضة، تغير مفاجيء في قيمة الجهد أو التيار من مستوى لآخر ثم إلى نفس المستوى مرة أخرى في زمن صغير.

Pull up resistor

مقاومة توصل بين نقطة معينة ومصدر القدرة لضمان أن جهد هذه النقطة سيكون واحد (عالي) عندما تكون غير نشطة. مثل توصيل مقاومة على أى خرج من خلال المجمع مفتوح.

R**Random Access Memory, RAM**

ذاكرة الاتصال العشوائى، يمكن القراءة أو الكتابة فى أى مكان فيها وليس بالضرورة أن يكون بالتتابع. يطلق هذا الاسم بطريق الخطأ على ذاكرة الكتابة والقراءة.

Read

القراءة، عملية استدعاء البيانات من الذاكرة.

Register

مسجل، دائرة إلكترونية رقمية قادرة على تخزين بيانات وإزاحتها.

Reset

تصفير، جعل الخرج يساوى صفر. عودة للوضع الأسمى.

Ring counter

عداد دوار. عبارة عن مسجل إزاحة تم توصيل خرجه من أقصى اليمين كدخل من اليسار ولابد من تسجيل حالة ابتدائية على العداد قبل السماح بدورانها مع نبضات التزامن.

Ripple

تموجى، Ripple carry adder المجمع ذو الحمل التموجى، Ripple counter العداد التموجى.

Rise time

زمن الارتفاع، الزمن اللازم لكى تتغير إشارة من ١٠% إلى ٩٠% من قيمتها .

Reliable

موثوق به، يمكن الاعتماد عليه، reliability هى معامل الثقة.

Remainder

الباقى، من عملية القسمة.

Resistance

مقاومة.

Resistance network

شبكة مقاومات. مجموعة من المقاومات داخل غلاف واحد موصلة مع بعضها بطريقة معينة.

R-S flip flop

قلاب له دخلان R و S محظور فيه أن يكون كل منهما يساوى واحد فى نفس الوقت وإلا فإن خواص القلاب تفقد حيث يكون الخرج فى هذه الحالة غير مرغوب فيه.

S**Sequential circuit**

دائرة تتابعية، دائرة منطقية يعتمد خرجها على تتابعات زمنية معينة. تحتوى عناصر ذاكرة. لذلك فالخرج يعتمد على الدخل الحالى والخرج فى لحظات سابقة. تعتمد فى تشغيلها على نبضات تزامن. من أمثلة هذه النظم العدادات ومسجلات الإزاحة.

Serial

تتابعى، تتابع بيانات أو نبضات على نفس الخط فى أزمنة متتالية.

Set

جعل الخرج يساوى واحد، وضع الخرج فى حالة معينة، عكس reset.

Set up time

زمن الاستقرار، وهو الفترة الزمنية التى يجب أن يظل الدخل فيها مستقرا قبل تطبيق الحافة المؤثرة لنبضة التزامن، وإلا فإن الخرج لا يتغير لقيمة مستقرة.

Shift register

مسجل الإزاحة. دائرة منطقية يمكن تسجيل بيانات بها ثم إجراء إزاحة أو دوران على هذه البيانات.

Sign

الإشارة، وهى إشارة الرقم التى تكون سالبة أو موجبة.

Sign bit

خانة الإشارة . فى العادة تكون البت فى أقصى يسار الرقم. تكون واحد إذا كان الرقم سالب، وصفر إذا كان الرقم موجب.

Small Scale Integration, SSI

التكامل الصغير، درجة من التعقيد فى تصنيع الشرائح الإلكترونية حيث تبلغ كثافة الكونات أقل من ١٠٠ ترانزستور.

Speed Power product

حاصل ضرب السرعة فى الطاقة المهدرة، ويستخدم كمعامل لقياس أداء الشرائح والدوائر الإلكترونية الرقمية.

S-R flip flop

قلاب له دخلان R و S محظور فيه أن يكون كل منهما يساوى واحد في نفس الوقت وإلا فإن خواص القلاب تفقد حيث يكون الخرج في هذه الحالة غير مرغوب فيه.

Stage

مرحلة، مثلا مرحلة من مراحل عداد أو مسجل إزاحة وتكون عبارة عن قلاب في هذه الحالة.

Static Memory, SRAM

ذاكرة استاتيكية، وحدة بناؤها هي القلاب ولا تحتاج لإنعاش بياناتها مثل الذاكرة الديناميكية.

Strobe

طرف في بعض الدوائر المنطقية، عندما يكون نشط يتغير الخرج تبعا لحالة الدخل، وعندما يكون غير نشط فإن الخرج لا يرى الدخل.

Subtractor

طرح، دائرة تقوم بعملية الطرح الثنائي على رقمين مدخلين إليها.

Sum Of Products, SOP

مجموع المضارب، طريقة لعرض التعبيرات المنطقية في صورة عملية أو OR على كميات كل منها عبارة عن آند AND لمجموعة متغيرات.

Synchronous

توافقي، أو متزامن، أى يتغير بالتوافق مع نبضات تزامن معينة. من أمثلة ذلك العداد التوافقي.

T

Terminal Count, TC

العدة الطرفية (النهائية)، الحالة النهائية للعداد. مثل الرقم ٩ في العداد العشري التصاعدي.

Timer

مؤقت، دائرة توقيت.

Timing diagram

المخطط الزمني، مخطط يبين العلاقة بين مقدار الإشارة والزمن وبالذات حينما يكون هناك أكثر من إشارة ويتم رسمها كلها مع الزمن في نفس المخطط حتى تظهر العلاقة بينها.

T flip flop

قلاب له دخل واحد اسمه T حيث ينعكس الخرج مع كل نبضة تزامن إذا كان هذا الدخل واحد. وإذا كان هذا الدخل صفر فلا يتغير الخرج.

Toggle

يعكس، إذا كان الخرج صفر يصبح واحد، وإذا كان واحد يصبح صفر.

Trailing edge

الحافة الثانية لأي نبضة.

Trigger

إطلاق، نبضة تعطى لبدء التغيير في قيمة الخرج لدائرة رقمية تبعا لدخلها.

Tristate logic

المنطق الثلاثي، دائرة منطقية لها حالتان المنطقيتان المعروفتان لكل الدوائر المنطقية العادية، بالإضافة لحالة ثالثة يكون الخرج فيها مقاومة عالية أو مفتوح.

Truth table

جدول الحقيقة، يبين الخرج عند جميع الاحتمالات الممكنة للدخل في الدوائر الرقمية.

TTL, Transistor Transistor Logic

أحد تكنولوجيات تصنيع الشرائح الإلكترونية باستخدام الترانزستور ثنائي القطبية. تتميز بأن جهد الواحد المنطقي ٥ فولت والصفر المنطقي هو صفر فولت.

U

Ultra large scale Integration, ULSI

التكامل المتناهي، درجة من التعقيد في تصنيع الشرائح الإلكترونية حيث تبلغ كثافة المكونات أكثر من مليون ترانزستور على الشريحة الواحدة.

Universal gate

بوابة عامة. بوابات تتميز بأنه يمكن بناء نظام إلكتروني كامل باستخدام هذا النوع من البوابات فقط. مثال ذلك بوابة الناند NAND وبوابة النور NOR.

Universal shift register

مسجل إزاحة عام، بخطوط تحكم معينة يمكن الإزاحة من اليمين لليسار أو العكس، ويمكن إدخال البيانات توازي وإخراجها توالى أو العكس، كما يمكن إجراء عمليات الدوران المختلفة.

Up/down counter

عداد تصاعدي تنازلي، بخط تحكم يمكن جعل العداد يعد تصاعديا أو تنازليا.

V

Very Large Scale Integration, VLSI

التكامل العالي جدا، درجة من التعقيد في تصنيع الشرائح الإلكترونية حيث تبلغ كثافة المكونات من ١٠٠٠٠٠ حتى مليون ترانزستور على الشريحة الواحدة.

Volatile

متطاير، تعبير يطلق على الذاكرة التي تفقد محتوياتها بانقطاع مصدر القدرة. مثل ذاكرة القراءة والكتابة RAM.

X

XOR gate

بوابة إكس أور، تعطي واحد في حالة اختلاف الدخيلين وصفر في حالة تساويهما.

XNOR gate

بوابة إكس نور، عكس البوابة إكس أور.

W

Word

كلمة، ١٦ بت، أو ٢ بايت. وحدة من وحدات تخزين البيانات الرقمية.

Write

الكتابة، عملية تخزين البيانات في الذاكرة.